



HAL
open science

Détection de défauts des convertisseurs de puissance d'un système éolien et validation par prototypage “ FPGA in the loop ”

Arnaud Gaillard, Philippe Poure, Shahrokh Saadate

► **To cite this version:**

Arnaud Gaillard, Philippe Poure, Shahrokh Saadate. Détection de défauts des convertisseurs de puissance d'un système éolien et validation par prototypage “ FPGA in the loop ”. *European Journal of Electrical Engineering*, Lavoisier, 2010, 13 (2), pp.179-207. 10.3166/Geo.19.11-38 . hal-03568502

HAL Id: hal-03568502

<https://hal.univ-lorraine.fr/hal-03568502>

Submitted on 13 Feb 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Détection de défauts des convertisseurs de puissance d'un système éolien et validation par prototypage « FPGA in the loop »

Arnaud Gaillard* — Philippe Poure** — Shahrokh Saadate*

* Groupe de Recherche en Electrotechnique et Electronique de Nancy,

** Laboratoire d'Instrumentation Electronique de Nancy,

Nancy Université, Université Henri Poincaré, Faculté des Sciences et Techniques
Campus Victor Grignard, BP 239

F-54506 Vandoeuvre lès Nancy Cedex

arnaud.gaillard@green.uhp-nancy.fr, shahrokh.saadate@green.uhp-nancy.fr

philippe.poure@lien.uhp-nancy.fr

RÉSUMÉ. Cet article propose une méthode innovante de détection de défauts des semi-conducteurs de puissance appliquée à une nouvelle topologie tolérante aux fautes de système éolien intégrant une Machine Asynchrone à Double Alimentation (MADA). Les objectifs de la méthode présentée sont de minimiser le temps entre l'apparition du défaut et son diagnostic et de la rendre insensible aux commutations des semi-conducteurs de puissance. Afin de détecter un interrupteur défaillant en moins de 10 μ s, la méthode a été implantée sur une cible FPGA (Field Programmable Gate Array). Un flot de conception permettant l'implantation sur FPGA est expliqué. Les résultats ainsi obtenus par prototypage rapide dit « FPGA in the loop » valident les performances de notre système éolien tolérant aux fautes.

ABSTRACT. This paper discusses the design, implementation, experimental validation and performances of a FPGA-based real time power converter failure diagnosis for three-leg fault tolerant converter topologies used in Wind Energy Conversion Systems (WECS). The developed approach minimizes the time interval between the fault occurrence and its diagnosis. To detect a faulty switch in less than 10 μ s, a FPGA (Field Programmable Gate Array) fully digital implementation is used. The experimental failure diagnosis implementation based on "FPGA in the loop" hardware prototyping verifies the performances of the fault tolerant WECS with DFIG.

MOTS-CLÉS : détection de défauts, système éolien, MADA, prototypage « FPGA in the loop ».

KEYWORDS: fault detection, wind energy system, DFIG, FPGA in the loop hardware prototyping.

DOI:10.3166/Geo.19.11-38 © 2009 Lavoisier, Paris

1. Introduction

Les systèmes éoliens sont typiquement des applications pour lesquelles le rendement de la production d'énergie électrique est directement lié aux bénéfices économiques qui en découlent. De nombreuses topologies de convertisseurs reliant les systèmes éoliens au réseau ont été étudiées dans la littérature (Carrasco *et al.*, 2006) ; la plupart d'entre elles intègrent des convertisseurs statiques triphasés, généralement connectés entre eux par un bus continu et utilisés en mode onduleur et/ou redresseur (Baroudi *et al.*, 2007). Beaucoup d'articles traitent de la tolérance aux défauts des convertisseurs statiques suite à la défaillance d'un des interrupteurs de puissance. La plupart des méthodes présentées détectait l'apparition d'un défaut en quelques millisecondes (environ une période du réseau) suite à l'observation des courants de phase (Klima, 2005)-(Fuchs, 2003). Il y a eu également, plus récemment, des méthodes développées pour réduire le temps entre l'apparition du défaut et sa détection. En effet, en ajoutant trois capteurs de tensions supplémentaires situés entre chaque phase du convertisseur et le point milieu des deux condensateurs du bus continu, un défaut pouvait alors être détecté en un quart de période en comparant les tensions mesurées, issues des trois capteurs, avec les tensions estimées (Araujo Ribeiro *et al.*, 2004). Cependant, à notre connaissance, le diagnostic de défauts pour des convertisseurs statiques à l'aide de technologie FPGA (Field Programmable Gate Array) pour des systèmes éoliens tolérant aux fautes n'a jamais été présenté.

Les systèmes éoliens sont très sensibles à la défaillance d'un des interrupteurs de puissance. Elle diminuerait les performances du système et l'obligerait à se déconnecter du réseau. De plus, si le défaut n'est pas détecté rapidement et ensuite compensé, il peut conduire à la destruction du convertisseur statique. Donc pour réduire ces risques, une détection de défaut ainsi qu'une isolation et une compensation du défaut doivent être mises en œuvre très rapidement afin que l'éolienne puisse continuer à produire dans des conditions nominales, en attendant une future opération de maintenance.

Une nouvelle topologie tolérante aux fautes de système éolien intégrant une Machine Asynchrone à Double Alimentation (MADA) est présentée dans la partie 2. Le principe de la méthode de détection de défauts est présenté dans la partie 3. L'étude des défauts du type « circuit ouvert » ou « court-circuit » sur l'un des convertisseurs est étudié. La minimisation du temps entre l'apparition du défaut et son diagnostic ainsi que l'insensibilité de la méthode de détection aux commutations des semi-conducteurs de puissance sont ensuite expliquées. La partie 4 détaille le contrôle du système éolien tolérant aux fautes. Un flot de conception pour l'implantation de la méthode sur un composant FPGA permettant de détecter un interrupteur défaillant en moins de 10 μ s est présenté dans la partie 5. La méthode de détection et de compensation proposée est validée expérimentalement par prototypage rapide « FPGA in the loop » pour les deux convertisseurs utilisés dans notre système éolien tolérant aux fautes. Deux cas sont étudiés : le défaut apparaît

sur le convertisseur coté rotor (Conv1) ou sur le convertisseur coté réseau (Conv2).

2. Système éolien tolérant aux fautes

La Figure 1 présente la topologie du système éolien tolérant aux fautes. Elle est composée de deux convertisseurs statiques triphasés (Conv1 et Conv2) connectés à l'aide d'interrupteurs bidirectionnels (triacs par exemple) à un bras de secours. Ce bras est composé de deux interrupteurs S_7 et S_8 et il remplacera l'un des six autres bras des convertisseurs lors de l'apparition d'un défaut sur un interrupteur du Conv1 ou du Conv2.

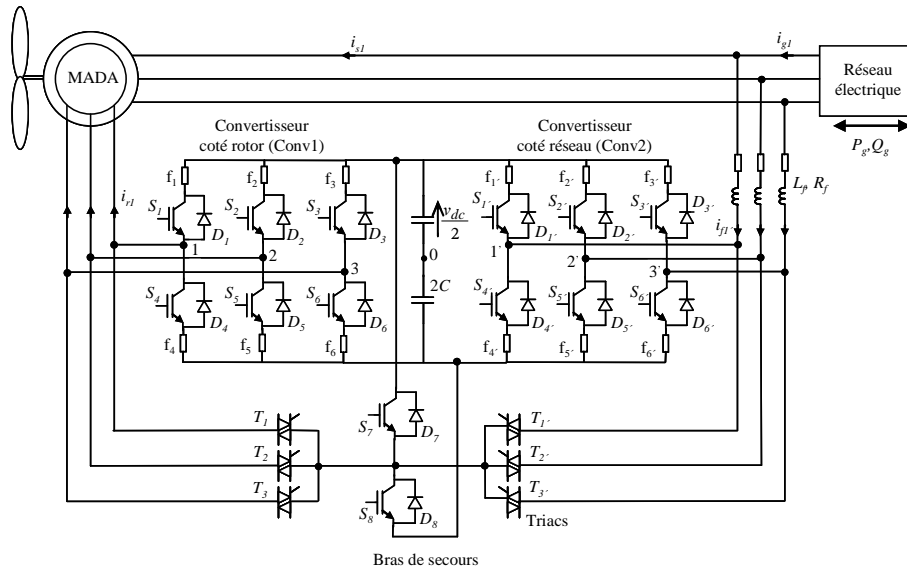


Figure 1. Topologie du système éolien tolérant aux fautes

Quand un défaut apparaît sur l'un des interrupteurs, un diagnostic du convertisseur de puissance détecte le défaut et isole le bras défaillant. Si ce défaut est du type « circuit ouvert », l'isolation s'effectue en éliminant les commandes des interrupteurs du bras défaillant. Si le défaut est du type « court-circuit », le bras défaillant est isolé à l'aide de fusibles rapides. Dans les deux cas, la reconfiguration du convertisseur est effectuée en connectant l'interrupteur bidirectionnel correspondant à la phase défaillante au point milieu du bras de secours. Pour résumer, la compensation d'un défaut s'effectue selon les différentes étapes suivantes :

- Détection du défaut et donc du bras défaillant,

- Elimination des ordres de commandes des deux interrupteurs composant le bras défectueux,
- Connexion de l'interrupteur bidirectionnel correspondant,
- Utilisation des ordres de commandes du bras défectueux pour les interrupteurs du bras de secours,
- Arrêt de la détection de défaut.

3. Principe de la détection de défauts

La détection de défaut d'un interrupteur de puissance sur les convertisseurs Conv1 ou Conv2 est basée sur la comparaison entre les tensions de pôles mesurées et estimées, respectivement notées v_{k0m} et v_{k0es} avec $k = \{1, 2, 3\}$. Les tensions estimées peuvent être exprimées par :

$$v_{k0es} = (2\delta_k - 1) \frac{v_{dc}}{2} \quad [1]$$

où $\delta_k = \{0, 1\}$ est la commande de l'interrupteur haut du bras numéro k et v_{dc} est la tension du bus continu. L'apparition d'un défaut peut être déterminée en analysant l'erreur de tension obtenue à partir de la différence entre les tensions de pôle mesurées et estimées. Cette erreur est donnée par :

$$\varepsilon_{k0} = v_{k0m} - v_{k0es} \quad [2]$$

Dans cette étude, nous considérons que les interrupteurs sont idéaux. Donc en fonctionnement normal, les tensions de pôles estimées et mesurées sont identiques et l'erreur entre les deux est nulle. La valeur de l'erreur de tension ε_{k0} et les comportements suite à des défauts du type « circuit ouvert » et « court-circuit » sont discutés dans les sections suivantes.

3.1. Défaut du type « circuit ouvert » sur Conv1

Dans cette section, le cas d'un défaut du type « circuit ouvert » sur l'un des interrupteurs haut S_k ($k = 1, 2, 3$) du convertisseur Conv1 est étudié. L'erreur de tension ε_{k0} et la tension de pôle v_{k0m} sont exprimées de façon analytique. Un défaut du type « circuit ouvert » ramène la topologie du convertisseur au circuit équivalent présenté à la Figure 2. Sur cette figure, R_r est la résistance rotorique, L_r l'inductance cyclique rotorique et e_{rkn} la force électromotrice rotorique.

Dans ce circuit, la tension de pôle mesurée et l'erreur de tension pour la phase k dépendent du courant rotorique i_{rk} et des ordres de commandes des interrupteurs du bras numéro k . Le fonctionnement du convertisseur, après l'apparition du défaut, peut être divisé en deux cas. Dans le premier, i_{rk} est différent de zéro et dans le deuxième, i_{rk} est au voisinage de zéro.

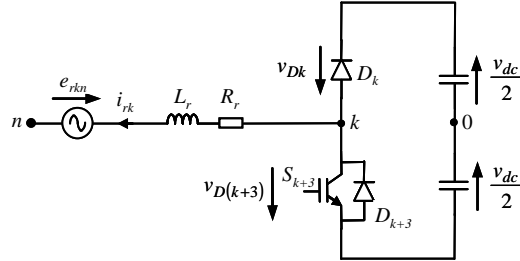


Figure 2. Circuit équivalent pour un défaut du type « circuit ouvert » sur S_k .

3.1.1. Comportement après défaut quand $i_{rk} \neq 0$

Même si la tension estimée v_{k0es} dépend uniquement des ordres de commandes des interrupteurs S_k , la tension mesurée v_{k0m} peut changer selon le signe du courant rotorique i_{rk} :

$$\text{si } i_{rk} > 0 \text{ alors } v_{k0m} = -\frac{v_{dc}}{2} \quad [3]$$

$$\text{si } i_{rk} < 0 \text{ et } \delta_k = 0 \text{ (} \delta_{k+3} = 1 \text{)} \text{ alors } v_{k0m} = -\frac{v_{dc}}{2} \quad [4]$$

$$\text{si } i_{rk} < 0 \text{ et } \delta_k = 1 \text{ (} \delta_{k+3} = 0 \text{)} \text{ alors } v_{k0m} = \frac{v_{dc}}{2} \quad [5]$$

Le Tableau 1 présente l'erreur de tension \mathcal{E}_{k0} pour ce cas.

i_{rk}	δ_k	D_k	D_{k+3}	v_{k0m}	v_{k0es}	\mathcal{E}_{k0}
> 0	1	bloquée	passante	$-\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	$-v_{dc}$
> 0	0	bloquée	passante	$-\frac{v_{dc}}{2}$	$-\frac{v_{dc}}{2}$	0
< 0	1	passante	bloquée	$\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	0
< 0	0	passante	bloquée	$-\frac{v_{dc}}{2}$	$-\frac{v_{dc}}{2}$	0

Tableau 1. Erreur de tension lorsque le courant est différent de zéro pour un défaut du type « circuit ouvert » sur S_k .

Lorsque $i_{rk} \neq 0$, le défaut est détecté à juste titre si et seulement si $i_{rk} > 0$ et $\delta_k = 1$ ($\delta_{k+3} = 0$) sinon le bras numéro k fonctionne correctement et l'erreur de tension est nulle.

3.1.2. Comportement après défaut quand $i_{rk} = 0$

Lorsque $\delta_k = 1$ et que $i_{rk} = 0$, les valeurs de v_{k0m} et de ε_{k0} dépendent de l'état des diodes montées en antiparallèles D_k et D_{k+3} . Dans ce cas, l'état de ces diodes dépendent des ordres de commandes δ_i et δ_j des interrupteurs S_i et S_j ($i \neq j \neq k \in \{1, 2, 3\}$) et de la force électromotrice rotorique e_{rkn} (Karimi *et al.*, Déc. 2008).

Le Tableau 2 présente l'erreur de tension ε_{k0} pour un défaut du type « circuit ouvert » de l'interrupteur S_k lorsque le courant i_{rk} est au voisinage de zéro et que $\delta_k = 1$. Dans ce cas, quand D_k est passante, i_{rk} devient négatif et le bras numéro k fonctionne correctement, donc l'erreur de tension est nulle. Quand D_{k+3} est passante, i_{rk} devient positif et donc l'erreur de tension est égale à $-v_{dc}$ et le défaut peut être détecté. Quand D_k et D_{k+3} sont bloquées, i_{rk} reste à zéro et l'erreur de tension dépend de la force électromotrice rotorique e_{rkn} et le défaut peut être détecté. La même analyse peut être utilisée pour un défaut du type « circuit ouvert » sur l'un des interrupteurs bas S_{k+3} .

cas	δ_i	δ_j	e_{rkn}	D_k	D_{k+3}	i_{rk}	v_{k0m}	ε_{k0}
1	0	0	$\geq \frac{2}{3}v_{dc}$	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			> 0 et $< \frac{2}{3}v_{dc}$	bloquée	bloquée	$= 0$	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$	$\frac{3}{2}e_{rkn} - v_{dc}$
			≤ 0	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$
2	1	0	$\geq \frac{v_{dc}}{3}$	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			$> -\frac{v_{dc}}{3}$ et $< \frac{v_{dc}}{3}$	bloquée	bloquée	$= 0$	$\frac{3}{2}e_{rkn}$	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$
			$\leq -\frac{v_{dc}}{3}$	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$
3	1	1	≥ 0	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			$> -\frac{2}{3}v_{dc}$ et < 0	bloquée	bloquée	$= 0$	$\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$	$\frac{3}{2}e_{rkn}$
			$\leq -\frac{2}{3}v_{dc}$	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$

Tableau 2. Erreur de tension sur l'interrupteur S_k quand $\delta_k = 1$ lorsque le courant est au voisinage de zéro

3.2. Défaut du type « court-circuit » sur Conv1

Dans cette section, le cas d'un défaut du type « court-circuit » sur l'un des interrupteurs haut S_k ($k = 1, 2, 3$) du convertisseur Conv1 est étudié. L'erreur de tension ε_{k0} et la tension de pôle v_{k0m} sont exprimées de façon analytique. Un défaut du type « court-circuit » ramène la topologie du convertisseur au circuit équivalent présenté à la Figure 3. Le Tableau 3 présente l'erreur de tension ε_{k0} pour un défaut du type « court-circuit » de l'interrupteur S_k .

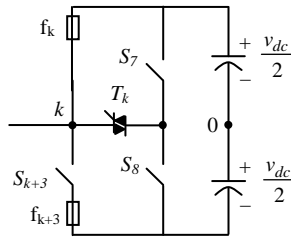


Figure 3. Circuit équivalent pour un défaut du type « court-circuit » sur S_k .

δ_k	v_{k0m}	v_{k0es}	ε_{k0}
1	$\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	0
0	0	$-\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$

Tableau 3. Erreur de tension lorsque le courant est différent de zéro pour un défaut du type « court-circuit ».

A partir du Tableau 3, on peut noter que lorsque $\delta_k = 1$, le bras k fonctionne correctement et l'erreur de tension est à juste titre égale à zéro. Par contre, lorsque $\delta_k = 0$, les condensateurs du bus continu sont mis en court-circuit par le bras k défaillant (Figure 4a). Pour que le courant de court-circuit ne dépasse pas les limites nominales des semi-conducteurs et ne conduise pas à leurs destructions, une protection fiable et adaptée doit être mise en œuvre afin d'isoler le bras k défectueux. C'est le rôle des fusibles f_k . Ces fusibles font parties des topologies de convertisseurs tolérant aux fautes (Figure 1). L'efficacité des fusibles au niveau des onduleurs de tension a déjà fait l'étude de nombreuses recherches (Abrahamsen, 2000). De plus, plusieurs tests de court-circuit d'un IGBT ont été effectués pour étudier le phénomène de rupture du fusible et examiner dans quelle mesure le fusible protège l'IGBT (Braun, 1997), (Abrahamsen, 2000) et (Blaabjerg, 2002). Ces auteurs ont démontré qu'un fusible très rapide, connecté en série avec un IGBT, peut

protéger efficacement cet IGBT contre les surintensités. Lors du court-circuit du bus continu, différents cas peuvent potentiellement se produire selon les valeurs relatives du temps de rupture des fusibles et du temps nécessaire à la détection du défaut. Si le temps de rupture des fusibles est inférieur à celui nécessaire à la détection du défaut, le bras défectueux est isolé par un des deux fusibles avant même que le défaut n'ait été détecté. En effet, en pratique, les deux fusibles f_k et f_{k+3} ne cassent pas exactement au même instant et l'un des deux coupe en premier le courant de court-circuit. Ainsi, le courant traversant le bras défectueux devient égal à zéro. Cette condition correspond aux trois situations mentionnées dans le Tableau 2 pour lesquelles le courant i_{rk} reste égale à zéro (D_k et D_{k+3} sont bloquées). Le Tableau 4 consigne les expressions de l'erreur de tension dans ces cas. Si le temps de rupture des fusibles est supérieur à celui nécessaire à la détection du défaut, le défaut est détecté avant l'isolation par les fusibles du bras défectueux. Aussitôt, le module de reconfiguration met à '0' les commandes des deux interrupteurs du bras k défectueux, applique les deux ordres de commande du bras défectueux, précédents la détection du défaut, aux interrupteurs du bras redondant et commande à la fermeture l'interrupteur bidirectionnel T_k ($k = \{1, 2, 3\}$). Dans ce cas, le court-circuit du bus continu n'a pas encore été éliminé et il se prolonge via l'interrupteur bidirectionnel T_k (Figure 4b). Dans cette situation, un seul fusible est alors inséré dans le parcours du courant de court-circuit; le court-circuit est alors éliminé après rupture de ce fusible.

Une analyse similaire peut être menée lors d'un défaut de type « court-circuit » dû à une défaillance d'un des interrupteurs S_{k+3} du bas du convertisseur.

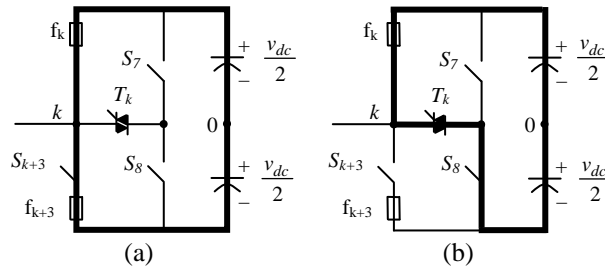


Figure 4. Parcours du courant de court circuit : (a) juste après l'apparition du défaut, (b) lorsque le temps de rupture des fusibles est supérieur au temps de détection du défaut.

δ_i	δ_j	v_{k0m}	ε_{k0}
0	0	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$	$\frac{3}{2}e_{rkn} - v_{dc}$
0	1	$\frac{3}{2}e_{rkn}$	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$
1	0	$\frac{3}{2}e_{rkn}$	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$
1	1	$\frac{v_{dc}}{2} + \frac{3}{2}e_{rkn}$	$\frac{3}{2}e_{rkn}$

Tableau 4. Erreur de tension pour un défaut du type court-circuit sur S_k pour $\delta_k = 0$ lorsque le temps de rupture du fusible est inférieur au temps de détection de défaut.

3.3. Détection de défaut intégrant un critère temporel

D'après l'étude théorique précédente en considérant que les interrupteurs sont idéaux, le défaut sur chaque bras peut être déterminé en comparant les tensions mesurées et estimées. Cependant, en réalité, à cause des temps de commutations à l'ouverture ou à la fermeture et des temps mort générés par les « drivers » des interrupteurs, l'erreur de tension n'est pas nulle et présente des pics lors des commutations. Si l'on ne « filtre » pas ces pics de tension présents sur le signal d'erreur ε_{k0} , un défaut peut être détecté lors d'une commutation alors qu'il n'en est pas un. La nouvelle méthode proposée met en œuvre un critère temporel permettant d'effectuer ce « filtrage ». En effet, pour éviter ces erreurs de détection dues aux commutations des interrupteurs, nous proposons de transformer le signal d'erreur précédent, basé sur les tensions, en un signal d'erreur temporel.

Etant donné qu'en fonctionnement normal la durée pendant laquelle l'erreur de tension est non nulle est faible (durée d'une commutation), il suffit de tester la valeur de cette durée pour confirmer ou infirmer la présence du défaut et ainsi « filtrer » l'effet des commutations. Pour cela, nous proposons de transformer, dans un premier temps, la valeur absolue de l'erreur de tension en un signal carré à l'aide d'un premier comparateur (Figure 5). Le seuil de ce comparateur, noté h , doit être choisi égal à quelques pourcents de la tension du bus continu (1 à 5%) pour filtrer les petites variations de ε_{k0} autour de zéro, dues à la chute de tension aux bornes des interrupteurs et à la précision des capteurs de tension. La sortie de ce comparateur, notée c_k , est égale à 0 si $|\varepsilon_{k0}| < h$ et égale à 1 si $|\varepsilon_{k0}| \geq h$. Par conséquent, en fonctionnement normal, le signal en sortie de ce premier comparateur a une forme d'onde carrée de faible rapport cyclique et de fréquence égale à la fréquence de commutation des interrupteurs (Figure 6).

Lors d'une implantation numérique, pour réaliser ce test, nous proposons de mesurer la durée pendant laquelle le signal c_k est égal à 1 (t_s sur la Figure 6) à l'aide d'un compteur. La sortie du compteur est égale au nombre d'impulsions d'horloge

pendant lesquelles le signal c_k est égal à 1, si ce compteur est remis à zéro après chaque front descendant du signal c_k . Ainsi, le signal c_k est dans un premier temps transformé en un signal de type « dent de scie », noté n_k . La valeur maximale de n_k est proportionnelle, modulo la période d'horloge T_h , à la durée pendant laquelle la tension estimée est différente de la tension réelle mesurée (Figure 6).

Ainsi, tout défaut éventuel d'un interrupteur peut être détecté en utilisant simultanément un « critère temporel » et un « critère de tension ». Pour ce faire, le signal n_k issu du compteur est appliqué à l'entrée d'un second comparateur de seuil noté N_t . Ce seuil doit être choisi supérieur à la valeur maximale de n_k lors du fonctionnement normal du convertisseur. En effet, la valeur maximale de n_k dépend effectivement des spécifications des composants utilisés, en particulier des temps morts imposés par les drivers. Grâce à la méthode proposée à la Figure 5, nous évitons toute fausse détection de défaut suite à une commutation mais nous pouvons néanmoins détecter un défaut en quelques dizaines de μ secondes, sachant que le temps exact de détection est fixé par les valeurs de N_t et de T_h .

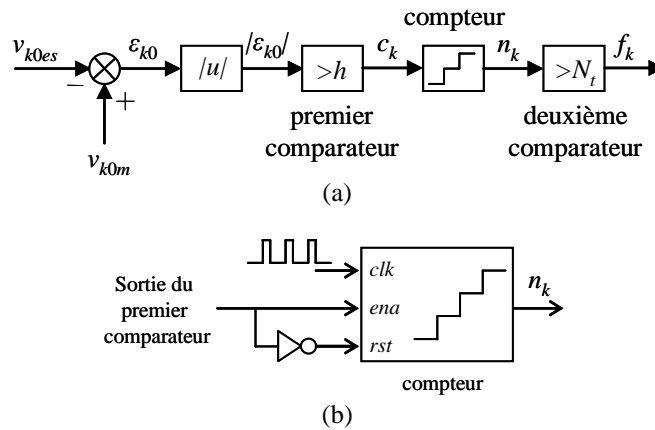


Figure 5. Schéma de principe de la détection de défauts

La valeur du seuil N_t doit être choisie selon les critères suivants :

- le temps de réponse des capteurs de tensions utilisés pour la mesure de la tension de pôle,
- les caractéristiques et les performances de l'acquisition des données analogiques, surtout les convertisseurs analogiques numériques et les interfaces électroniques,
- le temps mort des IGBTs.

Le signal de sortie f_k du module de détection de défaut est utilisé pour isoler le bras défaillant, déclencher l'interrupteur bidirectionnel T_k et arrêter la détection de défaut.

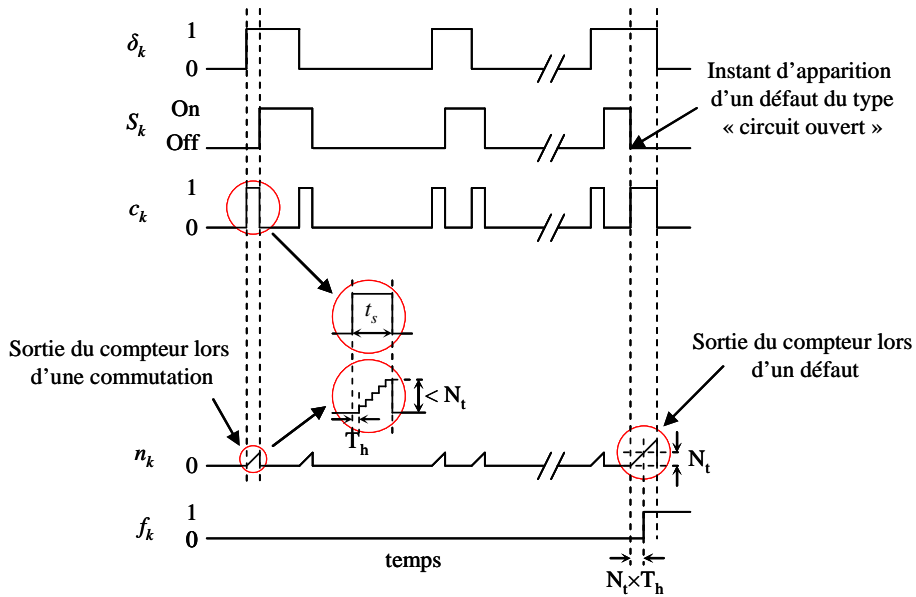


Figure 6. Détection de défauts incluant un critère temporel

3.4. Remarques concernant la détection de défauts sur le Conv2

Une analyse similaire peut être menée pour le Conv2 pour les deux types de défauts sauf que, pour ce convertisseur, la définition du sens du courant n'est pas la même que pour le Conv1 (voir Figure 1). En effet, le courant i_{rk} est défini positif lorsqu'il sort du Conv1 tandis que le courant i_{jk} est défini positif lorsqu'il rentre dans le Conv2. Dans ce cas, un éventuel défaut sur un interrupteur haut S_k du Conv2 ne sera détecté que lorsque le courant i_{jk} sera négatif (≤ 0) et que $\delta_k = 1$.

4. Contrôle du système éolien tolérant aux fautes

La Figure 7 présente le schéma de contrôle du système éolien tolérant aux fautes basé sur une MADA. Dans des conditions normales de fonctionnement, le bloc de détection et de compensation de défauts (Figure 7) impose directement aux deux convertisseurs les ordres de commandes des interrupteurs issus des deux blocs de

contrôles du Conv1 et Conv2. En cas de défaut sur l'un des deux convertisseurs, le bloc de détection et de compensation de défauts détecte l'interrupteur défaillant (au niveau du Conv1 ou du Conv2) et les deux ordres de commandes du bras défaillant sont interrompus. De plus, le signal de défaut (f_k ou f_k') commande le triac adapté et les ordres de commandes du bras défaillant sont appliqués au bras de secours. Le système éolien retrouve donc un fonctionnement normal.

4.1. Contrôle vectoriel du système éolien

Le système éolien tolérant aux fautes étudié est basé sur une éolienne à axe horizontal avec une MADA. Cette machine possède trois enroulements statoriques et trois enroulements rotoriques ; ceux-ci étant couplés en étoile. Le stator est directement relié au réseau et le rotor est relié à ce même réseau via deux convertisseurs statiques triphasés. L'intérêt de situer ces convertisseurs au rotor de la machine est qu'ils sont dimensionnés à environ 30% de la puissance nominale de la machine. La MADA est contrôlée de façon à produire de l'énergie électrique à fréquence constante quelque soit les conditions de vent appliqués sur les pâles de l'éolienne (Gaillard *et al.*, 2007).

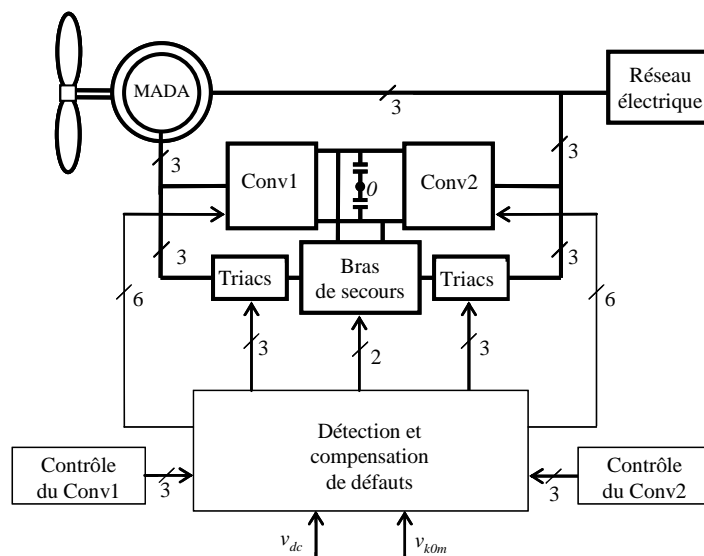


Figure 7. Schéma bloc du principe de contrôle du système éolien

4.1.1. Contrôle du convertisseur coté rotor (Conv1)

Le schéma bloc de contrôle du Conv1 est présenté à la Figure 8. Il est directement établi à partir des équations de la MADA et des hypothèses choisies pour l'orientation du repère dq . Un algorithme permet de maximiser la puissance produite pour une vitesse de vent donnée, générant ainsi la vitesse de référence Ω^* . Un correcteur du type Intégral-Proportionnel (IP) avec une structure « anti-saturation » est utilisé pour la régulation de vitesse (non montrée sur la figure). Les courants rotoriques sont contrôlés de façon à avoir un contrôle indépendant des puissances active et réactive statoriques. Des correcteurs classiques du type PI sont utilisés pour la régulation des courants (Gaillard *et al.*, 2007).

4.1.2. Contrôle du convertisseur coté réseau (Conv2)

Le schéma bloc de contrôle du Conv2 est présenté à la Figure 9. Il est directement établi à partir des équations à l'entrée du Conv2 aux bornes du filtre (R_f et L_f). Le courant d'axe d est utilisé pour contrôler la puissance réactive et le courant d'axe q est utilisé pour réguler la tension du bus continu (Gaillard *et al.*, 2007).

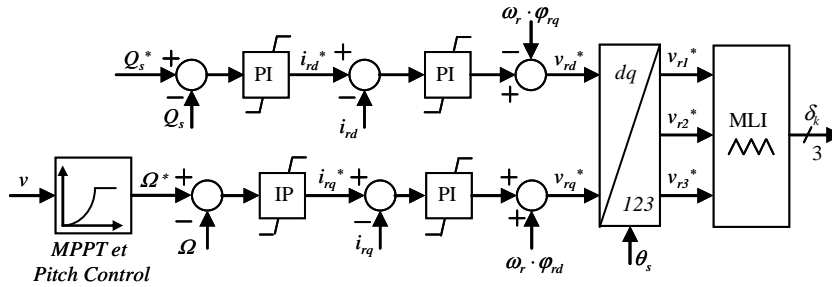


Figure 8. Schéma bloc de contrôle du Conv1 ($k = \{1, 2, 3\}$)

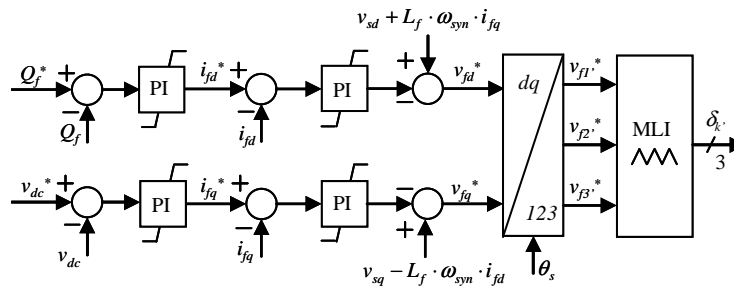


Figure 9. Schéma bloc de contrôle du Conv2 ($k = \{1, 2, 3\}$)

4.2. Bloc de détection de défaut et de compensation

Le schéma bloc de fonctionnement de la détection et de la compensation de défauts est présenté à la Figure 10. Pour détecter un défaut sur un des deux convertisseurs, la méthode de détection a besoin des signaux suivants : la tension du bus continu v_{dc} , les tensions de pôles mesurées v_{k0m} et $v_{k'0m}$ et les ordres de commande des interrupteurs haut des deux convertisseurs δ_k et $\delta_{k'}$ (avec $k = \{1, 2, 3\}$) issus des contrôles de Conv1 et de Conv2. Pour compenser le défaut en attribuant les ordres de commandes aux différents interrupteurs ainsi qu'aux triacs, le bloc de compensation a besoin des signaux suivants : les ordres de commande δ_k et $\delta_{k'}$ et les signaux f_k et $f_{k'}$ résultant de la détection de défaut.

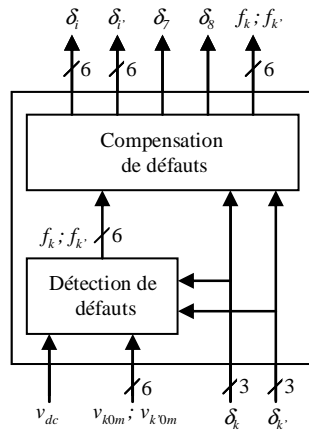


Figure 10. Bloc de détection et de compensation de défauts

Les signaux de sorties du bloc de détection et de compensation sont les suivants : les ordres de commandes δ_i et $\delta_{i'}$ des 12 interrupteurs (S_i et $S_{i'}$) composant les Conv1 et Conv2 avec $i = \{1, 2, \dots, 6\}$ (ces ordres sont générés à partir des ordres de commandes δ_k et $\delta_{k'}$), les ordres de commandes δ_7 et δ_8 des deux interrupteurs du bras de secours (S_7 et S_8) et les signaux f_k et $f_{k'}$ pour commander les triacs.

5. Validation expérimentale de la détection et de la compensation de défauts à l'aide de FPGA

Afin de valider expérimentalement notre méthode de détection et de compensation de défauts des interrupteurs de puissance sur notre système éolien en moins de 10 μs , nous avons décidé d'implanter la détection et la compensation sur une cible FPGA. Mais ne disposant pas d'un système éolien réel, une méthode de prototypage rapide par « FPGA in the loop » a été utilisée (Karimi *et al.*, Avril

2008). Nous allons d'abord voir pourquoi nous utilisons des composants FPGA et l'apport de ceux-ci pour la commande des systèmes de conversion de l'énergie électrique. Ensuite nous détaillerons le flot de conception à réaliser pour pouvoir valider expérimentalement notre méthode de détection et de compensation par prototypage « FPGA in the loop ». Enfin les résultats seront détaillés pour un système éolien de 3MW sur lequel nous allons créer des défauts sur les interrupteurs de puissance.

Mais puisque les résultats de la simulation fonctionnelle en mode discret, de la simulation mixte et du prototypage « FPGA in the Loop » sont identiques, nous ne les présenterons donc qu'après la dernière étape du flot de conception.

5.1. Apports des FPGAs pour la commande des systèmes électriques

Un composant FPGA est un circuit intégré numérique composé d'un grand nombre d'éléments ou blocs logiques programmables et reconfigurables sans modification matérielle significative. Aujourd'hui, les composants FPGAs sont devenus indispensables dans les systèmes numériques et sont utilisés dans de multiples domaines d'applications en raison des nombreux avantages obtenus lors de leur utilisation (Detrey, 2007). Parmi tous ces avantages, on peut notamment citer :

1- L'augmentation croissante du niveau de performance temps réel tout en réduisant le coût et l'encombrement,

2- L'amélioration des performances. Ce mode d'implantation permet par exemple de réduire le temps d'exécution d'un algorithme afin de permettre au contrôleur à base de FPGA d'atteindre le niveau de performance des contrôleurs analogiques, sans présenter les inconvénients de ces derniers (dérive, manque de souplesse, problème de compatibilité électromagnétique,),

3- Leur grande souplesse de programmation permet de les réutiliser à volonté pour cibler des algorithmes différents en un temps très court, ceci à l'aide d'une même plate-forme de développement,

4- La rapidité et la facilité de reconfigurer un FPGA autant de fois que nécessaire pour implanter les fonctionnalités désirées.

En raison de tous ces avantages, les FPGAs sont aujourd'hui utilisés dans diverses applications nécessitant des traitements numériques importants tels que le traitement du signal et de l'image, le contrôle/commande des machines électriques, la mesure de vitesse, le contrôle des convertisseurs statiques de puissance, les équipements médicaux, la télécommunication, l'aéronautique, les transports, la bio-informatique, l'automobile, la robotique ou encore plus généralement l'accélération de calculs scientifiques.

Dans notre domaine d'application des systèmes de conversion de l'énergie électrique, les composants FPGAs ont déjà été utilisés avec succès pour la commande de ces systèmes, pour le contrôle d'onduleurs ou de convertisseurs multi-niveaux ou bien encore la commande de filtres actifs (Monmasson *et al.*, 2002), (Naouar, 2007).

5.2. Méthodologie de prototypage « FPGA in the loop »

Pour pouvoir développer et implanter notre méthode de détection et de compensation de défauts sur une cible FPGA, nous devons utiliser des outils de développement spécifiques. Nous avons choisi d'utiliser entre autres les outils logiciels « DSP Builder » de la société Altera. La motivation majeure de ce choix est le couplage possible entre ce logiciel et les outils Matlab/Simulink de la société MathWorks. En effet, DSP Builder permet de générer la modélisation VHDL (Very high speed integrated circuit Hardware Description Language) synthétisable du contrôleur numérique à partir d'une modélisation sous Matlab/Simulink. Les blocs Matlab/Simulink sont également compatibles avec les blocs de DSP Builder; cette possibilité permet de modéliser des systèmes mixtes (analogique et numérique) et de les simuler dans un environnement unique, celui de Matlab/Simulink. De plus, un flot de conception automatisé est proposé : l'outil « Signal Compiler », au coeur de DSP Builder, permet de générer le code VHDL et des scripts à partir de modèles de la bibliothèque DSP Builder. Enfin, la fonction nommée « HIL », proposée par DSP Builder, permet de placer physiquement un composant FPGA dans une boucle de simulation Hardware In the Loop (HIL). Pour mener à bien l'étape d'implantation et de programmation du FPGA, nous aurons recours à l'outil logiciel Quartus II, également proposé par la société Altera.

5.2.1. Flot de conception destiné au prototypage « FPGA in the loop »

Un flot de conception descendant, qui est destiné au prototypage « FPGA in the loop », permet de mener, dans une première étape, une étude fonctionnelle de notre système éolien tolérant aux fautes, à l'aide de Matlab et des bibliothèques associées (notamment SimPowerSystems et Simulink). Ensuite, le contrôleur numérique est modélisé à l'aide de DSP Builder et simulé dans son contexte analogique et de puissance, étape par étape, jusqu'à l'obtention d'une modélisation numérique synthétisable en langage VHDL. Cette dernière modélisation sera physiquement implantée sur la cible FPGA choisie. Une fois programmé, le FPGA sera alors testé dans son contexte de puissance par prototypage « FPGA in the loop » (Karimi *et al.*, Avril 2008).

5.2.1.1. Simulation fonctionnelle en mode discret

La partie puissance de notre système éolien tolérant aux fautes ainsi que les capteurs de tensions et courants sont modélisés à l'aide de Matlab/SymPower Systems, en mode discret, avec une période d'échantillonnage égale à $1\mu s$. Les interfaces, les convertisseurs analogiques-numériques (CANs) et les contrôles du Conv1 et Conv2 sont modélisés à l'aide de Matlab/Simulink avec des blocs discrets. La période d'échantillonnage pour les contrôles des Conv1 et Conv2 est choisi égale à $1ms$. Sachant que la fréquence de commutation des interrupteurs des deux convertisseurs est égale à $2kHz$, la période d'échantillonnage correspond donc à deux fois la période de commutation des interrupteurs. La Figure 11 illustre cette étape du flot de conception.

5.2.1.2. Simulation mixte

Puisque dans cet article, seule la détection et la compensation de défauts est implantée sur la cible FPGA, seule cette partie est modélisée sous Matlab à l'aide de DSP Builder et les autres parties de l'algorithme de commande, à savoir les contrôles du Conv1 et du Conv2, restent identiques à celles modélisées à l'aide de Matlab/Simulink en mode discret. La Figure 12 illustre la simulation mixte.

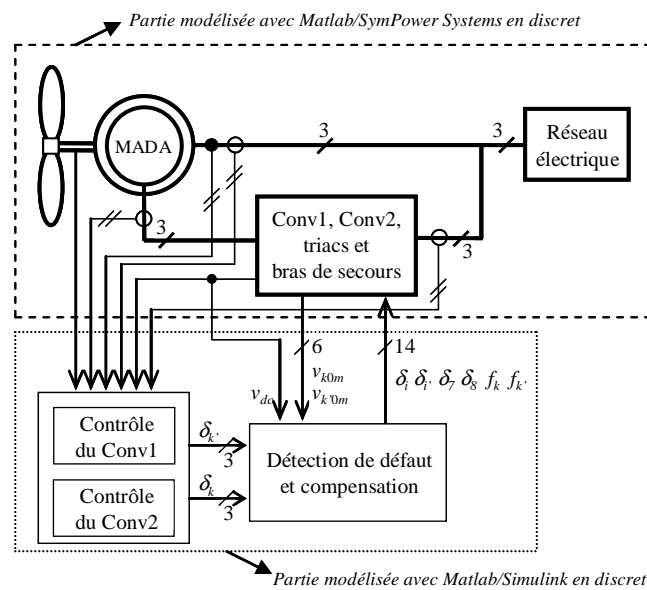


Figure 11. Première étape du flot de conception : simulation en mode discret

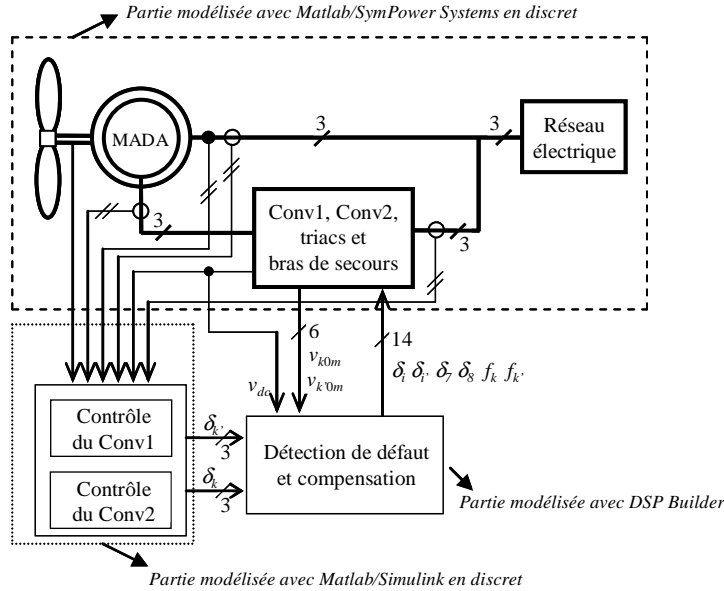


Figure 12. Deuxième étape du flot de conception : simulation mixte

Rappelons que les signaux d’entrées du bloc de détection et de compensation de défauts sont les suivants : la tension v_{dc} , les ordres de commandes $(\delta_1, \delta_2, \delta_3)$ et $(\delta_1', \delta_2', \delta_3')$ et les tensions $v_{10m}, v_{20m}, v_{30m}, v_{1'0m}, v_{2'0m}, v_{3'0m}$ (voir section 4.2). En considérant des CANs de format 12 bits, le format des signaux d’entrées en tension est choisi égale à [1, 0, 11], c’est à dire 1 bit de signe et 11 bits pour la partie décimale. Notons que des modules d’interface ramènent les signaux analogiques dans l’intervalle [-1, +1]. Puisque les signaux de commande des interrupteurs sont des signaux logiques et ne prennent que deux valeurs, 0 ou 1, on utilise pour les coder le format logique avec un seul bit. Les signaux de sortie du bloc de détection et de compensation de défauts sont les signaux de commande des 14 interrupteurs $(\delta_1, \dots, \delta_6), (\delta_1', \dots, \delta_6'), (\delta_7, \delta_8)$ et les 6 signaux de défauts $f_1, f_2, f_3, f_1', f_2', f_3'$. Ces signaux de sortie sont également des signaux logiques, le format logique est alors également utilisé.

Nous avons utilisé une machine d’états de type Moore afin de modéliser la détection de défauts. Les Figure 13 et 14 nous présentent respectivement le graphe d’états et l’unité de contrôle pour la détection de défauts. La période d’horloge du compteur est choisie égale à $1\mu s$. Cette valeur permet de synchroniser la carte FPGA avec la partie simulée sur Matlab dans la dernière étape du flot de conception. Les valeurs des seuils h et N_i sont choisis respectivement à 25V et 10, correspondant à $10\mu s$ (voir Figure 6).

Pour la compensation de défauts, nous avons utilisé des multiplexeurs, des portes logiques et des gains afin d’attribuer à chaque interrupteur des deux convertisseurs et

du bras de secours ainsi qu'aux six triacs les ordres de commandes correspondant au mode de fonctionnement (sans ou avec défaut). La Figure 15 présente l'attribution des ordres de commandes pour les interrupteurs du bras 1 du Conv1 (identique pour les cinq autres bras) ainsi que pour les interrupteurs du bras de secours.

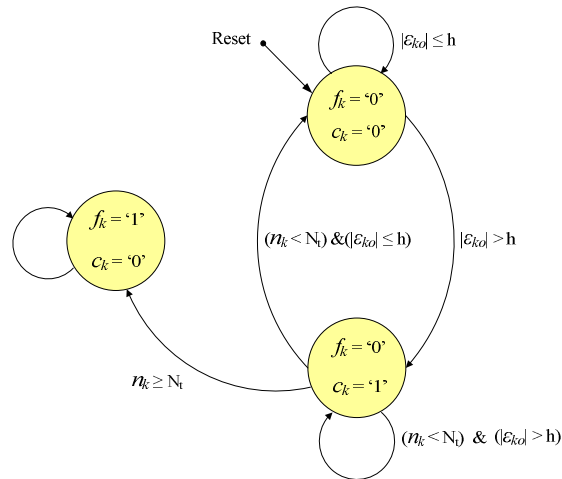


Figure 13. Graphe d'états de la détection de défaut

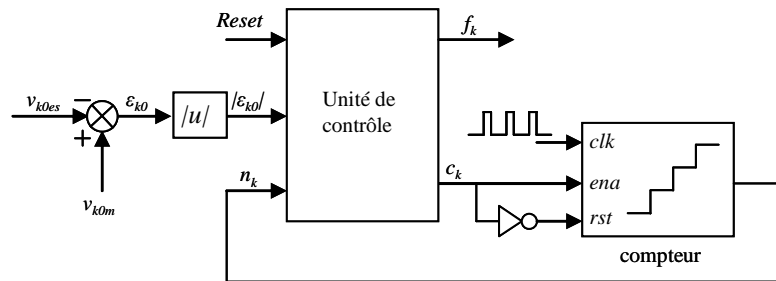


Figure 14. Unité de contrôle de la détection de défaut

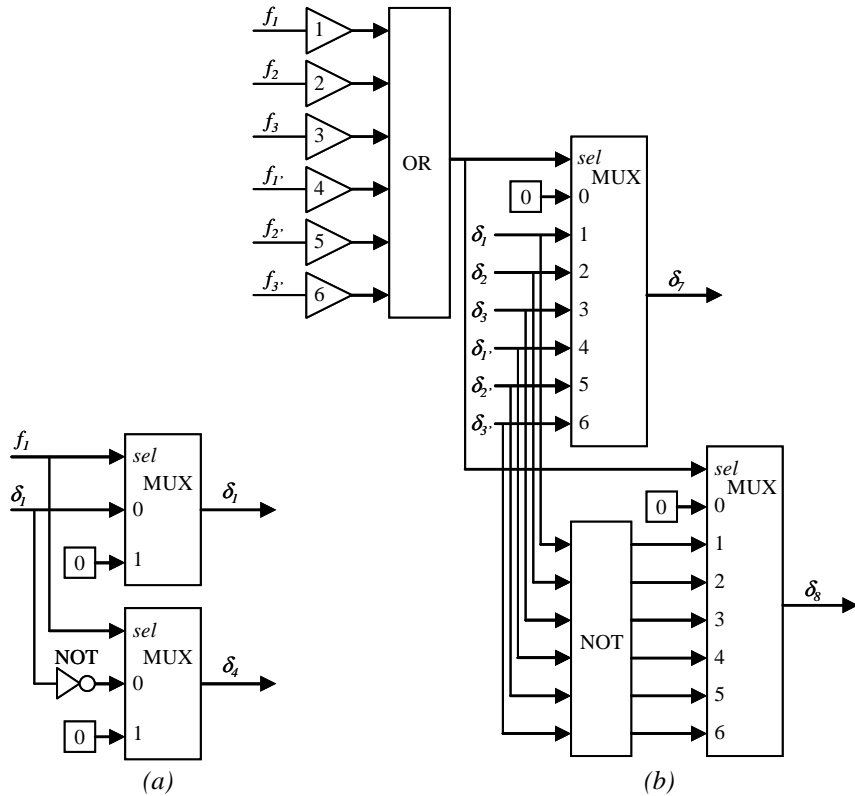


Figure 15. Attribution des ordres de commande : (a) pour le bras 1 du Conv1, (b) pour le bras de secours

5.2.1.3. Implantation sur cible FPGA pour le prototypage « FPGA in the loop »

A ce niveau du flot de conception, la détection et la compensation de défauts a été modélisée à l'aide de DSP Builder. Nous allons maintenant valider l'implantation numérique à l'aide d'une carte FPGA par prototypage « FPGA in the loop ». La carte cible mise en oeuvre est la carte de développement Stratix DSP S80, conçue par la société Canadian Microelectronics Corporation. Elle comprend un composant FPGA de type Stratix EP1S80 de la famille Altera. La Figure 16 présente cette carte de développement.



Figure 16. Carte de développement utilisée pour le prototypage « FPGA in the loop »

Afin d'implanter sur le FPGA l'algorithme de détection et de compensation de défauts modélisé à l'aide de DSP Builder, il faut réaliser successivement les étapes suivantes :

- 1- La génération du code VHDL synthétisable;
- 2- La synthèse logique;
- 3- Le Fitting (ajustement) à l'aide de l'outil Quartus II.

Une fois que le fichier de programmation du FPGA est généré par Quartus II, tous les blocs DSP Builder de la détection et de la compensation de défauts sont remplacés dans l'environnement Matlab/Simulink par un unique bloc HIL correspondant à l'algorithme implémenté sur le FPGA. La connexion entre la carte cible et l'ordinateur est réalisé à l'aide d'un câble JTAG type ByteBlasterMV, également utilisé lors de la programmation du FPGA. La Figure 17 présente la dernière étape du flot de conception. Après la configuration de la carte FPGA, on peut alors effectuer le prototypage « FPGA in the loop ». Dans ce cas, à chaque pas de simulation (ici égal à $1\mu s$), le composant FPGA reçoit les signaux v_{dc} , δ_1 , δ_2 , δ_3 , $\delta_{1'}$, $\delta_{2'}$, $\delta_{3'}$, v_{10m} , v_{20m} , v_{30m} , $v_{1'0m}$, $v_{2'0m}$ et $v_{3'0m}$ puis il exécute l'algorithme implémenté et transmet en retour les ordres de commande des 14 interrupteurs (δ_1 , ..., δ_6), ($\delta_{1'}$, ..., $\delta_{6'}$), (δ_7 , δ_8) et les 6 signaux de défaut, notés $f_1, f_2, f_3, f_{1'}, f_{2'}, f_{3'}$.

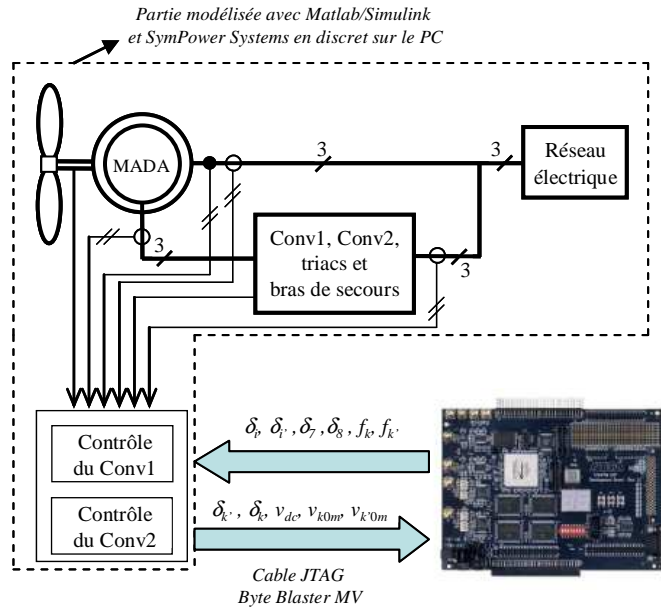


Figure 17. Dernière étape du flot de conception : prototypage « FPGA in the loop »

5.3. Résultats du prototypage « FPGA in the loop »

Dans cette section, nous examinons uniquement la réponse du système éolien dans deux cas de défauts de type « circuit ouvert » (les fusibles placés au niveau des convertisseurs ramènent le cas d'un court-circuit à celui d'un circuit ouvert, le temps de fusion des fusibles étant inférieur au temps de détection des défauts, voir section 3.2). Nous considérons que le défaut apparaît sur l'interrupteur haut du troisième bras du Conv1 ou du Conv2. Les cas étudiés sont les suivants :

- Conv1 est défaillant (cas *a*),
- Conv2 est défaillant (cas *b*).

Les paramètres de notre système éolien tolérant aux fautes sont donnés dans le Tableau 5.

Un vent d'une vitesse de 13 m/s est appliqué sur les pâles de l'éolienne, ce qui correspond au fonctionnement nominale de la MADA ($P = -3\text{MW}$ et $N = 1800$ tr/min donc un glissement de -20%). La partie puissance du système éolien est simulée en temps discret avec une période d'échantillonnage de $1 \mu\text{s}$, la partie commande est simulée avec une période d'échantillonnage de 1 ms et l'algorithme

implantée sur la cible FPGA a une période d'horloge de 1 μ s. La fréquence de commutation des interrupteurs est égale à 2 kHz.

Réseau électrique	Tension entre phases : $U_n = 690$ V Fréquence : $f = 50$ Hz
Turbine éolienne	Diamètre = 80 m Multiplicateur = 100 Inertie $J_T = 1.4 \cdot 10^6$ kg.m ²
MADA	$P_n = 3$ MW, $f = 50$ Hz, $p = 2$, $J_m = 116$ kg.m ² , $R_s = 2.97$ m Ω , $R_r = 3.82$ m Ω , $L_s = 12.241$ mH, $L_r = 12.177$ mH, $M = 12.12$ mH
Filtre Conv2	$R_f = 0.1$ Ω , $L_f = 1$ mH
Bus Continu	C = 38 mF Tension nominale $v_{dc} = 1200$ V

Tableau 5. Paramètres du système éolien tolérant aux fautes avec une MADA

Les Figures 18 et 19 présentent les résultats pour les cas *a* et *b* respectivement, sans détection et compensation de défauts. Pour le cas *a*, le défaut est introduit au niveau de l'interrupteur S_3 du Conv1 à $t = 1,55$ s ($i_{r3} > 0$). Pour le cas *b*, le défaut est introduit au niveau de l'interrupteur S_3' du Conv2 à $t = 1,51$ s ($i_{g3'} > 0$). Dans les deux cas de fonctionnement, nous pouvons observer des oscillations importantes des courants respectifs des deux convertisseurs et par conséquent la puissance fournie au réseau P_g n'est plus régulée correctement.

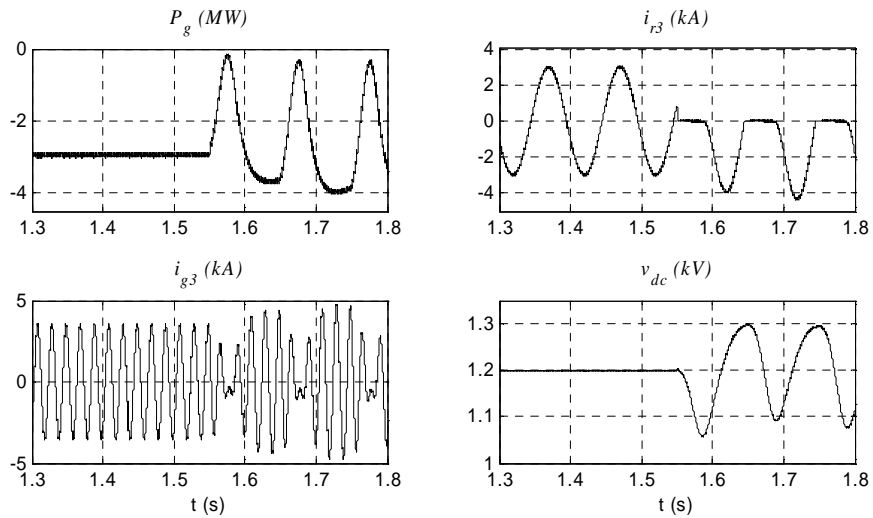


Figure 18. Cas *a* sans détection et compensation de défaut sur S_3

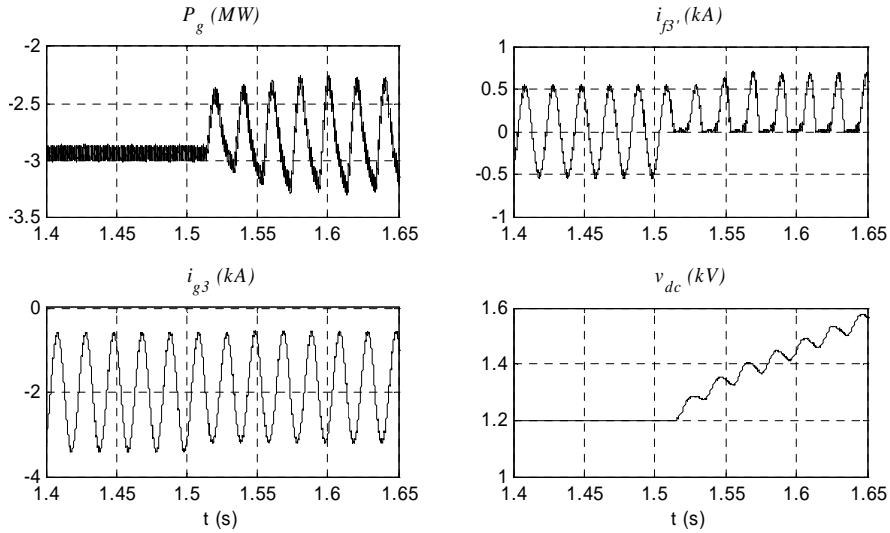


Figure 19. Cas *b* sans détection et compensation de défaut sur S_3 .

De plus, si le système éolien n'est pas déconnecté rapidement du réseau, les fortes variations des courants pourraient entraîner la destruction des autres interrupteurs de puissance. D'où l'importance de détecter et de compenser rapidement l'interrupteur défaillant.

La Figure 20 illustre les résultats obtenus par prototypage « FPGA in the loop » pour le cas *a* lorsque la méthode de détection et de compensation de défauts proposée est utilisée. Le défaut est toujours introduit sur S_3 à $t = 1,55$ s ($i_{r3} > 0$). Nous observons que les formes d'ondes ne sont pas affectées par la présence de ce défaut donc l'éolienne peut continuer à fournir de la puissance au réseau.

La Figure 21 présente les résultats obtenus après apparition du défaut et sur une durée de 200 μ s autour de l'apparition du défaut. Cette figure montre que δ_3 est égal à 1 quand l'interrupteur S_3 du haut du bras 3 devient défaillant (circuit ouvert). De ce fait, puisque le courant est positif le défaut est détecté 10 μ s après l'apparition du défaut. Ce résultat confirme la validité de la modélisation et de l'implantation numérique de l'algorithme de détection et de compensation de défauts sur FPGA.

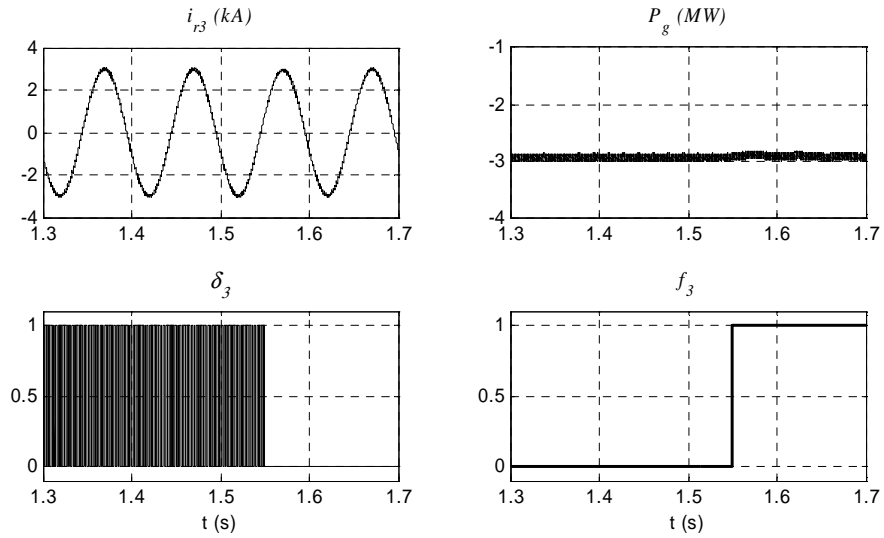


Figure 20. Résultats « FPGA in the loop »: cas a avec détection et compensation de défaut sur S_3 défaillant à $t = 1.55$ s

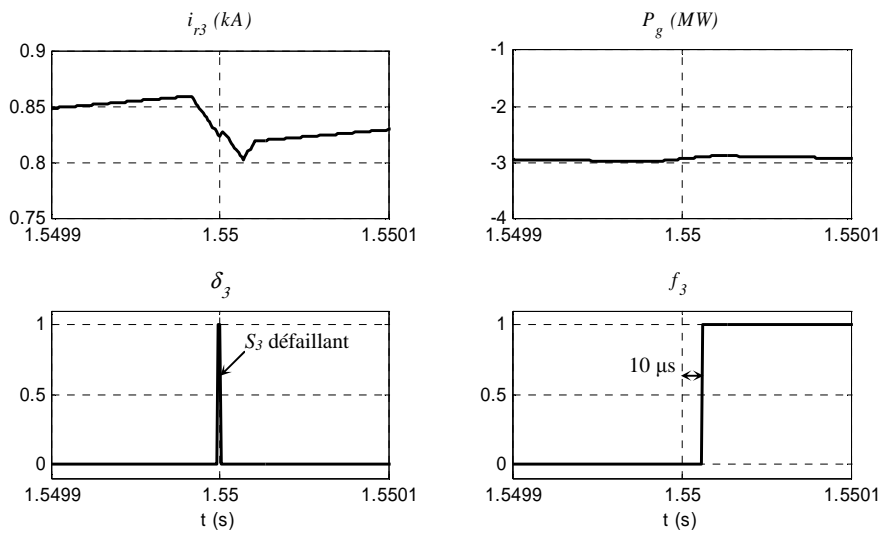


Figure 21. Résultats « FPGA in the loop » pour une durée de $200 \mu s$ autour de l'apparition du défaut sur S_3 .

La Figure 22 présente les résultats obtenus par prototypage « FPGA in the loop » pour le cas *b* lorsque la méthode de détection et de compensation de défauts proposée est utilisée. Le défaut est toujours introduit sur $S_{3'}$ à $t = 1,51$ s ($i_{\beta'} > 0$). Ici encore, nous observons que les formes d'ondes ne sont pas affectées par la présence de ce défaut donc l'éolienne peut continuer à fournir de la puissance au réseau.

La Figure 23 détaille les résultats de simulation sur une durée de $200 \mu\text{s}$ après l'apparition du défaut. On peut remarquer que le défaut ne peut pas être détecté tout de suite car le courant $i_{\beta'}$ est positif lors de l'apparition du défaut (voir partie 3.4). Les effets du défaut apparaissent dès que le courant $i_{\beta'}$ devient égal à zéro, soit à l'instant $t = 1,5132$ s. Et comme $\delta_{3'}$ est égal à 1 au passage à zéro du courant le défaut est détecté $10 \mu\text{s}$ après. Le défaut sur $S_{3'}$ est donc détecté $3,2$ ms après son apparition car entre le moment où le défaut est apparu et le moment où il est détecté, il s'agissait d'un mode de fonctionnement normal du convertisseur.

Nous pouvons noter qu'avec un temps de détection et de compensation de défauts de l'ordre d'une dizaine de $\mu\text{secondes}$, l'effet du défaut n'apparaît pas sur les formes d'ondes (aucun transitoire) parce que le temps de détection est très faible par rapport à la période de commutation des interrupteurs.

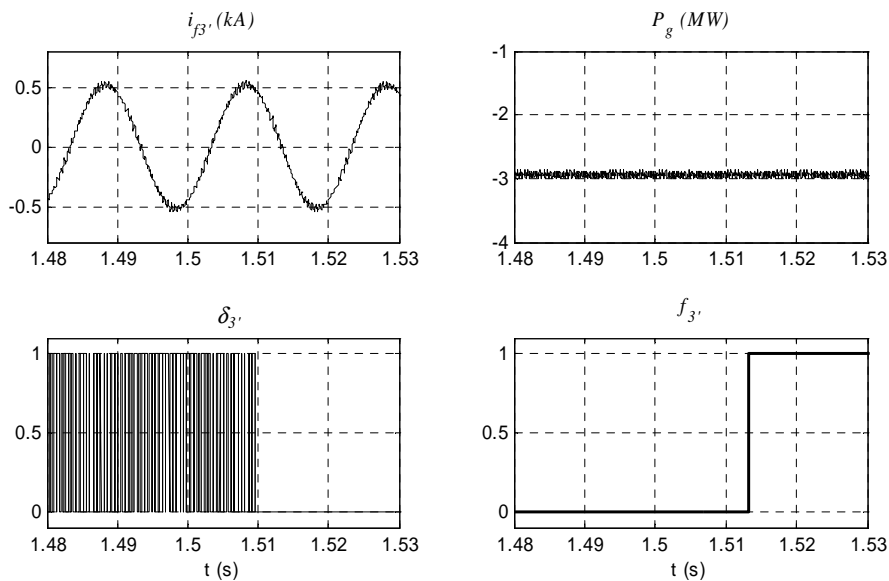


Figure 22. Résultats « FPGA in the loop »: cas *b* avec détection et compensation de défaut sur $S_{3'}$ défaillant à $t = 1.51$ s

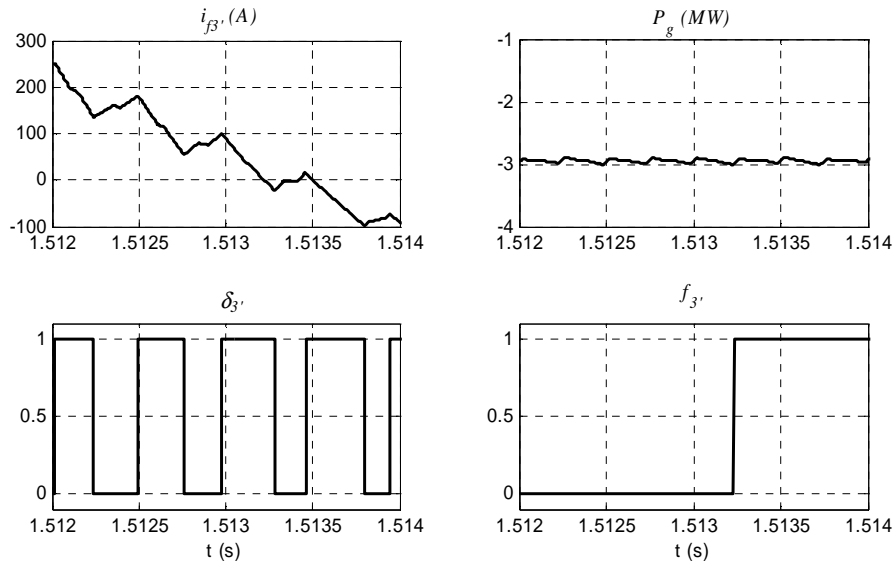


Figure 23. Résultats « FPGA in the loop » pour une durée de 200 μ s après l'apparition du défaut sur S_3 .

6. Conclusion

Cet article a proposé une méthode innovante de détection de défauts des interrupteurs de puissance appliquée à une nouvelle topologie tolérante aux fautes de système éolien. Cette topologie a été obtenue en ajoutant un bras redondant à une structure classique utilisée dans les systèmes éoliens actuels. La méthode de détection proposée a été validée par prototypage « FPGA in the loop » pour un système éolien avec une MADA. De plus, nous avons examiné une nouvelle méthode de détection de défaut et de compensation sans fausses détections dues aux commutations des interrupteurs. La méthode proposée minimise le temps entre l'apparition du défaut et son diagnostic. La validation sur cible FPGA a démontré que nous pouvons détecter un interrupteur défaillant en moins de 10 μ s. Dans les systèmes éoliens actuels, lorsqu'un défaut apparaît sur les convertisseurs statiques, le système est déconnecté du réseau électrique. Comme il est proposé dans cet article, avec une topologie tolérante aux fautes, le système éolien peut continuer à fonctionner normalement et par conséquent des bénéfices économiques peuvent être réalisés. De plus, le principe de la méthode de détection proposée peut être appliqué dans tous les systèmes éoliens intégrant des convertisseurs statiques triphasés.

7. Bibliographie

- Abrahamsen F., Blaabjerg F., Ries K., Rasmussen H., « Fuse Protection of IGBT's against Rupture », Proceedings of IEEE Nordic Workshop on Power and Industrial Electronics, pp. 64-68, 2000
- Araujo Ribeiro R. L., Jacobina C. B., Da Silva E. R. C., Lima A. M. N., « Fault-tolerant voltage-fed PWM inverter AC motor drive systems », IEEE Transactions on Industrial Electronics, vol. 51, pp. 439 – 446, April 2004.
- Baroudi J. A., Dinavahi V., Knight A. M., « A review of power converter topologies for wind generators », Renewable Energy, vol. 32, no. 14, pp. 2369-2385, November 2007.
- Blaabjerg F., Iov F., Ries K., « Fuse protection of IGBT modules against explosions », Journal of Power Electronics, vol. 2, no. 2, pp. 88-94, April 2002.
- Braun D., Pixler D., May P. L., « IGBT Module Rupture Categorization and Testing », Proceedings of IEEE Industry Applications Society Annual Meeting, New Orleans, pp.1259-1266, Oct. 1997.
- Carrasco J. M., Franquelo L. G., Bialasiewicz J. T., Galvan E., Portillo Guisado R. C., Prats M. A. M., Leon J. I, Moreno-Alfonso N., « Power-electronic systems for the grid integration of renewable energy sources: a survey », IEEE Transactions on Industrial Electronics, vol. 53, no. 4, pp. 1002- 1016, Aug. 2006.
- Detrey J., Arithmétiques réelles sur FPGA, virgule fixe, virgule flottante et système logarithmique, Thèse de doctorat de l'École Normale Supérieure de Lyon, France, 2007.
- Fuchs F. W., « Some diagnosis methods for voltage source inverters in variable speed drives with induction machines - a survey », Proceedings of 29th Annual Conference of the IEEE Industrial Electronics Society, vol. 2, p.p. 1378– 1385, November, 2003.
- Gaillard A., Poure P., Saadate S., « Fault Tolerant Back-to-Back Converter Topology for Wind Turbine with Doubly Fed Induction Generator », International Review of Electrical Engineering, pp 629-636, August 2007.
- Karimi S., Poure P., Saadate S., « FPGA in the Loop Prototyping Methodology for Fully Digital Power Electronics System Control Design », International Review of Electrical Engineering, April 2008.
- Karimi S., Gaillard A., Poure P., Saadate S., « FPGA-based Real Time Power Converter Failure Diagnosis for Wind Energy Conversion Systems », IEEE Transactions on Industrial Electronics, vol. 55, Issue 12, Dec. 2008, pp. 4299-4308.
- Klima J., « Time and frequency domain analysis of fault-tolerant space vector PWM VSI-fed induction motor drive », IEE Proceedings Electric Power Applications, vol. 152, no. 4, pp. 765 – 774, 8 July 2005.
- Monmasson E., Chapuis Y. A., « Contribution of FPGAs to the control of electrical system, a review », IEEE Industrial Electronic Society Newsletter, vol. 49, no. 4, pp.8-15, 2002.
- Naouar M. W., Monmasson E., Naassani A. A., Slama-Belkhdja I., Patin N., « FPGA-based current controllers for AC machine drives—a review », IEEE Transactions on Industrial Electronics, vol. 54, no. 4, pp. 1907-1925, Aug. 2007.