



Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle

Shahram Karimi

► To cite this version:

Shahram Karimi. Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle. Autre. Université Henri Poincaré - Nancy 1, 2009. Français. NNT: 2009NAN10002 . tel-01748540

HAL Id: tel-01748540

<https://hal.univ-lorraine.fr/tel-01748540>

Submitted on 29 Mar 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

FACULTE DES SCIENCES & TECHNIQUES

U.F.R. Sciences & Techniques : S.T.M.I.A

Ecole Doctorale: Informatique-Automatique-Electrotechnique-Electronique-Mathématique

Département de Formation doctorale : Electrotechnique-Electronique

Thèse

Présentée pour l'obtention du titre de

Docteur de l'Université Henri Poincaré, Nancy-I

En Génie Electrique

Par **Shahram KARIMI**

Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle

Soutenance publiquement le 26 Janvier 2009

Membres du jury :

Président :	J. P. Hautier	Professeur, L2EP, ENSAM, Lille
Rapporteurs :	E. Monmasson	Professeur, SATIE, Université de Cergy-Pontoise
	P. Ladoux	Professeur, LAPLACE, INPT, Toulouse
Examineurs :	S. Saadate	Professeur, GREEN, UHP, Nancy 1
	P. Poure	Maître de conférences, LIEN, UHP, Nancy 1
	E. Gholipour	Maître de conférences, IEHT, Téhéran, Iran
	J. Bélanger (Invité)	Ingénieur, Président et directeur technologique d'OPAL-RT

*A mon épouse Parisa
et
A ma petite fille Parnia*

Remerciements

Ces travaux de thèses ont été effectués dans le cadre d'une collaboration entre le Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN) et le Laboratoire d'Instrumentation Electronique de Nancy (LIEN).

Que Monsieur **Shahrokh Saadate**, Professeur à l'UHP et Directeur du GREEN, reçoive toute l'expression de ma reconnaissance pour ses compétences scientifiques qui m'ont permis de mener à bien cette étude et pour la confiance qu'il m'a constamment témoignée durant ces années.

J'exprime mes sincères remerciements à Monsieur **Philippe Poure**, Maître de conférences à l'UHP, pour avoir co-dirigé ma thèse, pour sa disponibilité et pour ses conseils avisés.

Je remercie Messieurs **Abderrezak Rezzoug**, Professeur à l'Université Henri Poincaré (UHP) et ex-Directeur du GREEN, et **Serge Weber**, Professeur à l'UHP et Directeur du LIEN, pour m'avoir accueillis au sein des deux laboratoires et pour leur encouragements.

Je tiens à exprimer ma profonde gratitude à Monsieur **J. P. Hautier**, Professeur à l'Université de Lille pour l'honneur qu'il m'a fait, en acceptant de présider le jury.

Je remercie également Monsieur **Eric Monmasson**, Professeur à l'Université de Cergy-Pontoise, ainsi que Monsieur **Philippe Ladoux**, Professeur à l'Institut National Polytechnique de Toulouse, qui ont accepté de juger ce travail et d'en être les rapporteurs.

Je veux adresser tous mes remerciements à Monsieur **Eskandar Gholipour**, Maître de conférences à l'IEHT Téhéran, Iran, d'avoir accepté de participer au jury de cette thèse.

J'exprime toute mon amitié à Monsieur **Yves Berviller**, Maître de conférences à l'UHP, pour sa contribution dans le domaine de l'électronique numérique.

Mes remerciements vont également à Monsieur **Fadi Sharif**, technicien à l'INPL, pour son aide apportée lors de la réalisation des parties expérimentales.

Merci aussi à tous mes collègues et amis de longue date des deux laboratoires qui se reconnaîtront ici. Je leur exprime ma profonde sympathie et leur souhaite beaucoup de bonheur pour la suite.

Je souhaite remercier mes amis, en particulier Messieurs **M. Heshmatol Vaezin** et **A. Alighardashi** pour leurs encouragements lors de ce séjour en France.

Je tiens tout particulièrement à remercier le Service de Coopération et d'Action Culturelle (SCAC) de l'Ambassade de France à Téhéran pour l'attribution de la bourse d'études.

Je voudrais également remercier le Plan Pluri-Formation Informatique-Automatique-Electrotechnique-Mathématique (PPF IAEM) pour leur contribution financière dans la réalisation des parties expérimentales de ces travaux de recherche.

Enfin, je remercie mon épouse **Parisa** pour son soutien et son encouragement de chaque instant et son amour sans cesse.

Table des matières

Introduction générale.....	3
 CHAPITRE I : TOPOLOGIES ET STRATEGIES DE COMMANDE DES FILTRES	
ACTIFS PARALLELES A STRUCTURE TENSION	7
I.1. Introduction.....	9
I.2. Principe de fonctionnement des FAPs.....	10
I.3. Topologies de FAPs à structure tension reliés à un réseau électrique à trois fils	11
I.3.1. Onduleur de tension.....	11
I.3.1.1. Onduleur de tension à trois bras	11
I.3.1.2. Onduleur de tension à deux bras.....	14
I.3.1.3. Comparaison entre les deux topologies de FAP	17
I.3.2. Système de stockage de l'énergie.....	18
I.3.3. Filtre de sortie.....	19
I.4. Contrôle du FAP	19
I.4.1. Identification des courants de référence	19
I.4.1.1. Généralités sur les méthodes d'identification	19
I.4.1.2. Méthode des puissances active et réactive instantanées	20
I.4.1.3. Méthode du référentiel lié au synchronisme (SRF pour Synchronous Reference Frame)	22
I.4.2 Performance des méthodes <i>pq</i> et SRF en conditions idéales et non idéales.....	24
I.4.2.1. Cas de la méthode <i>pq</i>	25
I.4.2.2 Cas de la méthode <i>SRF</i>	27
I.4.3. Nouvelle approche pour l'identification des courants de référence.....	29
I.4.3.1. Extraction de la composante fondamentale	30
I.4.3.2. Méthode " <i>pq-modifiée</i> "	35
I.4.4. Poursuite des courants de référence.....	37
I.4.4.1. Contrôle des courants par MLI	37
I.4.4.2. Contrôle des courants par hystérésis.....	40
I.4.4.3. Contrôle des courants par la méthode dite " <i>hystérésis modulée</i> "	43
I.4.5. Régulation de la tension continue.....	47
I.5. Etude comparative des méthodes d'identification	48
I.5.1 Etude comparative par simulation des méthodes <i>pq</i> , SRF et " <i>pq-modifiée</i> "	48
I.5.1.1. Courants harmoniques équilibrés et tensions sinusoïdales équilibrées	49

I.5.1.2. Tensions sinusoïdales équilibrées et courants harmoniques déséquilibrés	50
I.5.1.3. Courants équilibrés et tensions équilibrées contenant des harmoniques	51
I.5.1.4. Courants harmoniques et tensions sinusoïdales déséquilibrés	53
I.5.2. Simulation de l'ensemble charge non-linéaire et FAP	56
I.5.2.1. Choix des paramètres du FAP	56
I.5.2.2. Résultats de simulation	58
I.6. Conclusion.....	63

CHAPITRE II : CONTINUITÉ DE SERVICE DES CONVERTISSEURS TRIPHASÉS A STRUCTURE TENSION..... 65

II.1. Introduction	67
II.2. Convertisseurs triphasés à structure tension tolérant les défauts de semi-conducteurs et de drivers	67
II.2.1. Topologies "fault tolerant"	69
II.2.2. Détection de défaut au niveau d'un semi-conducteur.....	70
II.2.2.1. Défaut de type "circuit-ouvert"	71
II.2.2.2. Défaut de type "court-circuit"	78
II.2.2.3. Critère temporel de détection de défaut.....	81
II.2.3. Application de la méthode proposée au cas du FAP triphasé.....	84
II.2.3.1. Topologie de FAP "fault tolerant"	84
II.2.3.2. Effets des défauts sans détection	85
II.2.3.3. Gestion des défauts par le FAP "fault tolerant"	87
II.3. Convertisseurs triphasés à structure tension tolérant les défauts de capteurs de courant.....	92
II.3.1. Continuité de service lors de défauts des capteurs de courant.....	93
II.3.1.1. Détection de défaut.....	95
II.3.1.2. Prédiction des courants.....	95
II.3.1.3. Calcul des résidus	98
II.3.1.4. Identification du capteur défectueux.....	98
II.3.1.5. Compensation de défaut	99
II.3.1.5. Mémorisation du défaut.....	99
II.3.2. Application au cas du FAP triphasé	100
II.3.2.1. Conséquences du défaut "circuit ouvert" sans détection et compensation.....	100
II.3.2.2. Performances du système de contrôle "fault tolerant"	102
II.4. Conclusion.....	105

CHAPITRE III : PROTOTYPAGE "FPGA IN THE LOOP" ET VALIDATION

EXPERIMENTALE 107

III.1. Introduction.....109

III.2. Méthodologies de conception de contrôleurs numériques pour les systèmes de conversion de l'énergie

électrique110

III.2.1. Généralités110

III.2.2. Langages numériques de description de matériel111

III.2.3. Simulation mixte des systèmes de conversion de l'énergie électrique112

III.2.4. Simulation "Hardware-In-the-Loop"114

III.2.5. Apports des FPGAs pour la commande des systèmes de conversion de l'énergie électrique.....115

III.2.5.1. Structure et éléments constitutifs d'un composant FPGA.....116

III.3. Méthodologies de prototypage "FPGA in the loop"118

III.3.1. Logiciels mis en œuvre118

III.3.2. Flot de conception.....119

III.3.2.1. Première étape : simulation fonctionnelle.....121

III.3.2.2. Deuxième étape : simulation mixte.....122

III.3.2.3. Troisième étape : Prototypage "FPGA in the Loop"123

III.4. Application au FAP tolérant les défauts de semi-conducteurs et de drivers125

III.4.1. Simulation fonctionnelle (en mode discret)126

III.4.1.1. Discrétisation du FMV126

III.4.1.2. Discrétisation du régulateur de la tension continue.....127

III.4.2. Simulation mixte.....128

III.4.3. Prototypage "FPGA in the Loop"130

III.4.3.1 Spécifications de la carte Stratix DSP S80 et du composant FPGA130

III.4.3.2 Implantation sur cible FPGA lors du prototypage "FPGA in the Loop"131

III.4.4. Résultats du prototype "FPGA in the Loop"132

III.4.4.1 Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant défaillant132

III.4.3.2 Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant défaillant134

III.5. Validation expérimentale du FAP tolérant les défauts de semi-conducteurs et de drivers136

III.5.1. Carte d'interface138

III.5.2. Implantation sur cible FPGA139

III.5.3. Résultats expérimentaux140

III.5.3.1. Influence des commutations141

III.5.3.2. Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant défaillant143

III.5.3.3. Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant défaillant147

III.6. Conclusion	149
Conclusion générale et perspectives	153
Publications et communications du doctorant	159
Références bibliographiques	163

Introduction générale

Introduction générale

Les convertisseurs statiques triphasés à structure tension sont des éléments essentiels de nombreux systèmes d'électronique de puissance tels que les variateurs de vitesse des machines alternatives, les alimentations sans interruption et les filtres actifs. La sécurité de ces systèmes, leur fiabilité, leurs performances, la qualité de l'énergie et la continuité de service constituent aujourd'hui des préoccupations majeures dans le domaine de l'énergie. Les défaillances d'un convertisseur statique, qu'elles proviennent des drivers de sa commande rapprochée, d'un des composants de puissance commandables ou d'un des capteurs mis en œuvre, conduisent à la perte totale ou partielle du contrôle des courants de phase. Ces défaillances peuvent provoquer de graves dysfonctionnements du système, voire conduire à sa mise hors tension. En outre, si le défaut n'est pas rapidement détecté et compensé, il peut dans certains cas mettre en danger le système. Par conséquent, afin d'empêcher la propagation de défauts aux autres composants et assurer la continuité de service en toute circonstance en présence d'une défaillance du convertisseur, des méthodes efficaces et rapides de détection et de compensation de défaut doivent être mises en œuvre.

L'objectif principal de ces travaux de Thèse est l'étude d'un convertisseur statique triphasé à structure tension "fault tolerant". Ce convertisseur doit assurer la continuité de service, en mode normal, en présence de défauts éventuels d'un semi-conducteur, d'un driver ou d'un capteur de courant. Ce convertisseur triphasé "fault tolerant" peut être indifféremment mis en œuvre dans toute application de conversion de l'énergie électrique. Les filtres actifs parallèles (FAPs) et les machines asynchrone à double alimentation en sont deux exemples d'applications [Karimi, 2008-1], [Karimi, 2008-2] et [Karimi, 2008-3]. Dans ces travaux, nous avons choisi comme cas d'application le FAP triphasé afin de valider la continuité de service du convertisseur "fault tolerant" lors de défauts. Ce choix de l'application est motivé par deux raisons principales. Premièrement, ces travaux de Thèse ont été menés au sein de l'équipe "Qualité de l'énergie électrique" du laboratoire GREEN, équipe ayant notamment une longue expertise dans le domaine du filtrage actif. Deuxièmement, ce cas d'application est un des plus délicats et des plus exigeants pour valider nos travaux de recherche. En effet, la fréquence de commutation des interrupteurs pour cette application filtrage actif est très élevée (10 kHz – 20 kHz); une telle fréquence est nécessaire à la génération des courants harmoniques à compenser. Par conséquent, cette application exige une détection de défaut des plus efficaces et des plus rapides.

Pour réduire autant que possible le temps de détection du défaut, nous ciblerons un composant numérique de type FPGA (Field Programmable Gate Array). Une implantation matérielle sur cible FPGA apporte en outre de nombreux avantages : possibilité de réduire fortement la période d'échantillonnage, sensibilité réduite aux perturbations, possibilité d'intégration complète du système de commande dans un unique composant FPGA et reprogrammation rapide [Rodriguez, 2007].

L'implémentation sur cibles numériques a généralement recours aux langages numériques de description de matériel comme par exemple VHDL (Very high speed integrated circuit Hardware Description Language). Elle exige des outils et des méthodologies de conception bien spécifiques afin de réduire le temps de développement. Nous proposons dans ce mémoire un nouveau flot de conception et de prototypage dit "FPGA in the loop", développé lors de ces travaux de Thèse. Cette nouvelle approche met en œuvre les outils Matlab/SimPowerSystems et Altera DSP Builder afin de concevoir le contrôleur numérique sur cible FPGA et de valider expérimentalement l'implantation de l'algorithme de commande sur une cible FPGA. La richesse en composants numériques et analogiques des outils utilisés, le noyau de simulation unique (Matlab/Simulink) et la possibilité de synthèse numérique sont en effet des avantages majeurs de cette approche qui permettent de réduire le temps de développement.

Dans le cadre de l'application FAP, ciblée pour valider nos recherches sur la continuité de service, une partie de ces travaux de Thèse a également été menée dans le domaine de la commande des FAPs triphasés. Ainsi, le premier chapitre de ce mémoire traite du FAP, présente une nouvelle méthode d'identification des courants de référence et compare les performances de cette méthode avec les méthodes classiques d'identification.

Les travaux de recherche pluridisciplinaires présentés dans ce mémoire ont été menés dans le cadre d'une collaboration entre le Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN) et le Laboratoire d'Instrumentation Electronique de Nancy (LIEN). La réalisation des parties expérimentales a reçu le soutien financier d'un Bonus Qualité Recherche (BQR) attribué en 2006 ainsi que celui du Plan Pluri-Formation Informatique-Automatique-Electrotechnique-Mathématique (PPF IAEM) en 2008. La présentation de ces travaux est organisée en trois chapitres détaillés ci-après.

Au premier chapitre, nous étudions la structure générale des FAPs triphasés permettant de compenser les courants harmoniques présents sur les réseaux électriques triphasés à trois fils. Dans ce chapitre, nous proposons notamment une nouvelle méthode d'identification des courants de référence, sans boucle à verrouillage de phase (ou PLL pour Phase Locked Loop). Cette méthode permet d'identifier les composantes harmoniques directes et inverses des courants de charge. Nous montrons analytiquement que l'influence, sur les performances du filtrage, d'un déséquilibre des tensions de source est négligeable pour la méthode proposée. En outre, la correction du facteur de puissance peut également être réalisée par cette méthode. Pour conclure sur cette méthode d'identification, nous présentons une étude comparative relativement aux méthodes classiques d'identification. Pour la poursuite des courants de référence, nous avons choisi la méthode dite "*hystérésis modulée*". Dans ce chapitre, nous étudions le principe, le dimensionnement et l'effet des paramètres de cette méthode "*hystérésis modulée*" sur sa robustesse. Enfin, nous examinons les performances d'un FAP triphasé mettant en œuvre la méthode proposée pour l'identification des courants de référence et le contrôleur de courant par "*hystérésis modulée*", dans différentes conditions de courants et/ou de tensions.

Au deuxième chapitre, nous présentons un convertisseur triphasé de tension "fault tolerant" permettant de garantir la continuité de service lors des cas de défaillance les plus probables. Nous étudions les cas de défauts survenant au niveau d'un semi-conducteur ou d'un capteur de courant. Nous proposons notamment une nouvelle méthode de détection de défauts des semi-conducteurs de puissance ou des drivers, insensible aux commutations. Une étude analytique de cette méthode de détection est détaillée. La rapidité de la détection du défaut est un résultat essentiel de notre étude. Nous démontrons dans la première partie de ce chapitre que la défaillance d'un interrupteur peut être détectée rapidement. Ensuite, nous proposons une nouvelle méthode pour diagnostiquer la défaillance d'un capteur de courant au moyen d'un modèle prédictif du convertisseur. Les résultats de simulation obtenus valident l'efficacité des deux méthodes de détection de défauts proposées.

Le dernier chapitre est consacré à une nouvelle méthodologie de conception et de prototypage de contrôleurs numériques pour les systèmes de conversion de l'énergie électrique, méthode que nous avons choisie d'appeler "FPGA in the loop". Après avoir présenté les approches conventionnelles de modélisation et de simulation des systèmes de conversion de l'énergie électrique comportant des contrôleurs numériques, nous présentons les apports des FPGAs pour la commande de ces systèmes. Ensuite, nous exposons la méthodologie de conception proposée. Chacune des trois étapes du flot de conception est détaillée. Nous présentons enfin la conception et l'implantation numérique sur FPGA de la méthode de détection de défauts des interrupteurs, appliquée au FAP triphasé à structure tension. L'implantation de l'algorithme de détection sur le FPGA ciblé est également validée sur un banc expérimental de FAP. Finalement, les résultats obtenus par prototypage "FPGA in the loop" et avec le banc d'essai expérimental sont commentés.

Chapitre I : Topologies et stratégies de commande des filtres actifs parallèles à structure tension

I.1. Introduction

Comme nous l'avons expliqué dans l'introduction générale, l'objectif principal de ces travaux de Thèse est la continuité de service des convertisseurs triphasés à structure tension, en cas de défaillance au niveau d'un semi-conducteur de puissance ou d'un capteur de courant. Notons que ces convertisseurs triphasés sont les montages d'électronique de puissance les plus répandus et les plus utilisés. Le spectre de leurs applications est très varié. Leurs applications dans les variateurs de vitesse pour machines alternatives, dans les alimentations sans interruption et les filtres actifs en sont quelques exemples.

Nous avons choisi comme application de cette étude le FAP triphasé. Ce FAP nous permettra de valider la continuité de service des convertisseurs triphasés à structure tension en présence de défauts et de valider les méthodes proposées pour la détection et la compensation de défauts.

Dans ce chapitre, nous étudions la structure générale d'un FAP triphasé permettant de compenser les harmoniques de courant d'un réseau électrique triphasé à trois fils. Tout d'abord, nous introduirons les trois blocs principaux de la partie puissance, à savoir l'onduleur triphasé à structure tension, l'élément de stockage d'énergie et le filtre de sortie. Dans cette même partie, nous présentons les différentes topologies de FAP. Ensuite, nous examinons les trois blocs principaux de la partie contrôle, à savoir l'identification des courants de référence, la poursuite des courants de référence et la régulation de la tension continue. Ainsi, nous exposons, pour chaque bloc, les différentes méthodes proposées dans la littérature, avec une discussion quant à leurs avantages et inconvénients.

La qualité et les performances de la compensation des harmoniques de courant dépendent fortement des performances des blocs d'identification des courants de référence et de poursuite des courants de référence. Dans ce chapitre, nous montrons que les méthodes traditionnelles d'identification des courants de référence (méthodes pq et SRF) ne permettent pas d'identifier correctement les harmoniques des courants de charge lorsque les tensions de source sont déséquilibrées. Nous proposerons alors une nouvelle méthode d'identification des courants de référence, sans PLL, appelée méthode "*pq-modifiée*" et permettant d'identifier les composantes harmoniques directes et inverses des courants de charge. De plus, nous démontrerons analytiquement les performances de cette méthode et montrerons notamment que l'influence d'un déséquilibre des tensions de source sur cette méthode est négligeable. De plus, la correction du facteur de puissance peut également être réalisée en utilisant la nouvelle méthode proposée.

Nous détaillerons également la méthode dite "*hystérésis modulée*", choisie pour poursuivre les courants de référence. Nous développerons une étude théorique conduisant au choix des paramètres de ce contrôleur de courant. Nous examinerons à la fin de ce chapitre les performances d'un FAP mettant en œuvre la méthode "*pq-modifiée*" ainsi que le contrôleur de

courant "*hystérésis modulée*", dans différentes conditions portant sur les courants de charge et/ou les tensions de source.

I.2. Principe de fonctionnement des FAPs

Les perturbations en courant et en tension des réseaux électriques de distribution ont pour origine la prolifération des charges non linéaires qui y sont connectées. Parmi ces charges non linéaires, on peut notamment citer les convertisseurs statiques (redresseurs, onduleurs, gradateurs, etc.), le matériel informatique, les appareils de climatisation ou bien encore les systèmes d'éclairage à base de tubes fluorescents. Ces charges non linéaires absorbent des courants non sinusoïdaux et sont à l'origine des pollutions harmoniques. Les courants harmoniques absorbés par ces charges circulent à travers les réseaux électriques et perturbent sérieusement le fonctionnement de certains équipements électriques, pouvant même conduire à leur destruction. C'est pour toutes ces raisons que le filtrage actif des distorsions en courant et en tension est au centre des préoccupations tant des fournisseurs que des utilisateurs de l'énergie électrique. Pour des installations électriques existantes, les FAPs sont les solutions avancées de dépollution les plus adéquates [Bruyant, 1999]. Actuellement, ces solutions actives répondent au mieux aux contraintes de la production et de la distribution. Leur réponse est instantanée et ces FAPs s'adaptent automatiquement aux évolutions des perturbations introduites par les charges connectées au réseau électrique. Que ce soit dans le secteur industriel ou dans le secteur domestique, les FAPs s'insèrent facilement dans un réseau de distribution électrique donné sans imposer un aménagement particulier des installations du fournisseur d'énergie ou du consommateur [Ould Abdeslam, 2006].

Le FAP, également appelé compensateur shunt, est connecté en parallèle sur le réseau électrique. Les FAPs sont constitués de convertisseurs statiques à base de semi-conducteurs de puissance (structures de type onduleur), associés à un dispositif de contrôle et de commande adapté. Ils peuvent être assimilés à des sources de courant qui compensent en temps réel les courants harmoniques en injectant au niveau du réseau des courants en opposition de phase avec les perturbations harmoniques identifiées. Un FAP est dit à structure courant ou à structure tension selon le type de stockage de l'énergie, réalisé par une inductance ou un condensateur. Cependant, les FAPs à structure tension sont plus fréquemment mis en œuvre dans les applications industrielles pour la simplicité de leurs commandes, leur coût limité et leur taille physique réduite [Akagi, 2006], [Routimo, 2007]. Nous avons donc choisi de considérer la structure tension dans ce manuscrit. Le schéma synoptique d'un FAP à structure tension est présenté à la figure I-1.

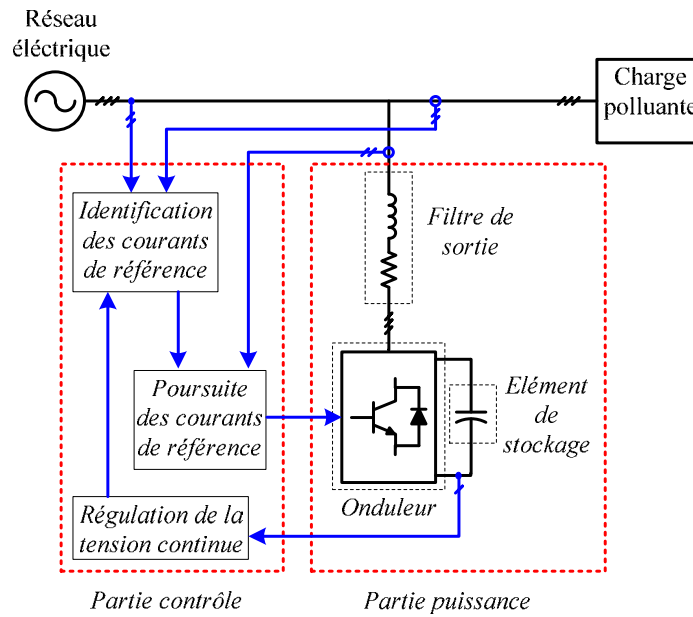


Figure I-1. Structure générale d'un FAP à structure tension.

I.3. Topologies de FAPs à structure tension reliés à un réseau électrique à trois fils

La partie puissance d'un FAP à structure tension, comme on peut le voir sur la figure I-1, est constituée par :

- *un onduleur de tension à base de semi-conducteurs de puissance, commandables à l'ouverture et à la fermeture (IGBT, MOSFET, ...) et comportant pour chacun d'entre eux une diode en antiparallèle ;*
- *un circuit capacitif de stockage de l'énergie;*
- *un filtre de sortie.*

I.3.1. Onduleur de tension

Dans le cas d'un réseau triphasé à trois fils, il existe deux topologies d'onduleurs à structure tension : l'onduleur à trois bras et l'onduleur à deux bras avec condensateurs à point milieu [Haddad, 1999].

I.3.1.1. Onduleur de tension à trois bras

I.3.1.1.1. Structure générale

La figure I-2 présente un onduleur de tension à trois bras employé dans un FAP à structure tension relié à un réseau électrique à trois fils. Chaque bras de l'onduleur comporte deux

interrupteurs bidirectionnels en courant, commandés à la fermeture et à l'ouverture. Le stockage de l'énergie côté continu se fait par l'intermédiaire d'un condensateur C_{dc} ayant à ses bornes une tension notée v_{dc} , réglée à une valeur positive. Ce condensateur joue le rôle d'une source de tension continue.

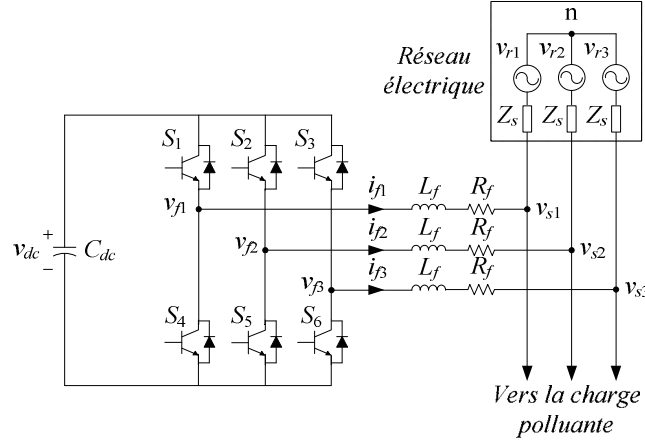


Figure I-2. Onduleur de tension à trois bras employé dans un FAP à structure tension relié à un réseau électrique à trois fils.

I.3.1.1.2. Tensions de sortie de l'onduleur

Les deux semi-conducteurs d'un même bras sont commandés de façon complémentaire; la conduction de l'un implique alors que l'autre soit bloqué. L'ouverture et la fermeture des interrupteurs de l'onduleur de la figure I-2 dépendent de l'état des signaux de commande (δ_1 , δ_2 , δ_3), comme défini ci-dessous :

$$\delta_1 = \begin{cases} 1 & S_1 \text{ fermé et } S_4 \text{ ouvert} \\ 0 & S_1 \text{ ouvert et } S_4 \text{ fermé} \end{cases} \quad (\text{I.1a})$$

$$\delta_2 = \begin{cases} 1 & S_2 \text{ fermé et } S_5 \text{ ouvert} \\ 0 & S_2 \text{ ouvert et } S_5 \text{ fermé} \end{cases} \quad (\text{I.1b})$$

$$\delta_3 = \begin{cases} 1 & S_3 \text{ fermé et } S_6 \text{ ouvert} \\ 0 & S_3 \text{ ouvert et } S_6 \text{ fermé} \end{cases} \quad (\text{I.1c})$$

Les tensions de ligne, imposées par l'onduleur, sont alors définies par :

$$\begin{bmatrix} v_{f1} - v_{f2} \\ v_{f2} - v_{f3} \\ v_{f3} - v_{f1} \end{bmatrix} = \begin{bmatrix} \delta_1 - \delta_2 \\ \delta_2 - \delta_3 \\ \delta_3 - \delta_1 \end{bmatrix} v_{dc} \quad (\text{I.2})$$

Les tensions de sortie de l'onduleur, notées v_{fk} avec ($k = \{1, 2, 3\}$), sont référencées par rapport au neutre du réseau et vérifient les équations suivantes :

$$v_{fk} = v_{sk} + L_f \frac{di_{fk}}{dt} + R_f i_{fk} \quad (I.3)$$

Les tensions du réseau étant supposées équilibrées et sachant que la somme des courants injectés par l'onduleur est nulle, on peut écrire :

$$\begin{cases} v_{s1} + v_{s2} + v_{s3} = 0 \\ i_{f1} + i_{f2} + i_{f3} = 0 \end{cases} \quad (I.4)$$

Nous pouvons donc déduire des équations (I.3) et (I.4) la relation suivante :

$$v_{f1} + v_{f2} + v_{f3} = 0 \quad (I.5)$$

A partir des équations (I.2) et (I.5), nous obtenons :

$$\begin{bmatrix} v_{f1} \\ v_{f2} \\ v_{f3} \end{bmatrix} = \begin{bmatrix} 2\delta_1 & -\delta_2 & -\delta_3 \\ -\delta_1 & 2\delta_2 & -\delta_3 \\ -\delta_1 & -\delta_2 & 2\delta_3 \end{bmatrix} \frac{v_{dc}}{3} \quad (I.6)$$

Puisque les grandeurs δ_1 , δ_2 et δ_3 peuvent prendre chacune deux valeurs (0 ou 1), il en résulte huit commandes possibles, présentées dans le tableau I-1. Dans ce tableau, $\bar{V}_f$ est la représentation vectorielle des tensions fournies par l'onduleur (v_{f1} , v_{f2} et v_{f3}) dans le repère orthogonal $\alpha\beta$. La figure I-3 représente ce vecteur dans le repère $\alpha\beta$. Les commutations imposent le passage du vecteur $\bar{V}_f$ d'une position à l'autre. A la figure I-3, $\bar{V}_{ref}$ représente le vecteur tension de référence que doit produire l'onduleur afin de générer en opposition de phase les courants harmoniques absorbés par la charge polluante. L'onduleur n'est capable de fournir des tensions égales aux tensions de référence que si le vecteur formé par ces dernières reste à l'intérieur de l'hexagone tracé à la figure I-3. Les tensions fournies par l'onduleur génèrent, selon l'équation (I.3), les courants de sortie du FAP.

Tableau I-1 Tensions générées par l'onduleur de tension à trois bras.

m	δ_1	δ_2	δ_3	v_{f1}	v_{f2}	v_{f3}	$\bar{V}_f(m)$
0	0	0	0	0	0	0	0
1	1	0	0	$2v_{dc}/3$	$-v_{dc}/3$	$-v_{dc}/3$	$\sqrt{2/3}v_{dc}$
2	0	1	0	$-v_{dc}/3$	$2v_{dc}/3$	$-v_{dc}/3$	$\sqrt{2/3}v_{dc}e^{j\frac{2\pi}{3}}$
3	1	1	0	$v_{dc}/3$	$v_{dc}/3$	$-2v_{dc}/3$	$\sqrt{2/3}v_{dc}e^{j\frac{\pi}{3}}$
4	0	0	1	$-v_{dc}/3$	$-v_{dc}/3$	$2v_{dc}/3$	$\sqrt{2/3}v_{dc}e^{-j\frac{2\pi}{3}}$
5	1	0	1	$v_{dc}/3$	$-2v_{dc}/3$	$v_{dc}/3$	$\sqrt{2/3}v_{dc}e^{-j\frac{\pi}{3}}$
6	0	1	1	$-2v_{dc}/3$	$v_{dc}/3$	$v_{dc}/3$	$\sqrt{2/3}v_{dc}e^{-j\pi}$
7	1	1	1	0	0	0	0

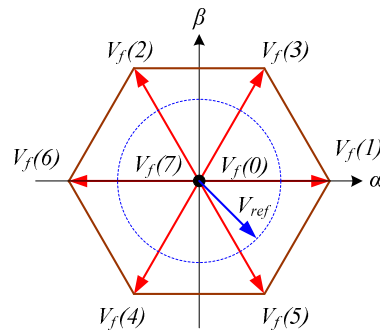


Figure I-3. Représentation vectorielle des tensions fournies par l'onduleur de tension à trois bras.

I.3.1.2. Onduleur de tension à deux bras

I.3.1.2.1. Structure générale

La seconde topologie d'onduleur qui peut être utilisée dans un FAP à structure tension est l'onduleur de tension à deux bras. La figure I-4 présente le schéma de principe de cette topologie. Les deux différences par rapport à la topologie trois bras précédente sont les suivantes :

- L'onduleur est constitué de quatre interrupteurs bidirectionnels en courant formant les deux bras. Ces composants sont également des composants semi-conducteurs commandés à la fermeture et à l'ouverture, comportant chacun une diode en anti-parallèle.

- Le troisième bras est remplacé par deux condensateurs reliés par leur point milieu à la troisième phase du réseau électrique. Chacune des deux capacités C_{dc} joue le rôle d'une source de tension continue. La tension à leurs bornes, $v_{dc}/2$, est également réglée à une valeur de consigne positive.

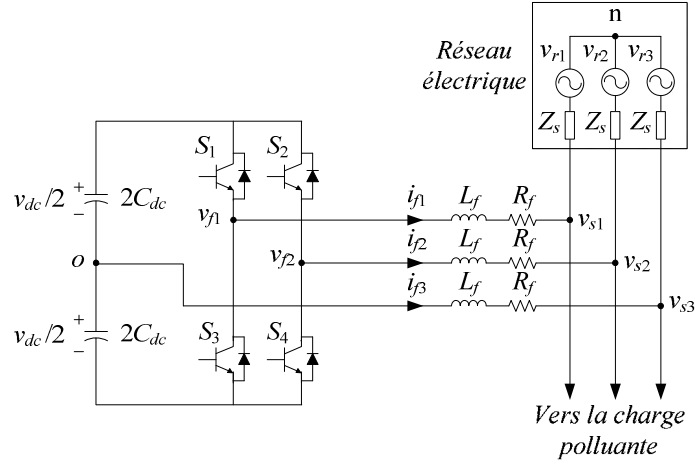


Figure I-4. Onduleur de tension à deux bras employé dans un FAP à structure tension relié à un réseau électrique à trois fils.

I.3.1.2.2. Tension fournie par l'onduleur

Pour cette topologie, les signaux de commande (δ_1 , δ_2) sont ainsi définis :

$$\delta_1 = \begin{cases} 1 & S_1 \text{ fermé et } S_3 \text{ ouvert} \\ 0 & S_1 \text{ ouvert et } S_3 \text{ fermé} \end{cases} \quad (\text{I.7a})$$

$$\delta_2 = \begin{cases} 1 & S_2 \text{ fermé et } S_4 \text{ ouvert} \\ 0 & S_2 \text{ ouvert et } S_4 \text{ fermé} \end{cases} \quad (\text{I.7b})$$

Les tensions de sortie de l'onduleur, référencées par rapport au neutre du réseau, sont définies par les expressions suivantes :

$$\begin{cases} v_{f1} = v_{f1o} + v_{on} \\ v_{f2} = v_{f2o} + v_{on} \\ v_{f3} = v_{on} \end{cases} \quad (\text{I.8})$$

Où :

$$\begin{bmatrix} v_{f1o} \\ v_{f2o} \end{bmatrix} = \begin{bmatrix} 2\delta_1 - 1 \\ 2\delta_2 - 1 \end{bmatrix} \frac{v_{dc}}{2} \quad (\text{I.9})$$

En sommant les trois équations de (I.8) et en tenant compte des équations (I.4), nous obtenons :

$$v_{on} = -\frac{v_{f1o} + v_{f2o}}{3} \quad (I.10)$$

En substituant l'expression (I.10) dans (I.8), nous obtenons :

$$\begin{bmatrix} v_{f1} \\ v_{f2} \\ v_{f3} \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} \\ -\frac{1}{3} & \frac{2}{3} \\ -\frac{1}{3} & -\frac{1}{3} \end{bmatrix} \begin{bmatrix} v_{f1o} \\ v_{f2o} \end{bmatrix} \quad (I.11)$$

Puisque les variables δ_1 et δ_2 prennent chacune deux valeurs, nous distinguons pour cette topologie quatre commandes possibles, présentées dans le tableau I-2 [Haddad, 1999]. Les tensions v_{f1} , v_{f2} et v_{f3} génèrent selon l'équation (I.3) les courants de sortie du filtre actif. Ces tensions peuvent également être représentées sous la forme d'un vecteur $\bar{V}_f$ selon les axes $\alpha\beta$. Les quatre vecteurs tensions correspondantes aux quatre possibilités de commande sont illustrées à la figure I-5. Ici encore, l'onduleur n'est capable de fournir des tensions égales aux tensions de référence que si le module du vecteur $\bar{V}_{ref}$ reste inférieur à celui du vecteur de tension $\bar{V}_f(m)$.

Tableau I-2 Tensions générées par l'onduleur de tension à deux bras.

m	δ_1	δ_2	v_{f1}	v_{f2}	v_{f3}	$\bar{V}_f(m)$
0	0	0	$-v_{dc}/6$	$-v_{dc}/6$	$v_{dc}/3$	$\frac{v_{dc}}{\sqrt{6}} e^{-j\frac{2\pi}{3}}$
1	1	0	$v_{dc}/2$	$-v_{dc}/2$	0	$\frac{v_{dc}}{\sqrt{2}} e^{-j\frac{\pi}{6}}$
2	0	1	$-v_{dc}/2$	$v_{dc}/2$	0	$\frac{v_{dc}}{\sqrt{2}} e^{j\frac{2\pi}{3}}$
3	1	1	$v_{dc}/6$	$v_{dc}/6$	$-v_{dc}/3$	$\frac{v_{dc}}{\sqrt{6}} e^{j\frac{\pi}{3}}$

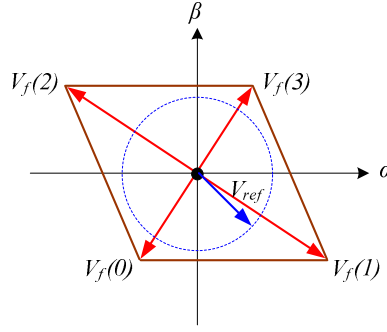


Figure I-5. Représentation vectorielle des tensions générées par l'onduleur de tension à deux bras.

I.3.1.3. Comparaison entre les deux topologies de FAP

En négligeant les résistances R_f du filtre de sortie, nous pouvons écrire à partir de l'équation (I.3) la relation suivante caractérisant le courant i_{fk} du filtre actif ($k = \{1, 2, 3\}$):

$$L_f \frac{di_{fk}}{dt} = v_{fk} - v_{sk} \quad (\text{I.12})$$

Notons Δi_{fk} la différence entre le courant de référence et le courant mesuré :

$$\Delta i_{fk} = i_{refk} - i_{fk} \quad (\text{I.13})$$

A partir des équations (I.12) et (I.13), nous obtenons l'expression suivante :

$$L_f \frac{d\Delta i_{fk}}{dt} = (v_{sk} + L_f \frac{di_{refk}}{dt}) - v_{fk} \quad (\text{I.14})$$

Le terme entre parenthèse dans l'équation (I.14) peut être défini comme une tension de référence (notée ici v_{refk}), ce qui conduit à l'expression suivante :

$$v_{refk} = v_{sk} + L_f \frac{di_{refk}}{dt} \quad (\text{I.15})$$

Comme cela a été mentionné précédemment, pour satisfaire la condition de commandabilité de l'onduleur, il faut que le module du vecteur $\bar{V}_{ref}$ reste inférieur à celui du vecteur de tension $\bar{V}_f(m)$.

Dans le cas de la topologie à trois bras, il faut donc que :

$$\sqrt{2/3}v_{dc} \geq \text{Mod}(\bar{V}_{ref}) \quad (\text{I.16})$$

Où $Mod(\bar{V}_{ref})$ est le module du vecteur $\bar{V}_{ref}$.

A partir de la relation (I.16), nous déduisons la tension minimale côté continu permettant de garantir la commandabilité de l'onduleur pour la topologie à trois bras :

$$(v_{dc-min})_{trois\ bras} = \sqrt{3/2} Mod(\bar{V}_{ref}) \quad (I.17)$$

De même, pour satisfaire la condition de commandabilité de l'onduleur à deux bras (voir figure I-5), il faut que :

$$\frac{v_{dc}}{\sqrt{6}} \geq Mod(\bar{V}_{ref}) \quad (I.18)$$

A partir de la relation (I.18), nous déduisons la tension minimale côté continu permettant de garantir la commandabilité de l'onduleur pour la topologie à deux bras :

$$(v_{dc-min})_{deux\ bras} = \sqrt{6} Mod(\bar{V}_{ref}) \quad (I.19)$$

A partir des équations (I.17) et (I.19), nous établissons la relation suivante :

$$\frac{(v_{dc-min})_{deux\ bras}}{(v_{dc-min})_{trois\ bras}} = 2 \quad (I.20)$$

Nous obtenons ainsi un rapport théorique de 2 entre les valeurs minimales des tensions v_{dc} pour les deux topologies. Par conséquent, la topologie deux bras requiert des interrupteurs qui supportent une tension deux fois plus importante que dans le cas de la topologie à trois bras.

I.3.2. Système de stockage de l'énergie

Le stockage de l'énergie est réalisé côté continu à l'aide d'un système de stockage capacitif, représenté par un condensateur C_{dc} jouant le rôle d'une source de tension continue. Le choix des paramètres du système de stockage (v_{dc-ref} et C_{dc}) a une influence directe sur la dynamique du FAP et sur ses performances de compensation. D'une part, une tension v_{dc-ref} élevée améliore la dynamique du FAP. D'autre part, les ondulations de la tension continue v_{dc} , causées par les courants engendrés par le FAP et limitées par le choix de la valeur de C_{dc} , peuvent dégrader la qualité de compensation du FAP. Une valeur élevée de C_{dc} réduit les ondulations de v_{dc} mais augmente le coût et la taille du FAP [Singh, 1999].

Sachant que l'augmentation de la valeur de la tension continue améliore la marge de commandabilité du FAP et sachant que le choix de cette tension se répercute en grande partie sur le choix des interrupteurs, la tension continue v_{dc} doit être choisie la plus élevée possible tout en respectant les contraintes nominales des semi-conducteurs et la contrainte de commandabilité de l'onduleur.

I.3.3. Filtre de sortie

Le filtre de sortie est un filtre passif utilisé pour connecter l'onduleur de tension au réseau électrique. Le filtre de sortie est dimensionné afin de satisfaire à deux critères :

- *assurer la dynamique en courant, définie par :*

$$\frac{di_f}{dt} = \frac{di_{ref}}{dt} \quad (I.21)$$

- *empêcher la propagation sur le réseau électrique des harmoniques générés par les commutations.*

Un filtre de sortie du premier ordre est le plus souvent utilisé dans la littérature [Singh, 1999]. Il est composé d'une inductance L_f comportant une résistance interne R_f . Une valeur relativement faible de L_f permet d'obtenir une bonne dynamique du FAP en satisfaisant l'égalité (I.21). Cependant, une faible valeur de L_f permet à la majorité des harmoniques, induits par les commutations, de passer du côté réseau et d'affecter ainsi les installations et les équipements électriques. Inversement, une valeur relativement élevée de L_f empêche ces harmoniques de se propager sur le réseau électrique mais nécessite une tension v_{dc} plus élevée afin de garantir les performances du filtre actif. Pour limiter la propagation de ces harmoniques, un filtre passif auxiliaire peut être ajouté à la sortie de l'onduleur ou en amont (côté réseau) pour absorber ces harmoniques liés au découpage [Singh, 1999] et [Akagi, 2006].

I.4. Contrôle du FAP

La partie contrôle d'un FAP réalise trois fonctions principales :

- *l'identification des courants de référence,*
- *la poursuite des courants de référence,*
- *la régulation de la tension continue.*

I.4.1. Identification des courants de référence

I.4.1.1. Généralités sur les méthodes d'identification

La qualité de la compensation des harmoniques de courant dépend fortement des performances de la méthode d'identification choisie. En effet, un système de commande, même très efficace, ne pourra pas à lui seul effectuer un filtrage satisfaisant si les courants harmoniques sont mal identifiés. Pour cette raison, de nombreuses méthodes d'identification ont été développées dans la littérature. Elles peuvent être regroupées selon deux approches [Singh, 1999], [Asiminoaei, 2005]:

- *Identification dans le domaine fréquentiel*

Ce type d'approche utilise la transformée de Fourier rapide, pour extraire les harmoniques du courant de charge. Cette méthode est particulièrement adaptée aux charges dont le contenu harmonique varie lentement. Elle présente également l'avantage de sélectionner chaque harmonique individuellement et permet ainsi de ne compenser que les courants harmoniques prépondérants. Cependant, cette méthode nécessite des calculs lourds afin d'identifier ces courants harmoniques. Pour cette raison, les méthodes fréquentielles ne sont pas utilisées en pratique car la charge polluante peut généralement varier rapidement au cours du temps.

- *Identification dans le domaine temporel*

De nombreuses méthodes d'identification des courants de référence dans le domaine temporel ont été publiées dans la littérature scientifique [Akagi, 1983], [Singh, 1999], [Chang, 2002], [Ordóñez, 2006]. Les plus significatives feront l'objet des paragraphes suivants.

1.4.1.2. Méthode des puissances active et réactive instantanées

La méthode des puissances active et réactive instantanées (couramment notée méthode *pq*) a été initialement développée par Akagi [Akagi, 1983] et exploite la transformation de Concordia des tensions simples et des courants de ligne, afin de calculer les puissances active et réactive instantanées. La composante fondamentale est transformée en une composante continue et les composantes harmoniques en composantes alternatives. En éliminant la composante continue de la puissance active instantanée (correspondant à la composante fondamentale du courant de la charge) à l'aide d'un simple filtre passe-bas (FPB), les composants harmoniques peuvent être identifiés. Le principe de cette méthode classique est maintenant succinctement décrit.

Soient respectivement les tensions simples d'un réseau triphasé sans homopolaire (connecté à une charge polluante) et les trois courants de charge, notés v_{s1} , v_{s2} , v_{s3} et i_{c1} , i_{c2} , i_{c3} . La transformation de Concordia permet de ramener ce système triphasé équilibré à un système diphasé dont les axes sont en quadrature :

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{c1} \\ i_{c2} \\ i_{c3} \end{bmatrix} \quad (\text{I.22})$$

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_{s1} \\ v_{s2} \\ v_{s3} \end{bmatrix} \quad (\text{I.23})$$

La puissance active instantanée p et la puissance réactive instantanée q sont définies par :

$$\begin{bmatrix} p \\ -q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (\text{I.24})$$

Les puissances active et réactive instantanées peuvent s'écrire comme la somme d'une composante continue et d'une composante alternative :

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} \bar{p} + \tilde{p} \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (\text{I.25})$$

Avec $\bar{p}$ et $\bar{q}$ les composantes continues de p et q , et $\tilde{p}$ et $\tilde{q}$ les composantes alternatives de p et q .

A partir de l'équation (I.24), nous pouvons déduire les expressions des composantes du courant de charge selon les axes $\alpha\beta$:

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix}^{-1} \begin{bmatrix} p \\ -q \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} p \\ -q \end{bmatrix} \quad (\text{I.26})$$

En remplaçant (I.25) dans (I.26), ces courants s'expriment selon les axes $\alpha\beta$ par :

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \bar{p} \\ -\bar{q} \end{bmatrix} + \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} \\ -\tilde{q} \end{bmatrix} \quad (\text{I.27})$$

Suivant la fonction que nous souhaitons donner au FAP, nous pouvons compenser simultanément les harmoniques de courant et l'énergie réactive ou bien uniquement l'un des deux. Si nous voulons par exemple compenser simultanément les harmoniques de courant et l'énergie réactive, nous éliminons alors la composante continue de p à l'aide d'un simple FPB. Dans ce cas et après avoir ajouté à la composante alternative de la puissance active instantanée, la puissance active p_c nécessaire à la régulation de la tension continue v_{dc} (Cf. section I.4.5), les courants de référence, notés $i_{ref\alpha}$ et $i_{ref\beta}$, s'expriment selon les axes $\alpha\beta$ par :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} + p_c \\ -q \end{bmatrix} \quad (\text{I.28})$$

Enfin, il est aisé d'obtenir les courants de référence selon les axes abc par la transformation inverse de Concordia :

$$\begin{bmatrix} i_{ref1} \\ i_{ref2} \\ i_{ref3} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} \quad (I.29)$$

La figure I-6 illustre l'identification des courants de référence lors de la compensation simultanée des courants harmoniques et de l'énergie réactive par la méthode des puissances instantanées. La régulation de la tension continue v_{dc} sera étudiée plus tard à la section I.4.5.

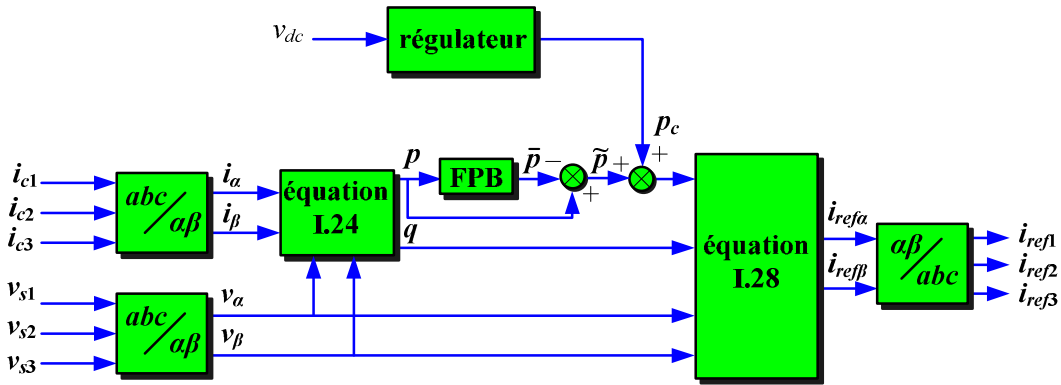


Figure I-6. Génération des courants de référence par la méthode des puissances instantanées.

I.4.1.3. Méthode du référentiel lié au synchronisme (SRF pour Synchronous Reference Frame)

Cette méthode introduite par Bhattacharya [Bhattacharya, 1991], exploite également la transformation de Concordia mais appliquée uniquement aux courants de charge i_{c1} , i_{c2} et i_{c3} . Une seconde transformation est alors opérée pour passer aux courants de ligne selon les axes dq . Ceci permet de transformer la composante fondamentale du courant en une composante continue et les composantes harmoniques du courant en des composantes alternatives. La composante continue du courant de charge peut alors être éliminée à l'aide d'un simple FPD. L'avantage majeur de cette méthode, comparativement à la précédente, réside dans le fait que les éventuelles tensions harmoniques n'ont plus d'influence sur les courants identifiés. Son principe est énoncé ci-après.

Soient les courants de charge d'un système triphasé sans composante homopolaire, notés i_{c1} , i_{c2} , i_{c3} . La transformation de Concordia permet de ramener ce système triphasé équilibré à un système diphasé, comme illustré précédemment par la relation (I.22).

En générant à l'aide d'une PLL les signaux $\cos(\hat{\theta})$ et $\sin(\hat{\theta})$ à partir de la tension "fondamentale" du réseau, nous obtenons l'expression matricielle suivante pour les courants dans le système dq :

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \sin(\hat{\theta}) & -\cos(\hat{\theta}) \\ \cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (\text{I.30})$$

Avec $\hat{\theta}$ la position angulaire de la tension fondamentale du réseau, estimée par la PLL.

Ces composantes peuvent alors être exprimées comme la somme d'une composante continue et d'une composante alternative :

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \bar{i}_d + \tilde{i}_d \\ \bar{i}_q + \tilde{i}_q \end{bmatrix} \quad (\text{I.31})$$

Avec $\bar{i}_d$ et $\bar{i}_q$ les composantes continues de i_d et i_q , et $\tilde{i}_d$ et $\tilde{i}_q$ les composantes alternatives de i_d et i_q .

A partir de l'équation (I.30), nous pouvons exprimer les composantes du courant selon les axes $\alpha\beta$ par :

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} \sin(\hat{\theta}) & -\cos(\hat{\theta}) \\ \cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix}^{-1} \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \sin(\hat{\theta}) & \cos(\hat{\theta}) \\ -\cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \quad (\text{I.32})$$

Soit encore :

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} \sin(\hat{\theta}) & \cos(\hat{\theta}) \\ -\cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix} \begin{bmatrix} \bar{i}_d \\ \bar{i}_q \end{bmatrix} + \begin{bmatrix} \sin(\hat{\theta}) & \cos(\hat{\theta}) \\ -\cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix} \begin{bmatrix} \tilde{i}_d \\ \tilde{i}_q \end{bmatrix} \quad (\text{I.33})$$

Ici également, nous pouvons compenser simultanément les harmoniques du courant de charge et l'énergie réactive ou bien uniquement l'un des deux. Si nous voulons compenser simultanément les harmoniques de courant et l'énergie réactive, après avoir ajouté à la composante alternative $\tilde{i}_d$ le courant i_{cd} nécessaire à la régulation de la tension continue v_{dc} , l'équation (I.33) devient :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{bmatrix} \sin(\hat{\theta}) & \cos(\hat{\theta}) \\ -\cos(\hat{\theta}) & \sin(\hat{\theta}) \end{bmatrix} \begin{bmatrix} \tilde{i}_d + i_{cd} \\ i_q \end{bmatrix} \quad (I.34)$$

Ensuite, la transformation inverse de Concordia permet d'obtenir les courants de référence, selon les axes abc , à l'aide de la relation (I.29).

La figure I-7 illustre l'identification des courants de référence pour la compensation simultanée des courants harmoniques et de l'énergie réactive par la méthode dite SRF.

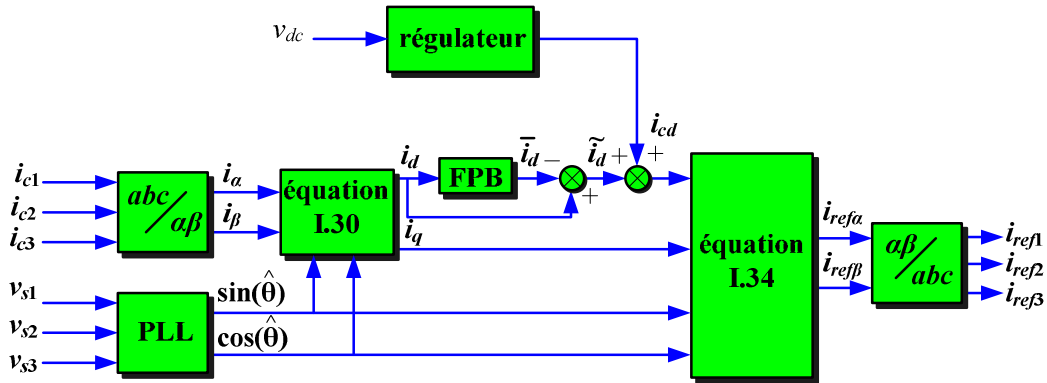


Figure I-7. Génération des courants de référence par la méthode dite SRF.

I.4.2 Performance des méthodes pq et SRF en conditions idéales et non idéales

Dans cette section, nous présentons une étude analytique comparative des performances des méthodes pq et SRF dans les conditions idéales (courants de charge équilibrés et tensions réseau sinusoïdales équilibrés), puis dans le cas non idéal. Pour mener cette étude, nous considérerons l'exemple classique d'un réseau triphasé connecté à pont redresseur triphasé à thyristors. Le courant i_c consommé par ce pont peut être décomposé en série de Fourier selon l'équation suivante :

$$i_c = \sqrt{2}I_1 \left\{ \begin{aligned} & \sin(\omega t - \alpha) - \frac{1}{5} \sin[5(\omega t - \alpha)] - \frac{1}{7} \sin[7(\omega t - \alpha)] + \frac{1}{11} \sin[11(\omega t - \alpha)] + \\ & \frac{1}{13} \sin[13(\omega t - \alpha)] - \frac{1}{17} \sin[17(\omega t - \alpha)] - \frac{1}{19} \sin[19(\omega t - \alpha)] + \dots \end{aligned} \right\} \quad (I.35)$$

Avec α l'angle d'allumage des thyristors et I_1 la valeur efficace du fondamental du courant définie par:

$$I_1 = \frac{\sqrt{6}I_d}{\pi} \quad (I.36)$$

Où I_d est le courant moyen dans la charge.

Nous remarquons que les courants harmoniques sont de rang $(h = 6k \pm 1)$ avec k entier et que la valeur efficace de chaque courant harmonique est inversement proportionnelle à son rang ($I_h = I_1/h$).

I.4.2.1. Cas de la méthode pq

I.4.2.1.1. Cas idéal : courants harmoniques équilibrés et tensions sinusoïdales équilibrées

Dans le cas idéal, les courants de la charge polluante sont équilibrés et définis par l'équation (I.35). Quant à elles, les tensions du réseau sont supposées être sinusoïdales et équilibrées :

$$\begin{bmatrix} v_{s1} \\ v_{s2} \\ v_{s3} \end{bmatrix} = \sqrt{2}V_s \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - \frac{2\pi}{3}) \\ \sin(\omega t + \frac{2\pi}{3}) \end{bmatrix} \quad (I.37)$$

En appliquant la transformation de Concordia, nous obtenons les courants et les tensions selon les axes $\alpha\beta$:

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3}V_s \begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} \quad (I.38)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{3}I_1 \left(\begin{bmatrix} \sin(\omega t - \alpha) \\ -\cos(\omega t - \alpha) \end{bmatrix} - \frac{1}{5} \begin{bmatrix} \sin[5(\omega t - \alpha)] \\ \cos[5(\omega t - \alpha)] \end{bmatrix} - \frac{1}{7} \begin{bmatrix} \sin[7(\omega t - \alpha)] \\ -\cos[7(\omega t - \alpha)] \end{bmatrix} + \dots \right) \quad (I.39)$$

La puissance active instantanée, p , peut être calculée à partir des équations (I.24), (I.38) et (I.39) et est définie par la relation (I.40):

$$p = 3V_s I_1 \cos \alpha + \frac{3V_s I_1}{5} \cos(6\omega t - 5\alpha) - \frac{3V_s I_1}{7} \cos(6\omega t - 7\alpha) + \dots \quad (I.40)$$

Le premier terme de cette relation représente la puissance active moyenne, notée $\bar{p}$, liée au fondamental du courant, tandis que la somme des autres termes représente une puissance alternative, notée $\tilde{p}$, générée par les courants harmoniques. A partir de cette relation, nous pouvons distinguer les composantes harmoniques de la puissance active instantanée p . La figure I-8 présente ces composantes harmoniques ainsi que leurs origines. Une figure similaire peut être obtenue pour la puissance réactive instantanée. A la figure I-8, nous constatons que les

harmoniques de courant de rangs ($h = 6k \pm 1$) donnent lieu à des puissances alternatives aux pulsations multiples de 6. Dans ce cas, pour générer les courants de référence, il suffit de filtrer les composantes continues de p et q .

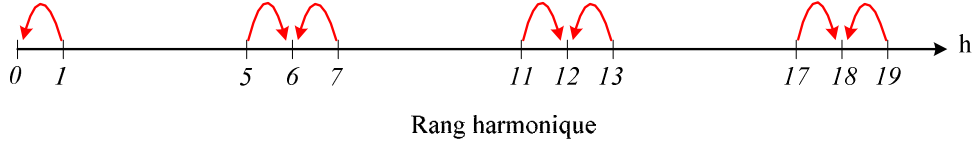


Figure I-8. Composantes harmoniques de la puissance active instantanée dans le cas idéal.

I.4.2.1.2. Courants harmoniques équilibrés et tensions sinusoïdales déséquilibrées

Les tensions réseau sont maintenant déséquilibrées et définies par la relation matricielle suivante :

$$\begin{bmatrix} v_{s1} \\ v_{s2} \\ v_{s3} \end{bmatrix} = \sqrt{2}V_d \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - \frac{2\pi}{3}) \\ \sin(\omega t + \frac{2\pi}{3}) \end{bmatrix} + \sqrt{2}V_{inv} \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t + \frac{2\pi}{3}) \\ \sin(\omega t - \frac{2\pi}{3}) \end{bmatrix} \quad (I.41)$$

Où V_d et V_{inv} représentent respectivement les composantes efficaces directe et inverse de la tension réseau.

Le courant a été défini à l'équation (I.35). En appliquant la transformation de Concordia, nous obtenons selon les axes $\alpha\beta$ les courants déjà définis à la relation (I.39) et les tensions suivantes :

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3}V_d \begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} + \sqrt{3}V_{inv} \begin{bmatrix} \sin(\omega t) \\ \cos(\omega t) \end{bmatrix} \quad (I.42)$$

Dans ce cas, nous allons également établir l'expression analytique de la puissance active p et généraliser les résultats obtenus à la puissance réactive. La puissance active peut être calculée à partir des équations (I.24), (I.39) et (I.42) et s'exprime selon la relation (I.43):

$$p = 3V_d I_1 \cos \alpha + \left\{ \begin{aligned} &3V_{inv} I_1 \cos(2\omega t - \alpha) + \frac{3V_d I_1}{5} \cos(6\omega t - 5\alpha) - \frac{3V_{inv} I_1}{5} \cos(4\omega t - 5\alpha) \\ &-\frac{3V_d I_1}{7} \cos(6\omega t - 7\alpha) + \frac{3V_{inv} I_1}{7} \cos(8\omega t - 7\alpha) + \dots \end{aligned} \right\} \quad (I.43)$$

Le premier terme de cette relation représente la puissance active moyenne, tandis que la somme des autres termes représente une puissance alternative ayant pour origine la composition des courants harmoniques et des tensions directes et inverses du réseau électrique. A partir de cette relation, nous obtenons les composantes harmoniques de la puissance active instantanée. La figure I-9 présente ces composantes harmoniques ainsi que leurs origines. A la figure I-9, nous retrouvons en rouge la contribution des courants harmoniques de la charge, composés avec les tensions directes du réseau (voir figure I-8). Par ailleurs, la composition de la composante inverse de la tension avec le fondamental du courant de la charge génère une puissance alternative de pulsation 2ω . De plus, cette même tension inverse composée avec les courants harmoniques induit des puissances alternatives de pulsations (4ω , 8ω , 10ω , 14ω , 16ω ...). Un résultat identique peut être obtenu pour la puissance réactive instantanée.

A partir de ces analyses, il apparaît que les tensions déséquilibrées sont à l'origine de la composante harmonique de rang 2 des puissances instantanées. Ceci peut conduire à une valeur erronée lors de l'identification des courants de référence, car un simple FPB (utilisé classiquement dans la méthode *pq*) n'est pas efficace pour éliminer cette composante harmonique proche de sa fréquence de coupure et présente un résidu important.

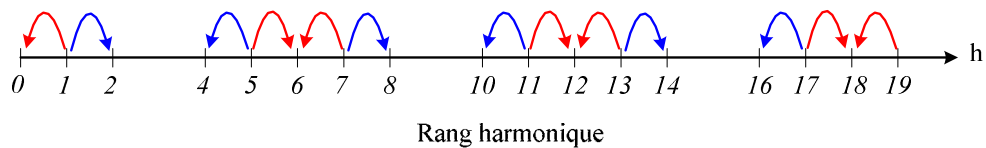


Figure I-9. Composantes harmoniques de la puissance active instantanée
(Courants harmoniques équilibrés et tensions sinusoïdales déséquilibrées)

I.4.2.2 Cas de la méthode *SRF*

Les performances de la méthode *SRF* dépendent fortement des performances de la PLL mise en œuvre et destinée à générer des signaux sinus et cosinus, synchrones avec le réseau. Nous allons analyser dans cette section le comportement de la PLL classiquement mise en œuvre dans diverses conditions : tensions de source sinusoïdales ou non, équilibrées ou déséquilibrées. Le schéma de principe de cette PLL est présenté à la figure I-10.

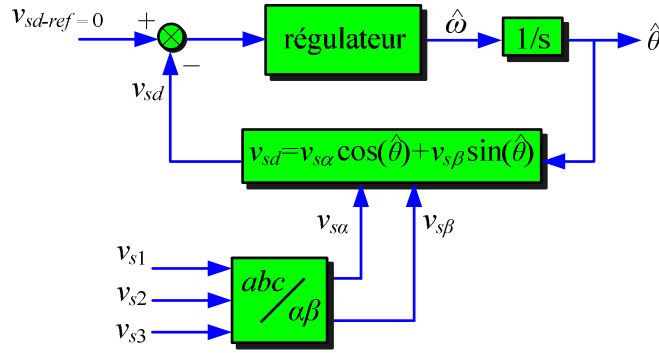


Figure I-10. Principe de la PLL.

I.4.2.2.1. Tensions de source sinusoïdales équilibrées

Dans ce cas, les tensions du réseau selon les axes $\alpha\beta$ sont définies par la relation matricielle (I.38). L'expression de ces tensions selon les axes dq est alors la suivante :

$$\begin{bmatrix} v_{sd} \\ v_{sq} \end{bmatrix} = \begin{bmatrix} \cos(\hat{\theta}) & \sin(\hat{\theta}) \\ -\sin(\hat{\theta}) & \cos(\hat{\theta}) \end{bmatrix} \begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} \quad (I.44)$$

A partir des équations (I.38) et de l'équation (I.44), nous obtenons :

$$v_{sd} = \sqrt{3}V_s \sin(\theta - \hat{\theta}) \quad (I.45)$$

Avec $\theta = \omega t$.

Sachant que la valeur de $(\theta - \hat{\theta})$ est faible, l'expression (I.45) peut être approximée par :

$$v_{sd} \approx \sqrt{3}V_s (\theta - \hat{\theta}) \quad (I.46)$$

L'équation (I.46) démontre que dans le cas où les tensions du réseau sont sinusoïdales et équilibrées, un régulateur efficace permet à la PLL d'estimer avec précision la position angulaire.

I.4.2.2.2. Tensions de source sinusoïdales déséquilibrées

Dans ce cas, les tensions réseau selon les axes $\alpha\beta$ sont définies par la relation matricielle (I.42). A partir des équations (I.42) et de l'équation (I.44), nous obtenons :

$$v_{sd} = \sqrt{3}V_d \sin(\theta - \hat{\theta}) + \sqrt{3}V_{inv} \sin(\theta + \hat{\theta}) \quad (I.47)$$

Le premier terme de cette relation représente l'influence de la composante directe de la tension, tandis que le deuxième terme représente l'influence de sa composante inverse. Considérant l'expression (I.47), nous pouvons conclure que v_{sd} , et par conséquent la position

angulaire estimée par la PLL, seront toutes deux affectées par la composante inverse de la tension.

I.4.2.2.3. Tensions de source équilibrées contenant des harmoniques

Dans ce cas, nous considérons que les tensions réseau contiennent des harmoniques. Elles peuvent donc s'écrire :

$$\begin{bmatrix} v_{s1} \\ v_{s2} \\ v_{s3} \end{bmatrix} = \sqrt{2}V_s \left(\begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - \frac{2\pi}{3}) \\ \sin(\omega t + \frac{2\pi}{3}) \end{bmatrix} + \frac{1}{5} \begin{bmatrix} \sin(5\omega t) \\ \sin(5\omega t - \frac{2\pi}{3}) \\ \sin(5\omega t + \frac{2\pi}{3}) \end{bmatrix} + \frac{1}{7} \begin{bmatrix} \sin(7\omega t) \\ \sin(7\omega t - \frac{2\pi}{3}) \\ \sin(7\omega t + \frac{2\pi}{3}) \end{bmatrix} + \dots \right) \quad (I.48)$$

En appliquant la transformation de Concordia, nous obtenons la relation matricielle suivante :

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3}V_s \left(\begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} + \frac{1}{5} \begin{bmatrix} \sin(5\omega t) \\ \cos(5\omega t) \end{bmatrix} + \frac{1}{7} \begin{bmatrix} \sin(7\omega t) \\ -\cos(7\omega t) \end{bmatrix} + \dots \right) \quad (I.49)$$

A partir de l'équation (I.49), nous obtenons :

$$v_{sd} = \sqrt{3}V_s \sin(\theta - \hat{\theta}) + \frac{\sqrt{3}V_s}{5} \sin(5\theta + \hat{\theta}) + \frac{\sqrt{3}V_s}{7} \sin(5\theta - \hat{\theta}) + \dots \quad (I.50)$$

Nous constatons que les harmoniques de tension induisent des composantes alternatives qui affectent ici encore les performances de la PLL.

I.4.3. Nouvelle approche pour l'identification des courants de référence

Afin d'améliorer les performances de la PLL en conditions non idéales, une nouvelle PLL mettant en œuvre un filtre passe bande hautement sélectif, appelé "filtre multi-variable" (FMV), a été développé au sein de notre laboratoire [Benhabib, 2004], [Benhabib, 2005]. Bien que cette nouvelle PLL ait conduit à de bons résultats en conditions non idéales, elle est néanmoins basée sur une PLL classique. Pour cette raison, son implantation pratique nécessite alors une importante puissance de calcul et généralement une carte supplémentaire pour sa réalisation dans un système de contrôle numérique [Jintakosonwit, 2002].

Dans section suivante, après avoir succinctement décrit le principe du FMV déjà étudié au sein de notre laboratoire par M. Benhabib [Benhabib, 2004], nous présentons une nouvelle étude analytique du comportement dynamique du FMV. Les études théoriques présentées dans cette

section permettront de bien qualifier les propriétés dynamiques du FMV. A la suite de cette étude théorique, nous proposons à la section I.4.3.2 une nouvelle approche pour l'identification des courants de référence : il s'agit d'une version modifiée de la méthode *pq*, utilisant deux FMVs. Dans la suite de ce manuscrit, cette méthode sera appelée méthode "*pq-modifiée*". Nous démontrerons que cette méthode permet d'identifier les composantes harmoniques directes et inverses des courants de charge. De plus, nous montrerons également que l'influence de tensions déséquilibrées sur cette méthode est négligeable. En outre, la correction du facteur de puissance pourra ainsi être facilement réalisée en utilisant la nouvelle méthode proposée [Karimi, 2008-4], [Karimi, 2008-5].

I.4.3.1. Extraction de la composante fondamentale

I.4.3.1.1. Principe et analyse fréquentielle du FMV

M. Benhabib a proposé dans sa Thèse [Benhabib, 2004] un nouveau filtre d'extraction dite FMV destiné à extraire la composante fondamentale de signaux électriques (tension ou courant) directement selon les axes $\alpha\beta$. La fonction de transfert de ce filtre est la suivante :

$$H(s) = \frac{\hat{x}_{\alpha\beta}(s)}{x_{\alpha\beta}(s)} = K \frac{(s + K) + j\omega_c}{(s + K)^2 + \omega_c^2} \quad (I.51)$$

Dans l'expression (I.51), ω_c représente la pulsation fondamentale ($f_c = 50 \text{ Hz}$), K une constante positive, x le signal électrique d'entrée du FMV (courant ou tension) et $\hat{x}$ est le signal correspondant à x en sortie du FMV.

La figure I-11 présente le diagramme de Bode du FMV pour différentes valeurs du paramètre K . On peut noter qu'à la pulsation $\omega = \omega_c$, le déphasage introduit par le FMV est égal à zéro et le gain est égal à 1 (ou 0 dB). Ainsi, le signal de sortie est égal au signal électrique d'entrée pour la pulsation $\omega = \omega_c$. De plus, ce FMV présente une atténuation importante pour toutes les autres fréquences, y compris pour la composante continue du signal. Notons par ailleurs que la diminution de la valeur de K permet d'augmenter la sélectivité du FMV. Toutefois, la réponse dynamique doit alors être étudiée; cette étude est présentée à la section suivante. Ainsi, en utilisant un FMV, la composante fondamentale des signaux électriques (tension ou courant) peut être extraite directement selon les axes $\alpha\beta$, sans déphasage ni changement de l'amplitude.

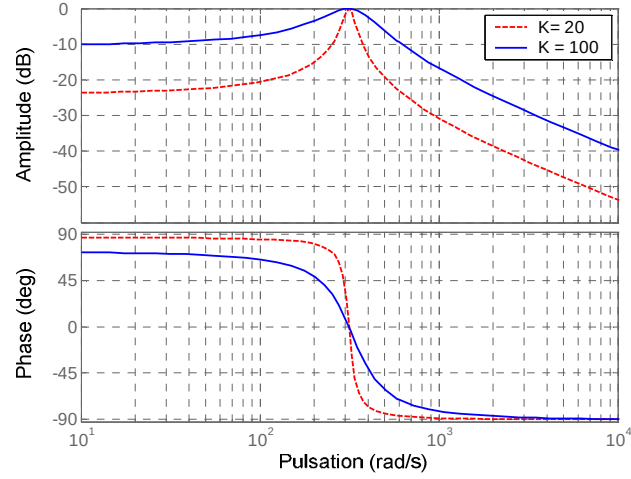


Figure I-11. Diagramme de Bode du FMV.

A partir de l'équation (I.51), nous obtenons les deux expressions suivantes après un court développement :

$$\hat{x}_\alpha(s) = \frac{K(s+K)}{(s+K)^2 + \omega_c^2} x_\alpha(s) - \frac{K\omega_c}{(s+K)^2 + \omega_c^2} x_\beta(s) \quad (\text{I.52})$$

$$\hat{x}_\beta(s) = \frac{K\omega_c}{(s+K)^2 + \omega_c^2} x_\alpha(s) + \frac{K(s+K)}{(s+K)^2 + \omega_c^2} x_\beta(s) \quad (\text{I.53})$$

Les équations (I.52) et (I.53) peuvent également être exprimées sous la forme :

$$\hat{x}_\alpha(s) = \frac{K}{s} [x_\alpha(s) - \hat{x}_\alpha(s)] - \frac{\omega_c}{s} \hat{x}_\beta(s) \quad (\text{I.54})$$

$$\hat{x}_\beta(s) = \frac{K}{s} [x_\beta(s) - \hat{x}_\beta(s)] + \frac{\omega_c}{s} \hat{x}_\alpha(s) \quad (\text{I.55})$$

Nous obtenons alors le schéma bloc suivant pour le FMV :

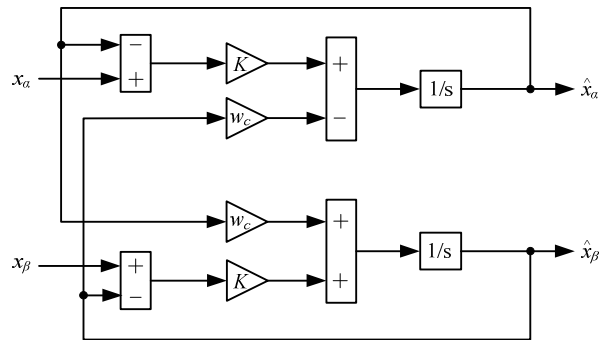


Figure I-12. Schéma bloc du FMV.

1.4.3.1.2. Réponse dynamique du FMV

Dans cette section, nous étudions le comportement dynamique du FMV pour des signaux électriques d'entrée déséquilibrés et non sinusoïdaux. Pour cela, les signaux triphasés sont alors exprimés selon leurs composantes directes et inverses.

Les signaux électriques peuvent être décomposés en série de Fourier selon la relation matricielle suivante :

$$\begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} = \sqrt{2} \begin{bmatrix} \sum_{h=1}^n X_{hd} \sin(h\omega t + \varphi_h) \\ \sum_{h=1}^n X_{hd} \sin(h\omega t + \varphi_h - \frac{2\pi}{3}) \\ \sum_{h=1}^n X_{hd} \sin(h\omega t + \varphi_h + \frac{2\pi}{3}) \end{bmatrix} + \sqrt{2} \begin{bmatrix} \sum_{h=1}^n X_{hinv} \sin(h\omega t + \delta_h) \\ \sum_{h=1}^n X_{hinv} \sin(h\omega t + \delta_h + \frac{2\pi}{3}) \\ \sum_{h=1}^n X_{hinv} \sin(h\omega t + \delta_h - \frac{2\pi}{3}) \end{bmatrix} \quad (I.56)$$

Le premier terme de cette relation représente les composantes directes et le deuxième terme représente les composantes inverses. Notons que la composante homopolaire n'y figure pas car nous considérons ici un réseau électrique triphasé à trois fils.

En appliquant la transformation $\alpha\beta$, nous obtenons les équations suivantes :

$$\begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \begin{bmatrix} x_{\alpha d} \\ x_{\beta d} \end{bmatrix} + \begin{bmatrix} x_{\alpha inv} \\ x_{\beta inv} \end{bmatrix} \quad (I.57)$$

Avec :

$$x_{\alpha d} = \sqrt{3}X_{1d} \sin(\omega t + \varphi_1) + \sqrt{3} \sum_{h=2}^n X_{hd} \sin(h\omega t + \varphi_h) \quad (I.58)$$

$$x_{\beta d} = -\sqrt{3}X_{1d} \cos(\omega t + \varphi_1) - \sqrt{3} \sum_{h=2}^n X_{hd} \cos(h\omega t + \varphi_h) \quad (I.59)$$

$$x_{\alpha inv} = \sqrt{3}X_{1inv} \sin(\omega t + \delta_1) + \sqrt{3} \sum_{h=2}^n X_{hinv} \sin(h\omega t + \delta_h) \quad (I.60)$$

$$x_{\beta inv} = \sqrt{3}X_{1inv} \cos(\omega t + \delta_1) + \sqrt{3} \sum_{h=2}^n X_{hinv} \cos(h\omega t + \delta_h) \quad (I.61)$$

En remplaçant les termes de l'équation (I.57) après la transformation de Laplace dans les équations (I.54) et (I.55), puis en appliquant la transformation inverse de Laplace, les expressions temporelles suivantes sont obtenues pour les signaux de sortie du FMV:

$$\begin{bmatrix} \hat{x}_\alpha \\ \hat{x}_\beta \end{bmatrix} = \begin{bmatrix} \hat{x}_{\alpha d} \\ \hat{x}_{\beta d} \end{bmatrix} + \begin{bmatrix} \hat{x}_{\alpha inv} \\ \hat{x}_{\beta inv} \end{bmatrix} \quad (\text{I.62})$$

Avec :

$$\hat{x}_{\alpha d} = \sqrt{3}X_{1d}(1 - e^{-Kt})\sin(\omega t + \varphi_1) + \left\{ \sqrt{3} \sum_{h=2}^n \frac{X_{hd}}{\sqrt{1 + A_h^2}} \times \left[\frac{\sin(h\omega t + \varphi_h + \arctan A_h) - e^{-Kt} \sin(\omega t + \varphi_h + \arctan A_h)}{e^{-Kt} \sin(\omega t + \varphi_h + \arctan A_h)} \right] \right\} \quad (\text{I.63})$$

$$\hat{x}_{\beta d} = -\sqrt{3}X_{1d}(1 - e^{-Kt})\cos(\omega t + \varphi_1) - \left\{ \sqrt{3} \sum_{h=2}^n \frac{X_{hd}}{\sqrt{1 + A_h^2}} \times \left[\frac{\cos(h\omega t + \varphi_h + \arctan A_h) - e^{-Kt} \cos(\omega t + \varphi_h + \arctan A_h)}{e^{-Kt} \cos(\omega t + \varphi_h + \arctan A_h)} \right] \right\} \quad (\text{I.64})$$

$$\hat{x}_{\alpha inv} = \sqrt{3} \sum_{h=1}^n \frac{X_{hinv}}{\sqrt{1 + B_h^2}} \times \left[\sin(h\omega t + \delta_h - \arctan B_h) + e^{-Kt} \sin(\omega t - \delta_h + \arctan B_h) \right] \quad (\text{I.65})$$

$$\hat{x}_{\beta inv} = \sqrt{3} \sum_{h=1}^n \frac{X_{hinv}}{\sqrt{1 + B_h^2}} \times \left[\sin(h\omega t + \delta_h + \arctan \frac{1}{B_h}) + e^{-Kt} \sin(\omega t - \delta_h - \arctan \frac{1}{B_h}) \right] \quad (\text{I.66})$$

$$\text{Avec } A_h = \frac{(1-h)\omega}{K} \text{ et } B_h = \frac{(1+h)\omega}{K}$$

Ces équations caractérisent la réponse dynamique du FMV et notamment l'influence du paramètre K sur ses performances. On peut noter que la constante de temps du FMV est égale à $1/K$. Par conséquent, la durée du régime transitoire sera accrue lorsque K sera diminué. En outre, on peut remarquer que le FMV est stable pour toute valeur positive du paramètre K .

Si l'on ne considère que les composantes directes (cas des signaux électriques équilibrés non sinusoïdaux), on constate que le déphasage est égal à zéro pour la composante fondamentale et qu'il est égal à environ -90° pour les autres composantes harmoniques. De plus, le FMV atténue l'amplitude des composantes harmoniques directes avec un gain égal à :

$$G_{hd} = \frac{1}{\sqrt{1 + A_h^2}} = \frac{K}{\sqrt{K^2 + (1-h)^2 \omega^2}} \quad (\text{I.67})$$

Selon l'équation (I.67), lorsque h est égal à 1 (cas de la composante fondamentale), le gain G_{1d} est effectivement unitaire. Ce résultat concorde avec le diagramme de Bode du FMV présenté à la figure I-11. Comme $[(1-h)^2 \omega^2]$ est grand devant K^2 , l'équation (I.67) peut être approximée par la relation suivante pour les composantes harmoniques directes ($h > 1$) :

$$G_{hd} \cong \frac{K}{|1-h|\omega} \quad (I.68)$$

Au vu de l'équation (I.68), on peut remarquer que la relation entre le gain G_{hd} et K est linéaire et proportionnelle. Le tableau I-3 résume l'influence du paramètre K sur l'amplitude des harmoniques et sur la constante de temps dans le cas où les signaux électriques d'entrée du FMV sont équilibrés et non sinusoïdaux. Dans ce tableau, nous avons défini un paramètre appelé "coefficient d'atténuation" qui est défini comme suit:

$$\%D_{hd} = \frac{\Delta x_{hd}}{x_{hd}} \times 100 = \frac{x_{hd} - \hat{x}_{hd}}{x_{hd}} \times 100 = (1 - G_{hd}) \times 100 \quad (I.69)$$

Ce tableau démontre que le coefficient d'atténuation croît lorsque la valeur de K diminue. De plus nous notons également que plus nous diminuons la valeur de K , plus la durée du régime transitoire s'allonge.

Tableau I-3. Influence du paramètre K sur les performances du FMV
(Cas de signaux triphasés équilibrés et non sinusoïdaux)

K	$\%D_{1d}$	$\%D_{3d}$	$\%D_{5d}$	$\%D_{7d}$	$\%D_{9d}$	$\%D_{11d}$	$\%D_{13d}$	$\tau(s)$
20	0	96.8	98.4	98.9	99.2	99.4	99.5	0.05
50	0	92.1	96	97.3	98	98.4	98.7	0.02
80	0	87.4	93.6	95.7	96.8	97.5	97.9	0.0125
100	0	84.3	92.1	94.7	96	96.8	97.3	0.01

Considérons maintenant les composantes inverses; on remarque que le FMV réduit l'amplitude des composantes harmoniques inverse avec un gain égal à:

$$G_{hinv} = \frac{1}{\sqrt{1+B_h^2}} = \frac{K}{\sqrt{K^2 + (1+h)^2 \omega^2}} \quad (I.70)$$

Comme $[(1+h)^2 \omega^2]$ est grand devant K^2 , l'équation (I.70) peut être approximée pour les composantes harmoniques inverse ($h \geq 1$) par la relation suivante:

$$G_{hinv} \cong \frac{K}{(1+h)\omega} \quad (I.71)$$

A partir des équations (I.68) et (I.71), les expressions suivantes peuvent être établies:

$$G_{hinv} = G_{(h+2)d} \quad (I.72)$$

Et

$$\%D_{hinv} = \frac{\Delta X_{hinv}}{X_{hinv}} \times 100 = (1 - G_{hinv}) \times 100 = \%D_{(h+2)d} \quad (I.73)$$

Ces équations démontrent que le FMV a la capacité de fortement réduire les composantes harmoniques directes et inverses des signaux électriques. Par conséquent, en utilisant ce FMV dans la commande du FAP, on peut générer les courants de référence permettant simultanément de compenser les courants harmoniques et équilibrer les courants de source.

I.4.3.2. Méthode "pq-modifiée"

La figure I-13 présente le principe proposé pour identifier les courants de référence. Dans la nouvelle méthode proposée, les courants de référence sont identifiés en utilisant une version modifiée de la méthode pq, associée à deux FMVs.

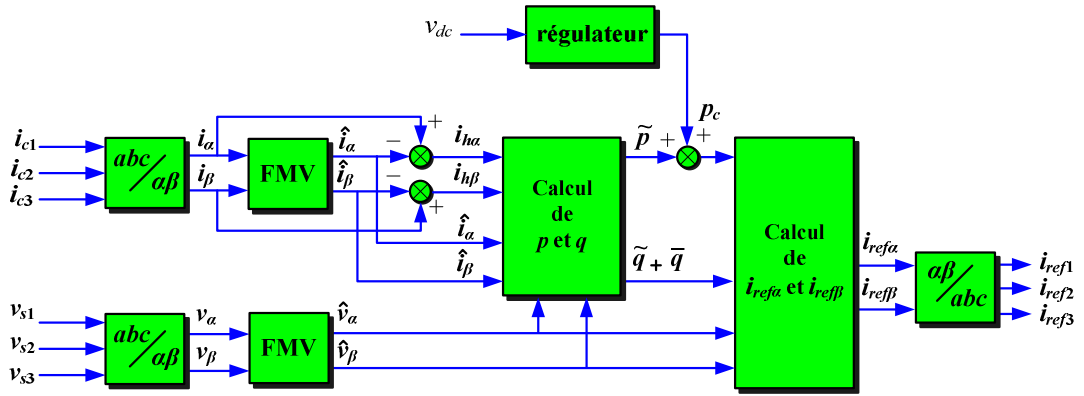


Figure I-13. Identification des courants de référence par la méthode "pq-modifiée".

Les composantes alternatives des puissances active et réactive instantanées sont obtenues par la relation :

$$\begin{bmatrix} \tilde{p} \\ -\tilde{q} \end{bmatrix} = \begin{bmatrix} \hat{v}_\alpha & \hat{v}_\beta \\ -\hat{v}_\beta & \hat{v}_\alpha \end{bmatrix} \begin{bmatrix} i_{h\alpha} \\ i_{h\beta} \end{bmatrix} \quad (I.74)$$

Avec $i_{h\alpha}$ et $i_{h\beta}$ définis par:

$$i_{h\alpha} = (i_{\alpha d} - \hat{i}_{\alpha d}) + (i_{\alpha inv} - \hat{i}_{\alpha inv}) \quad (I.75)$$

$$i_{h\beta} = (i_{\beta d} - \hat{i}_{\beta d}) + (i_{\beta inv} - \hat{i}_{\beta inv}) \quad (I.76)$$

A partir des équations présentées à la section précédente (section I.4.3.1.2), on peut remarquer que les termes $i_{h\alpha}$ et $i_{h\beta}$ contiennent les composantes harmoniques, directes et inverses.

La composante fondamentale de la puissance réactive instantanée est définie par :

$$\bar{q} = \hat{v}_\beta \hat{i}_\alpha - \hat{v}_\alpha \hat{i}_\beta \quad (I.77)$$

Après avoir ajouté à la composante alternative de la puissance active instantanée, la puissance active p_c nécessaire à la régulation de la tension continue v_{dc} (Cf. section I.4.5), les courants de référence selon les axes $\alpha\beta$ sont calculés par :

$$i_{ref\alpha} = \frac{\hat{v}_\alpha}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} (\tilde{p} + p_c) + \frac{\hat{v}_\beta}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} (\tilde{q} + \bar{q}) \quad (I.78)$$

$$i_{ref\beta} = \frac{\hat{v}_\beta}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} (\tilde{p} + p_c) - \frac{\hat{v}_\alpha}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} (\tilde{q} + \bar{q}) \quad (I.79)$$

En substituant les équations (I.74) et (I.77) dans les équations (I.78) et (I.79), nous obtenons :

$$i_{ref\alpha} = i_{h\alpha} + i_{q\alpha} + i_{c\alpha} \quad (I.80)$$

$$i_{ref\beta} = i_{h\beta} + i_{q\beta} + i_{c\beta} \quad (I.81)$$

Où $i_{q\alpha}$, $i_{q\beta}$, $i_{c\alpha}$ et $i_{c\beta}$ sont définis par :

$$\begin{bmatrix} i_{q\alpha} \\ i_{q\beta} \end{bmatrix} = \frac{1}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} \begin{bmatrix} 0 & -\hat{v}_\beta \\ 0 & \hat{v}_\alpha \end{bmatrix} \begin{bmatrix} 0 \\ -\bar{q} \end{bmatrix} \quad (I.82)$$

$$\begin{bmatrix} i_{c\alpha} \\ i_{c\beta} \end{bmatrix} = \frac{1}{\hat{v}_\alpha^2 + \hat{v}_\beta^2} \begin{bmatrix} \hat{v}_\alpha & 0 \\ \hat{v}_\beta & 0 \end{bmatrix} \begin{bmatrix} p_c \\ 0 \end{bmatrix} \quad (I.83)$$

Les courants de référence obtenus à partir des équations (I.80) et (I.81) contiennent trois termes :

- le premier terme correspond aux composantes harmoniques, directes et inverses;
- le deuxième terme est le courant réactif destiné à compenser la puissance réactive;

- le troisième terme est le courant actif destiné à maintenir la tension v_{dc} égale à sa valeur de référence v_{dc-ref} .

Les trois courants de référence selon les axes abc , notés i_{ref1} , i_{ref2} et i_{ref3} , sont finalement obtenus en transformant les équations (I.80) et (I.81) à l'aide de la transformation inverse de Concordia.

I.4.4. Poursuite des courants de référence

La finalité de la commande d'un FAP est de contrôler les courants de sortie du FAP afin qu'ils suivent au plus près leurs références. Le principe de cette poursuite est basé sur la comparaison entre le courant i_{fk} généré par le FAP et le courant de référence, i_{refk} , afin d'en déduire les ordres de commande des interrupteurs de puissance.

Les deux principales familles de contrôleurs sont les suivantes :

- *contrôle par Modulation de Largeur d'Impulsion (MLI);*
- *contrôle par hystérésis.*

I.4.4.1. Contrôle des courants par MLI

Ce type de contrôle de courant peut être réalisé selon différentes techniques, à savoir : *MLI à porteuse*, *MLI à élimination (ou minimisation) d'harmoniques* et *MLI vectorielle* [Chereau, 2007]. Le contrôle par *MLI à porteuse* peut être à *MLI naturelle*, à *MLI régulière symétrique*, à *MLI régulière asymétrique* ou à *MLI aléatoire*. La *MLI naturelle* est une méthode simple et fréquemment utilisée [Buso, 1998], [Kazmierkowski, 1998]. Elle consiste à comparer, à chaque instant, le courant de référence avec un signal triangulaire appelé porteuse. La fréquence de ce signal doit être élevée devant celle de la référence et son amplitude supérieure à celle de la référence (figure I-14). Chaque intersection entre ces deux signaux donne lieu à une commutation (figure I-15).

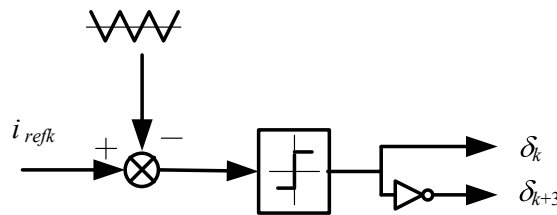
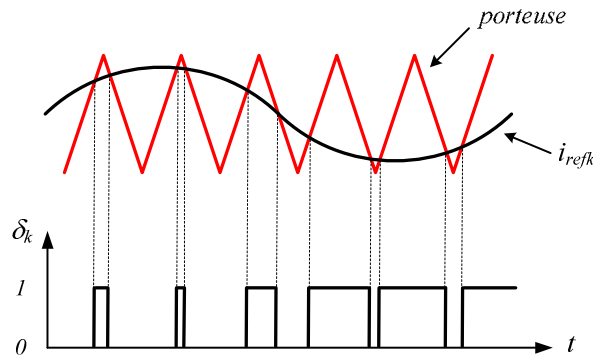


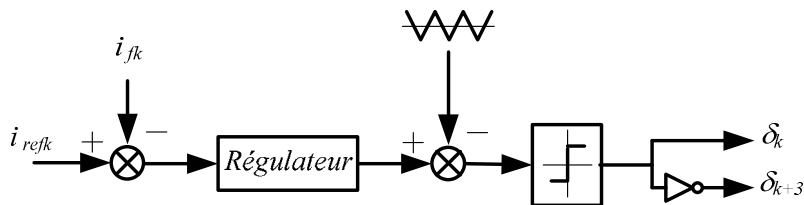
Figure I-14. Principe de contrôle du courant par *MLI naturelle* (sans régulateur).

Figure I-15. Commande des interrupteurs par *MLI naturelle*.

Cette méthode impose une fréquence de commutation fixée et connue. Ainsi, la répartition spectrale de l'énergie est bien localisée. Le choix du rapport entre la fréquence de la porteuse et celle de la référence est important dans le cas d'une référence périodique symétrique. En effet, dans le cas d'une référence sinusoïdale, le rapport des deux fréquences doit être un entier pour que la porteuse soit synchrone avec la référence. De plus, cet entier doit être de préférence impair pour garder la symétrie de la référence. Ce rapport doit dans tous les cas être suffisamment élevé pour assurer la rapidité des commutations, nécessaire à une bonne recopie de la référence.

Afin de pouvoir corriger l'erreur entre le courant de référence et le courant fourni par l'onduleur, une boucle externe de régulation peut être utilisée dans ce type de contrôleur de courant. Dans ce cas, un régulateur détermine, à partir de la différence entre le courant réel et sa référence, la tension de référence de l'onduleur (modulatrice). Ensuite, la modulatrice est comparée avec la porteuse et la sortie du comparateur établit les ordres de commutation des interrupteurs de l'onduleur (figure I-16).

Selon la relation (I.15), la tension de référence v_{refk} est composée de deux termes. Le premier terme représente la tension du réseau v_{sk} directement mesurable et le second terme est égal à la chute de tension aux bornes de l'inductance L_f . Ce second terme correspond à la sortie du régulateur de courant, comme le montre la figure I-17.

Figure I-16. Principe de contrôle du courant par *MLI* avec régulateur.

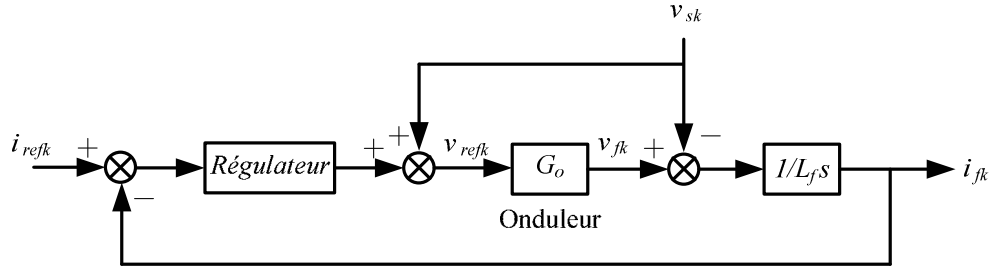


Figure I-17. Schéma de la régulation des courants du FAP par MLI.

A la figure I-17, pour simplifier l'onduleur de tension à commande MLI n'est modélisé que par un simple gain [Salem Nia, 1996]; négligeant tout retard qui aboutirait à un premier ordre:

$$G_o = \frac{V_{dc}}{2V_p} \quad (I.84)$$

Avec V_{dc} la tension moyenne côté continu de l'onduleur et V_p l'amplitude de la porteuse triangulaire. Pour que la tension de sortie de l'onduleur, notée v_{fk} , soit égale à la référence v_{refk} , l'amplitude de la porteuse V_p est choisie égale $V_{dc}/2$ et ainsi G_o égal à 1. Dans ce cas, le schéma simplifié de la régulation est représenté à la figure I-18.

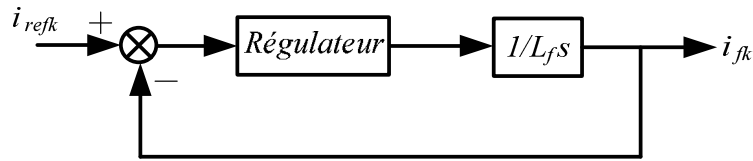


Figure I-18. Schéma simplifié de la régulation des courants du FAP par MLI.

Le régulateur le plus couramment employé est indéniablement le régulateur proportionnel intégral (PI). Il est en effet l'un des plus simples à mettre en œuvre numériquement et à régler. On le retrouve dans un grand nombre de publications [Buso, 1998], [Kazmierkowski, 1998], [Fukuda, 2002], [Zeng, 2004].

Il est composé de deux gains et d'une intégrale, d'où sa fonction de transfert $C(s)$:

$$C(s) = K_p + \frac{K_i}{s} \quad (I.85)$$

Ce type de régulateur est simple mais donne des performances limitées. En effet, le choix des deux gains peut se faire suivant différentes méthodes, mais dépend généralement de la connaissance du système à commander. Or, on ne dispose pas toujours du modèle du système et encore plus rarement d'un modèle précis. De plus, en cas de charge variable, il faudrait ajouter une commande adaptative complexe. Enfin, avec ce type de régulateur, comme pour toutes les

régulations dites linéaires (PID, RST, etc...), un déphasage existe entre le signal d'entrée et le signal de sortie de la boucle de régulation (pour une référence sinusoïdale) [Chereau, 2007]. Ce déphasage augmente avec la fréquence et génère une erreur de poursuite en régime permanent. Cette erreur peut dégrader la qualité de compensation du FAP car les courants de référence peuvent contenir des fréquences de tous rangs.

I.4.4.2. Contrôle des courants par hystérésis

Ce type de contrôle non linéaire utilise le signal d'erreur entre le courant de référence et le courant produit par l'onduleur (voir la figure I-19). L'erreur est comparée à un gabarit appelé bande d'hystérésis (B_h). Dès que l'erreur atteint la bande inférieure ou supérieure, un nouvel ordre de commande est envoyé aux semi-conducteurs de manière à maintenir le courant réel à l'intérieur de la bande. Nous détaillerons davantage cette méthode qui est à la base du contrôle par "hystérésis modulée", développé à la section suivante.

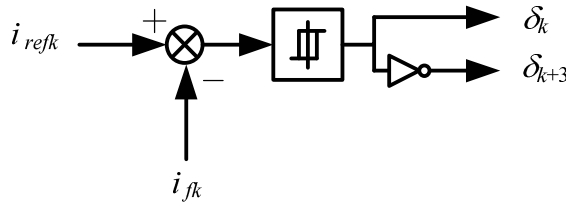


Figure I-19. Principe du contrôle par hystérésis.

Le seul paramètre intervenant dans la régulation est la largeur de la bande d'hystérésis. Elle détermine, d'une part la fréquence moyenne de commutation et d'autre part l'erreur sur les courants générés. Le contrôle du courant par hystérésis est simple à mettre en œuvre et donne de bons résultats en régulation puisqu'on n'a ni erreur statique, ni erreur de poursuite. La commande est robuste vis à vis des paramètres du système et présente de bonnes dynamiques en régime transitoire. La bande permet de limiter l'amplitude des oscillations du courant de sortie. Cependant, la fréquence de commutation obtenue est variable, ce qui permet certes d'étaler le spectre du signal de sortie, mais sans aucun contrôle de ce dernier. En effet, lors de perturbations ou de variations de la référence, des commutations à fréquences plus élevées peuvent alors être provoquées. La bande est généralement calculée pour limiter cette fréquence sans cependant tenir compte de ce type de problème [Chereau, 2007].

Soit un onduleur triphasé connecté à une charge triphasée RL , comme l'illustre la figure I-20. Pour simplifier l'analyse, on suppose que le neutre de la charge est connecté au point milieu g de la source continue. Quand l'interrupteur S_1 est à l'état passant (S_4 est à l'état bloqué), la tension v_{an} est positive; ainsi, le courant i_1 croît (voir la figure I-21 à partir du point 1). Ensuite, lorsque le courant i_1 atteint la bande supérieure au point 2, l'interrupteur S_1 est commandé à l'ouverture. A partir de cet instant, la tension v_{an} est négative; ainsi le courant de charge décroît et

croise la bande inférieure au point 3. Les équations suivantes peuvent être respectivement écrites dans les intervalles de commutation t_1 et t_2 :

$$Ri_1^+ + L \frac{di_1^+}{dt} = \frac{v_{dc}}{2} \quad (I.86)$$

$$Ri_1^- + L \frac{di_1^-}{dt} = -\frac{v_{dc}}{2} \quad (I.87)$$

Avec i_1^+ et i_1^- représentant le courant de la charge i_1 selon l'intervalle considéré, respectivement, t_1 et t_2 .

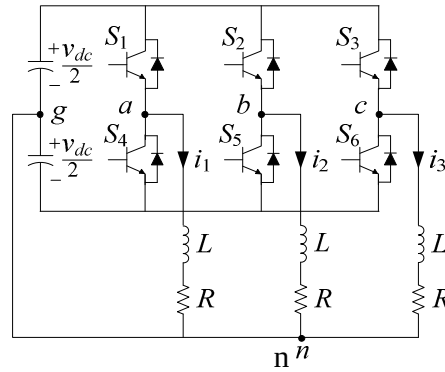


Figure I-20. Onduleur triphasé de tension débitant dans une charge RL .

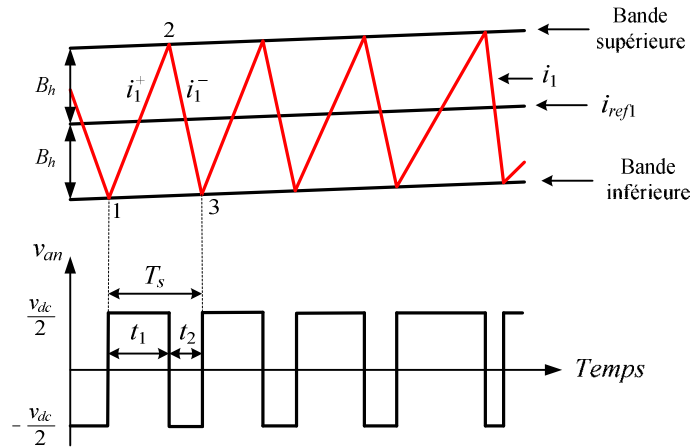


Figure I-21. Le courant et la tension de la phase a générés par la méthode hystérésis.

Considérant la figure I-21, on peut écrire :

$$\frac{di_1^+}{dt} t_1 - \frac{di_{ref1}}{dt} t_1 = 2B_h \quad (I.88)$$

$$\frac{di_1^-}{dt}t_2 - \frac{di_{ref1}}{dt}t_2 = -2B_h \quad (I.89)$$

$$t_1 + t_2 = T_s = \frac{1}{f_s} \quad (I.90)$$

Avec f_s la fréquence de commutation des interrupteurs.

A partir des équations (I.88), (I.89) et (I.90), on peut écrire :

$$\frac{di_1^+}{dt}t_1 + \frac{di_1^-}{dt}t_2 - \frac{1}{f_s} \frac{di_{ref1}}{dt} = 0 \quad (I.91)$$

En soustrayant (I.88) à (I.89), on obtient :

$$4B_h = \frac{di_1^+}{dt}t_1 - \frac{di_1^-}{dt}t_2 - (t_1 - t_2) \frac{di_{ref1}}{dt} \quad (I.92)$$

Pour de faibles valeurs de la bande d'hystérésis B_h , les courants i_1^+ et i_1^- peuvent être approximés par i_1 alors que leurs dérivées di_1^+/dt et di_1^-/dt ne peuvent pas être par di_{ref1}/dt . Considérant cette approximation et en combinant les équations (I.86), (I.87) et (I.91), on obtient :

$$\frac{t_1}{L} \left(\frac{v_{dc}}{2} - Ri_1 \right) - \frac{t_2}{L} \left(\frac{v_{dc}}{2} + Ri_1 \right) - \frac{m}{f_s} = 0 \quad (I.93)$$

Où m représente la pente du courant de référence, soit $m = \frac{di_{ref1}}{dt}$.

L'équation (I.93) peut être simplifiée comme suit:

$$(t_1 - t_2) = \frac{2L}{v_{dc} f_s} \left(\frac{Ri_1}{L} + m \right) \quad (I.94)$$

A partir des équations (I.87), (I.88), (I.93) et (I.95), on peut écrire :

$$4B_h = \frac{t_1}{L} \left(\frac{v_{dc}}{2} - Ri_1 \right) + \frac{t_2}{L} \left(\frac{v_{dc}}{2} + Ri_1 \right) - \frac{2Lm}{v_{dc} f_s} (Ri_1 + m) \quad (I.95)$$

En utilisant l'équation (I.90) l'équation (I.95) devient :

$$4B_h = \frac{v_{dc}}{2 f_s L} - \frac{Ri_1}{L} (t_1 - t_2) - \frac{2Lm}{v_{dc} f_s} (Ri_1 + m) \quad (I.96)$$

En remplaçant l'équation (I.94) dans l'équation (I.96) l'expression suivante peut être établie:

$$4B_h = \frac{v_{dc}}{2f_s L} \left[1 - \frac{4L^2}{v_{dc}^2} \left(\frac{Ri_1}{L} + m \right)^2 \right] \quad (I.97)$$

A partir de l'équation (I.97), nous obtenons :

$$f_s = \frac{v_{dc}}{8B_h L} \left[1 - \frac{4L^2}{v_{dc}^2} \left(\frac{Ri_1}{L} + m \right)^2 \right] \quad (I.98)$$

Selon (I.98), il apparaît que la fréquence de commutation n'est pas fixée lorsque seule la largeur de la bande d'hystérésis est fixée. Pour avoir une fréquence de commutation fixe, la part variable de (I.98) doit être maintenue constante et égale à K_h^2 avec K_h une constante positive, soit :

$$\frac{Ri_1}{L} + m = \pm K_h \quad (I.99)$$

Afin de résoudre ce problème de maîtrise des fréquences de commutation, différentes solutions ont été proposées. On peut notamment citer les méthodes dites "*hystérésis à bande variable*" [Bode, 2001], [Kale, 2005] ou "*hystérésis modulée*", [Rahman, 2003], [Shamsi-Nejad, 2007]. Nous avons choisi la méthode dite "*hystérésis modulée*" pour poursuivre les courants de référence. Cette méthode permet d'une part de fixer la fréquence de commutation des interrupteurs et garantit d'autre part une bonne dynamique en régime transitoire. De plus, l'erreur de poursuite peut être minimisée si les paramètres du contrôleur (amplitude du signal triangulaire (A_t) et largeur de la bande d'hystérésis (B_h)) sont correctement dimensionnés et optimisés. Cette méthode est décrite à la section suivante.

I.4.4.3. Contrôle des courants par la méthode dite "*hystérésis modulée*"

Pour un contrôleur de type "*hystérésis modulée*", la contrainte (I.99) est satisfaite à l'aide d'un signal triangulaire noté i_t , d'amplitude A_t et de période T_t qui est alors ajouté au courant de référence. Le principe de ce contrôleur dit par "*hystérésis modulée*" est illustré à la figure I-22.

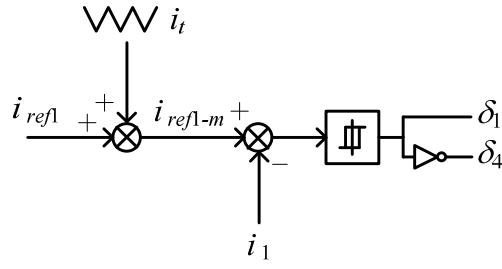


Figure I-22. Principe du contrôleur de courant par "hystérésis modulée".

Suite à l'ajout de ce signal triangulaire, le nouveau courant de référence devient :

$$i_{ref1-m} = i_{ref1} + i_t \quad (I.100)$$

Si l'on considère une référence sinusoïdale (soit $i_{ref1} = I_m \sin \omega t$), l'expression suivante peut être établie:

$$\frac{di_{ref1-m}}{dt} = m = I_m \omega \cos \omega t + m_t \quad (I.101)$$

Où m_t est la pente du signal triangulaire ($m_t = di_t/dt$). La combinaison de (I.99) et (I.101) conduit à :

$$\frac{Ri_1}{L} + I_m \omega \cos \omega t + m_t = K_h \quad (I.102)$$

Pour de faibles valeurs de la bande d'hystérésis, en considérant un signal triangulaire d'amplitude et de pente variables (figure I-23), l'équation (I.102) peut être réécrite sous la forme suivante :

$$\frac{Ri_1}{L} + I_m \omega \cos \omega t + m_t^+ = K_h \quad (I.103)$$

$$\frac{Ri_1}{L} + I_m \omega \cos \omega t - m_t^- = -K_h \quad (I.104)$$

Où m_t^+ et m_t^- représentent les pentes respectives du signal triangulaire dans les intervalles t_{c1} et t_{c2} .

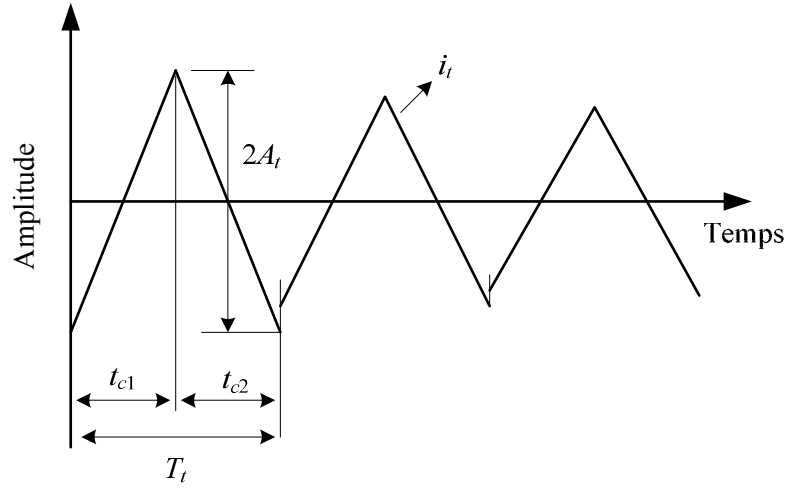


Figure I-23. Signal triangulaire avec une amplitude et pente variable.

Selon l'approximation $i_1 \cong i_{ref1}$, les équations (I.103) et (I.104) peuvent être également écrites sous la forme suivante :

$$m_t^+ = K_h - \frac{I_m}{L} (R \sin \omega t + L \omega \cos \omega t) = K_h - \frac{E_m}{L} \sin(\omega t + \theta) \quad (\text{I.105})$$

$$m_t^- = K_h + \frac{I_m}{L} (R \sin \omega t + L \omega \cos \omega t) = K_h + \frac{E_m}{L} \sin(\omega t + \theta) \quad (\text{I.106})$$

Avec $E_m = I_m \sqrt{R^2 + (L\omega)^2}$ et $\theta = \tan^{-1}(L\omega/R)$.

Puisque la fréquence du signal triangulaire est bien supérieure à celle du courant de référence, l'amplitude A_t du signal triangulaire peut être considérée comme constante sur une période T_t de ce signal triangulaire. Compte tenu de cette observation, les pentes positive et négative du signal triangulaire peuvent être approximées par :

$$m_t^+ = \frac{2A_t}{t_{c1}} \text{ et } m_t^- = \frac{2A_t}{t_{c2}} \quad (\text{I.107})$$

En combinant les équations (I.105) à (I.107), on peut écrire :

$$T_t = t_{c1} + t_{c2} = \frac{1}{f_t} = 2A_t \left[\frac{1}{K_h - \frac{E_m}{L} \sin(\omega t + \theta)} + \frac{1}{K_h + \frac{E_m}{L} \sin(\omega t + \theta)} \right]$$

$$= \frac{4A_t}{K_h} \left[\frac{1}{1 - \frac{E_m^2}{2K_h^2 L^2} \{1 - \cos(2\omega t + 2\theta)\}} \right] \quad (\text{I.108})$$

A partir de l'équation (I.108), nous obtenons :

$$A_t = \frac{K_h}{4f_t} \left(1 - \frac{E_m^2}{2K_h^2 L^2} \{1 - \cos(2\omega t + 2\theta)\} \right) \quad (\text{I.109})$$

En conclusion, la contrainte (I.99) est satisfaite en ajoutant un signal triangulaire de fréquence f_t et d'amplitude variable A_t définie à l'équation (I.109). De ce fait, une fréquence de commutation fixe peut être obtenue (Cf. l'équation I.98). Cependant, la mise en œuvre d'un tel signal triangulaire exige un temps de calcul important. Si son amplitude A_t est fixée à la valeur maximale de l'équation (I.109), alors la pente du signal triangulaire sera toujours supérieure à celle du courant de référence. Ainsi, ce choix conduira à une fréquence de commutation quasiment fixée [Rahman, 2003]. Dans ce cas, la valeur A_t est déterminée selon l'égalité :

$$A_t = (A_t)_{\max} = \frac{K_h}{4f_t} \quad (\text{I.110})$$

A partir des équations (I.97) et (I.99), la largeur de la bande d'hystérésis peut alors être déterminée par la relation :

$$B_h = \frac{v_{dc}}{8f_s L} \left[1 - \left(\frac{2LK_h}{v_{dc}} \right)^2 \right] \quad (\text{I.111})$$

Afin de fixer la fréquence de commutation en régime permanent, il ne doit exister que deux intersections entre le courant mesuré i_1 et le courant de référence modulé i_{ref1-m} pendant chaque période: la première avec la limite supérieure du contrôleur d'hystérésis et la seconde avec sa limite inférieure. Pour atteindre cet objectif en pratique, la valeur de K_h doit être la plus élevée possible [Rahman, 2003]. La valeur de K_h peut être déterminée à partir de la relation (I.111). Le terme entre crochet doit cependant être une quantité positive. Des valeurs élevées de K_h augmentent la valeur A_t et diminuent la valeur B_h . Au contraire des valeurs faibles de K_h conduisent à des valeurs faibles de A_t et à des valeurs élevées de B_h . Nous étudierons à la sous-section I.5.2.2.1, l'influence de l'amplitude du signal triangulaire A_t et de la largeur de bande d'hystérésis B_h sur la performance du FAP triphasé.

A partir des équations (I.110) et (I.111), on peut remarquer que pour K_h égal à zéro, A_t est égal à zéro et B_h est maximum. Dans ce cas, le contrôleur de courant devient un contrôleur

classique de type *hystérésis*. D'autre part, si $K_h = v_{dc}/2L$, B_h est égal à zéro et A_t est maximum. Dans ce cas, le contrôleur de courant devient un contrôleur de type *MLI* sans régulateur (voir figure I-16).

Dans l'analyse ici présentée, la valeur absolue des tensions de phase de la charge, notées v_{an} , v_{bn} et v_{cn} , est égale à la moitié de la tension aux bornes de la source continue. Cette condition est vraie pour un système avec le neutre de la charge connecté au point milieu des condensateurs. Pour un système avec neutre de la charge flottant, la valeur absolue des tensions de phases de la charge n'est plus égale à $v_{dc}/2$. Dans ce cas, comme on l'a montré au niveau du tableau I.1, elle peut prendre différentes valeurs, à savoir 0, $2v_{dc}/3$ et $v_{dc}/3$. *K. Rahman* a montré que l'analyse développée ici reste valable dans ces conditions [Rahman, 2003]. De plus, il a montré que les équations (I.110) et (I.111) restent valables si l'on considère une charge *R-L* comportant également une force contre électromotrice.

I.4.5. Régulation de la tension continue

Dans cette section, nous exposons la régulation de la tension continue. Les pertes dans le filtre actif, notamment au niveau des semi-conducteurs et du filtre de sortie, sont les principales causes de variation de v_{dc} . La régulation de cette tension s'effectue en ajoutant à la puissance $\tilde{p}$ une consigne de puissance notée p_c , (voir figures I-6 et I-13), afin de compenser les pertes.

En régime permanent, les courants de référence ne contiennent pas de composante fondamentale et la puissance nécessaire pour compenser les pertes est faible. Dans ce cas, un simple régulateur proportionnel peut s'avérer suffisant. Cependant, pour filtrer les fluctuations de v_{dc} , un FPB du premier ordre peut être ajouté en sortie du régulateur proportionnel. La fonction de transfert du régulateur est alors la suivante:

$$K(s) = \frac{k_c}{1 + \tau_c s} \quad (\text{I.112})$$

Avec k_c et τ_c , représentant respectivement le gain du régulateur et la constante de temps du filtre du premier ordre.

En négligeant les pertes par commutation dans l'onduleur ainsi que les pertes dans l'inductance triphasée L_f , la relation liant la puissance active absorbée par le filtre actif et la tension aux bornes du condensateur peut s'écrire sous la forme suivante :

$$p_c = \frac{d}{dt} \left(\frac{1}{2} C_{dc} v_{dc}^2 \right) \quad (\text{I.113})$$

Soit, après la transformation de Laplace :

$$v_{dc}^2(s) = \frac{2p_c(s)}{C_{dc}s} \quad (I.114)$$

A partir des relations (I.112) et (I.114), la boucle de régulation de la tension continue peut être représentée par le schéma de la figure I-24.

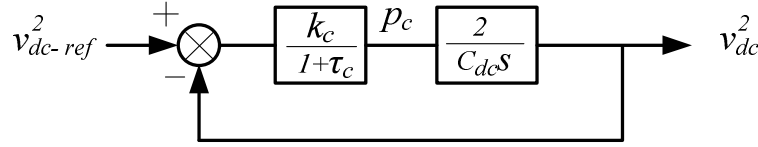


Figure I-24 Régulation de v_{dc} .

La fonction de transfert en boucle fermée peut alors prendre la forme suivante :

$$F(s) = \frac{\omega_c^2}{s^2 + 2\xi\omega_c s + \omega_c^2} \quad (I.115)$$

Avec :

$$\omega_c = \sqrt{\frac{2k_c}{C_{dc}\tau_c}} \quad \text{et} \quad \xi = \frac{1}{2\sqrt{2}} \sqrt{\frac{C_{dc}}{k_c\tau_c}}$$

Afin d'obtenir un amortissement suffisant, le produit $k_c\tau_c$ doit être limité. Une valeur de ξ comprise entre 0,5 et 0,707 réalise un bon compromis entre performances dynamique et statique. Le choix du paramètre k_c a pour objectif d'obtenir un temps de réponse minimal afin de ne pas nuire à la dynamique du filtre actif.

I.5. Etude comparative des méthodes d'identification

I.5.1 Etude comparative par simulation des méthodes *pq*, SRF et "*pq-modifiée*"

Dans cette section, on se propose de comparer les trois méthodes d'identification des courants de référence précédemment étudiées, dans les conditions idéales ou non pour les courants de charge et/ou les tensions réseau. Nous allons en outre présenter les résultats majeurs de simulation obtenus pour chacune de ces méthodes. Lors des simulations, la charge polluante est constituée par un pont redresseur triphasé à diodes et le réseau d'alimentation est un réseau triphasé. Le réseau d'alimentation est modélisé par phase par une f.é.m. sinusoïdale en série avec une inductance (L_s) et une résistance (R_s) caractérisant l'impédance de court-circuit du réseau (voir figure I-25). Le redresseur débite dans une charge RL . L'inductance L_c et la résistance R_c à

l'entrée du redresseur modélisent l'impédance de ligne et les éventuelles inductances additionnelles mises en œuvre pour limiter les variations de courant. Les valeurs de ces grandeurs sont rassemblées dans le tableau I-4.

La partie puissance présentée à la figure I-25, est modélisée à l'aide du logiciel Matlab/SimPowerSystems. Dans cette étude comparative, le FAP n'est pas simulé car seule l'identification des courants de référence fait l'objet de cette section. Afin d'évaluer les performances de chacune des trois méthodes et les comparer, le THD des courants de source est évalué par soustraction du courant de référence i_{ref} au courant de charge i_c . La partie identification des courants de référence est modélisée sous Matlab/Simulink et simulée en boucle ouverte.

Tableau I-4. Valeurs des paramètres du réseau et de la charge.

V_s (V)	f (Hz)	R_s (m Ω)	L_s (mH)	R_c (m Ω)	L_c (mH)	R (m Ω)	L (mH)
230	50	0,1	0,2	0,27	0,8	48,6	40

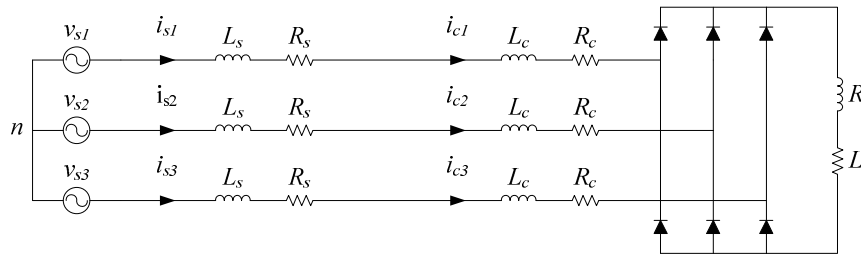


Figure I-25. Schéma du réseau et de la charge polluante.

I.5.1.1. Courants harmoniques équilibrés et tensions sinusoïdales équilibrées

Nous allons présenter dans cette section une étude comparative des performances des trois méthodes d'identification en conditions idéales, c'est à dire lorsque les tensions de source sont équilibrées et ne contiennent pas d'harmonique et lorsque la charge est équilibrée. Dans ce cas, les formes d'ondes du courant de charge et de la tension de source sont tracées à la figure I-26. Le THD en courant pour cette charge est égal à 28,06%. Ce THD est calculé pour les quarante premiers harmoniques.

La figure I-27 présente les résultats simulations obtenus pour les trois méthodes. Lors de cette simulation, la fréquence de coupure du FPB utilisé dans les deux méthodes pq et SRF est égale à 25 Hz; le principe du choix de cette fréquence est présenté dans [Benhabib, 2004]. Le THD du signal ($i_{c1}-i_{ref1}$) obtenu pour ces deux méthodes est égal à 0,24%.

Dans cette étude, le paramètre K du FMV a été choisi égal à 80. Cette valeur a été choisie par simulation afin d'obtenir le même comportement dynamique que les deux autres méthodes. Avec cette valeur, la constante de temps du FMV est égale 0,0125 s et le THD du signal ($i_{c1}-i_{ref1}$) est égal à 0,36%. On peut conclure qu'en conditions idéales, les performances des trois méthodes d'identification sont quasiment identiques.

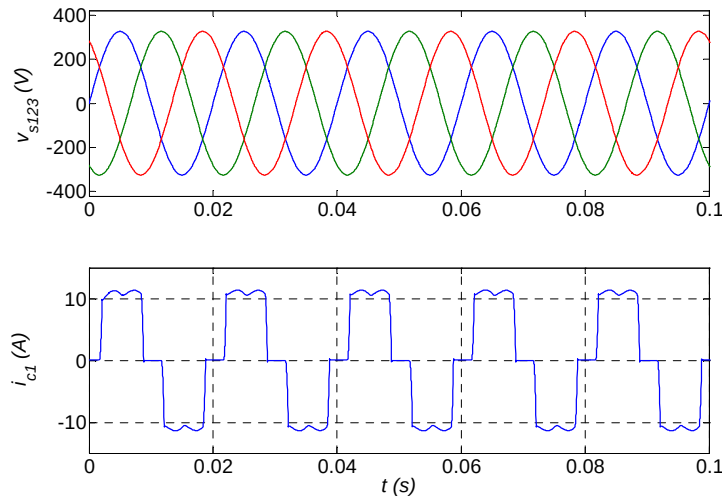


Figure I-26. Tensions de source et courant de charge (phase 1, cas idéal).

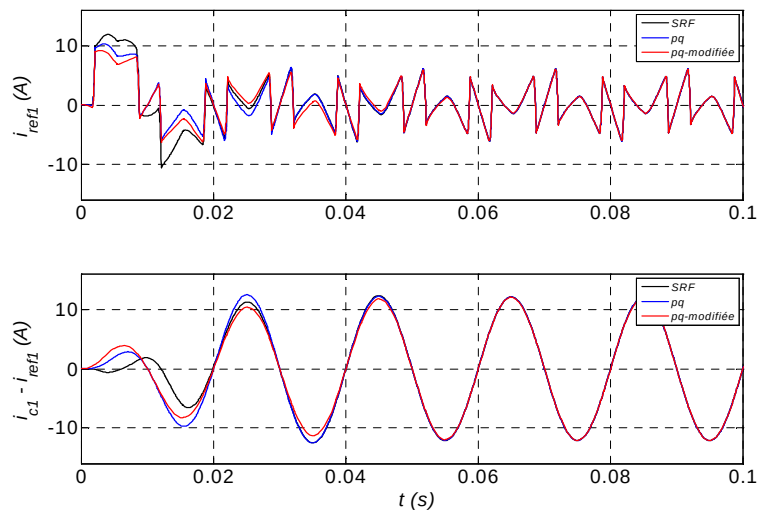


Figure I-27. Résultats de simulations pour les trois méthodes (phase 1, cas idéal).

I.5.1.2. Tensions sinusoïdales équilibrées et courants harmoniques déséquilibrés

La figure I-28 présente les résultats de simulation obtenus lorsque la charge non-linéaire est déséquilibrée et les tensions de source sont sinusoïdales et équilibrées. Pour cette simulation, la charge est constituée par un pont redresseur triphasé à diodes (paramètres définis dans le tableau

I-4) et par un pont redresseur monophasé à diodes connecté entre les phases 1 et 2 du réseau. Les valeurs de l'inductance et de la résistance en sortie du redresseur monophasé sont respectivement égales à 0,5 H et 100 Ω . Les THDs des courants i_c et $(i_c - i_{ref})$ sont mentionnés dans le tableau I.5.

On peut voir sur la figure I-28 que les signaux $(i_c - i_{ref})$ sont équilibrés et sinusoïdaux, quelle que soit la méthode mise en œuvre. En conclusion, les trois méthodes étudiées sont capables d'extraire correctement les composantes harmoniques directes et inverses des courants de charge.

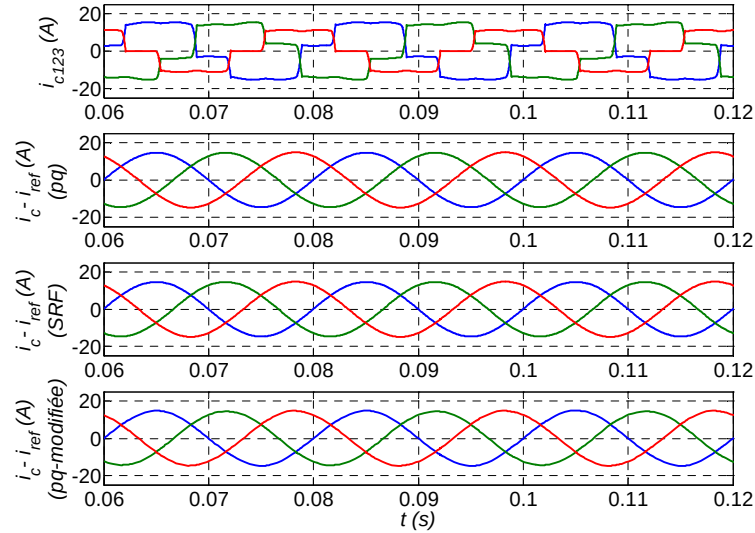


Figure I-28. Résultats de simulations pour les trois méthodes lorsque la charge est déséquilibrée.

Tableau I-5. THDs des courants i_c et $(i_c - i_{ref})$ lorsque la charge est déséquilibrée.

Phase	THD (%) i_c	THD (%) $(i_c - i_{ref})$		
		pq	SRF	$pq\text{-modifiée}$
1	27,06	0,42	0,45	0,68
2	28,11	0,42	0,42	0,62
3	28,15	0,44	0,47	0,69

I.5.1.3. Courants équilibrés et tensions équilibrées contenant des harmoniques

Dans cette section, nous allons étudier les performances des trois méthodes d'identification lorsque la charge est équilibrée et lorsque les tensions de source sont équilibrées et contiennent de l'harmonique de rang 5 (h_5). Les THDs des tensions de source et des courants de charge sont respectivement égaux à 20,03% et 22,87%. Les formes d'ondes du courant de charge et de la tension de source sont tracées à la figure I-29.

La figure I-30 présente les résultats de simulation obtenus dans ces conditions. Le THD du signal ($i_{c1}-i_{ref1}$) est égal à 20,48% pour la méthode pq , 4,48% pour la méthode SRF et 0,85% pour la méthode dite " pq -modifiée" que nous proposons dans ce mémoire. On peut alors en conclure que dans ces conditions, la méthode pq n'est pas adaptée et ne permet pas d'identifier correctement les composantes harmoniques des courants de charge. De plus, notons que les performances de la méthode SRF sont dégradées. L'influence des harmoniques de tension sur les performances de la PLL est à l'origine de cette dégradation (voir étude théorique à la section I.4.2.2.3).

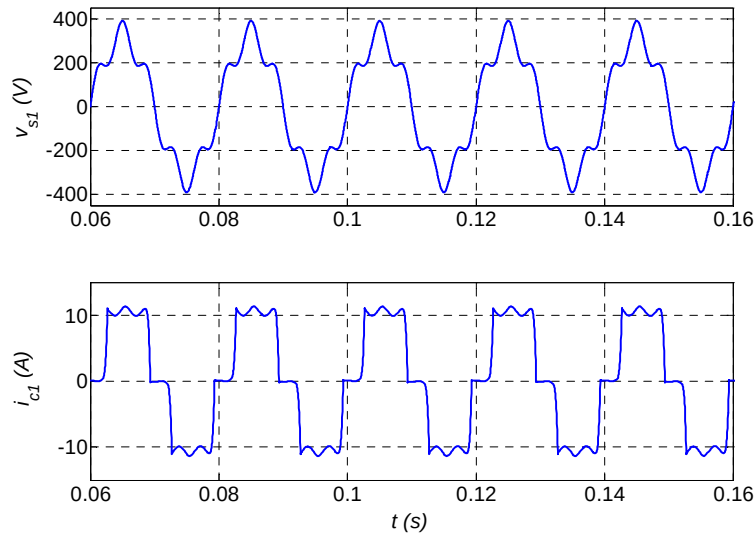


Figure I-29. Tension de source avec harmonique 5 et courant de charge (phase 1, signaux équilibrés).

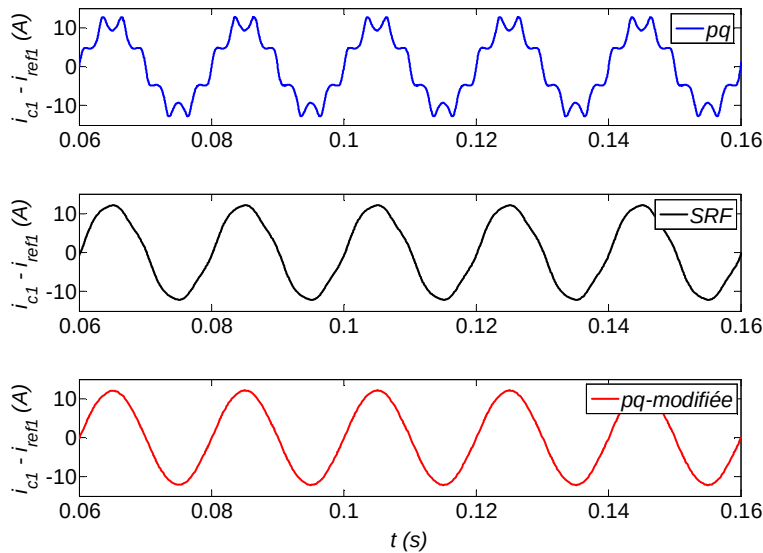


Figure I-30. Résultats de simulation pour les trois méthodes (tension de source équilibrée avec harmonique 5).

I.5.1.4. Courants harmoniques et tensions sinusoïdales déséquilibrés

Dans cette section, le redresseur triphasé à diodes présenté à la figure I-25 est alimenté par une source de tension déséquilibrée. Par conséquent, les trois courants i_{c1} , i_{c2} et i_{c3} sont déséquilibrés. Pour étudier l'influence de ce déséquilibre sur les performances des trois méthodes d'identification, le système a été simulé dans deux cas.

Dans le premier cas, les valeurs efficaces des tensions des phases 2 et 3 diffèrent respectivement de +10% et de -10% par rapport à la valeur efficace de la phase 1. Le courant de charge et la tension de source sont alors tracés à la figure I-31. Nous avons ici encore comparé les performances des trois méthodes; la figure I-32 illustre le comportement de chacune d'entre elles. Les THDs des courants de source obtenus pour ces trois méthodes sont mentionnés dans le tableau I-6. On peut constater que la méthode *pq* ne peut pas identifier correctement les harmoniques des courants de charge; par ailleurs, les performances de la méthode SRF sont dégradées de manière significative. L'influence des tensions déséquilibrées sur les performances de la PLL est à l'origine de cette dégradation (voir étude théorique de la section I.4.2.2.2). Enfin, la méthode proposée dans ce mémoire conduit au meilleur résultat avec un THD inférieur à 1%.

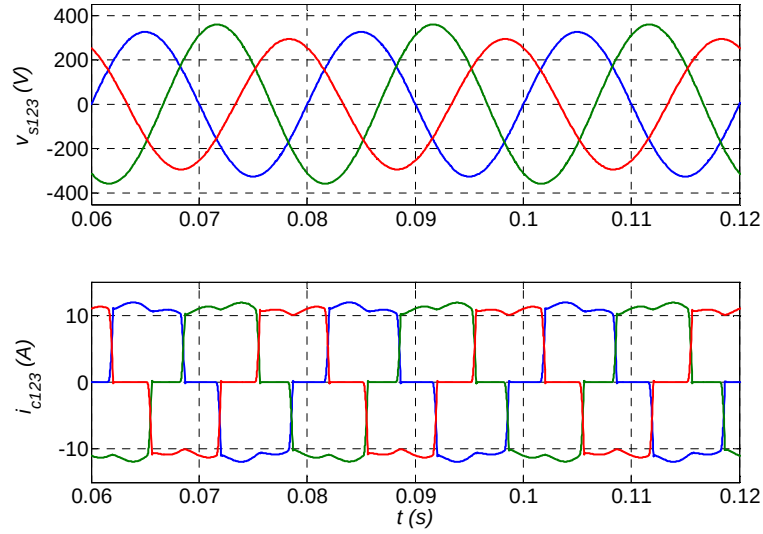


Figure I-31. Tensions de source (déséquilibrées $\pm 10\%$) et courants harmoniques.

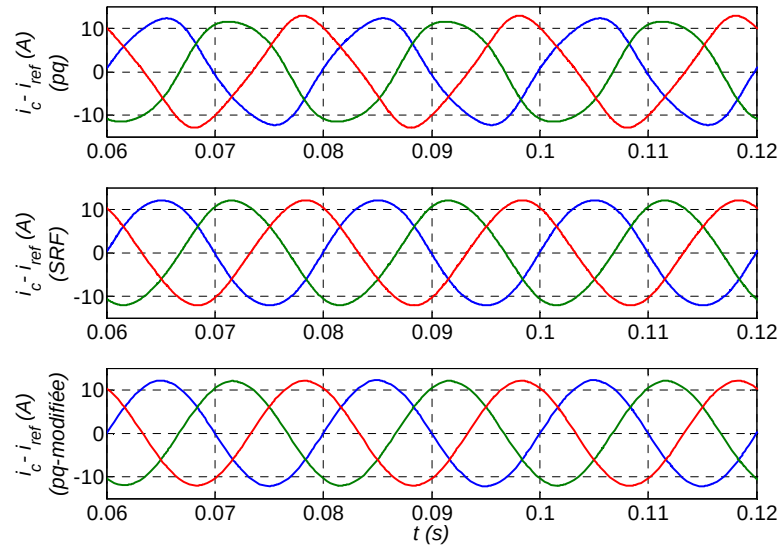

 Figure I-32. Résultats de simulation pour les trois méthodes (tensions de source déséquilibrées $\pm 10\%$).

 Tableau I-6. THDs des courants i_c et $(i_c - i_{ref})$ lorsque les tensions de source sont déséquilibrées ($\pm 10\%$).

Phase	V_s (V)	THD (%) i_c	THD (%) ($i_c - i_{ref}$)		
			pq	SRF	$pq\text{-modifiée}$
1	230	27,68	6,12	2,06	0,36
2	253	26,03	6,12	2,12	0,36
3	207	30,94	6,09	2,13	0,27

Dans le second cas, les valeurs efficaces des tensions des phases 2 et 3 diffèrent respectivement de $+30\%$ et de -30% par rapport à la valeur efficace de la phase 1. Les courants de charge et les tensions de source sont tracés à la figure I-33. La figure I-34 présente les courants obtenus pour chaque méthode. Les THDs obtenus sont rassemblés dans le tableau I-7. On peut constater que les méthodes pq et SRF ne permettent plus d'identifier correctement les harmoniques du courant de charge. En revanche, la nouvelle méthode proposée permet, ici encore, d'identifier les harmoniques et les performances obtenues sont satisfaisantes (THD des courants de source inférieur à 1%).

Les résultats de simulation présentés aux figures I-32 et I-34 confirment les études théoriques des sections I.4.2.1.2, I.4.2.2.2 et I.4.3.1.2. Les équations I.43, I.47 et I.57 sont alors validées. L'augmentation de la composante inverse de la tension, notée V_{inv} , contribue fortement à la dégradation des performances des méthodes pq et SRF. Par contre, l'influence de tensions déséquilibrées sur la méthode " $pq\text{-modifiée}$ " reste négligeable.

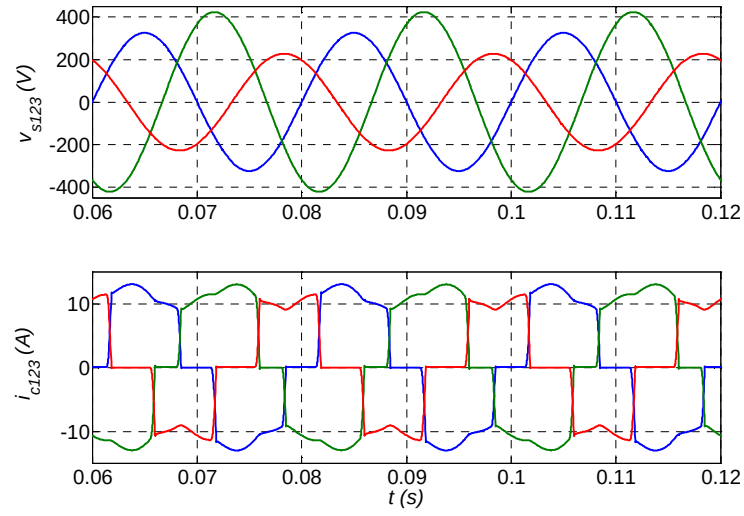
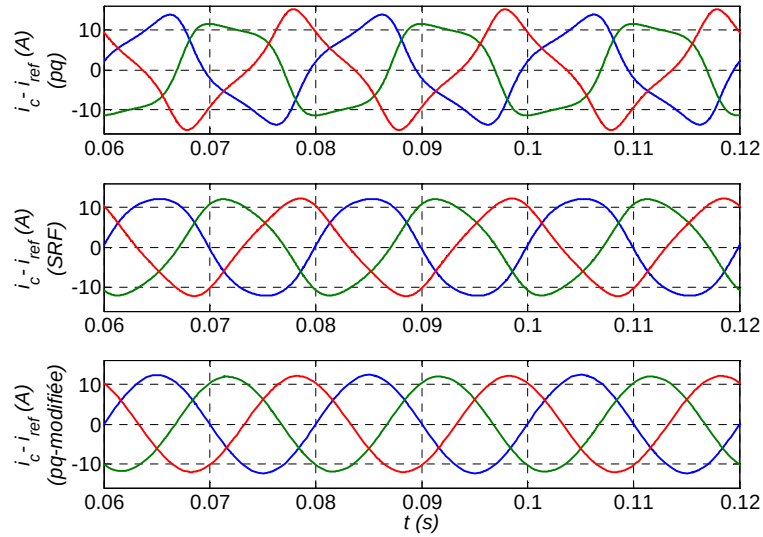

 Figure I-33. Tensions de source déséquilibrées ($\pm 30\%$) et courants harmoniques.

 Figure I-34. Résultats de simulations pour les trois méthodes lorsque les tensions de source sont déséquilibrées ($\pm 30\%$).

 Tableau I-7. THDs des courants i_c et $(i_c - i_{ref})$ lorsque les tensions de source sont déséquilibrées ($\pm 30\%$).

Phase	V_s (V)	THD (%) i_c	THD (%) ($i_c - i_{ref}$)		
			pq	SRF	$pq\text{-modifiée}$
1	230	26,77	18,60	6,02	0,58
2	299	23,02	18,72	6,40	0,69
3	161	37,34	18,40	6,61	0,47

I.5.2. Simulation de l'ensemble charge non-linéaire et FAP

Comme nous l'avons démontré dans la section précédente, la méthode d'identification "*pq-modifiée*" est capable d'identifier, en garantissant des performances satisfaisantes, les composantes harmoniques directes et inverses des courants de charge, même si les tensions de source sont déséquilibrées et/ou contiennent des harmoniques. Pour cette raison, nous retiendrons cette méthode pour identifier, dans la suite de nos travaux, les courants de référence du FAP.

Dans cette section, nous présentons dans un premier temps le choix des paramètres du FAP et analysons ensuite les résultats obtenus par simulation. Lors des simulations, la charge polluante et le réseau d'alimentation sont identiques à ceux décrits dans la section I.5.1.

I.5.2.1. Choix des paramètres du FAP

I.5.2.1.1. Partie puissance

- Choix de la tension de référence v_{dc-ref}

La tension de référence du bus continu doit être supérieure ou égale à la tension redressée maximale, soit $(v_{dc-ref})_{min} = \sqrt{6}V_s = 565 \text{ V}$. Elle doit également être inférieure à la tension nominale imposée par la limitation physique des semi-conducteurs de puissance. De plus, comme cela a été présenté à la section I.3.1.3 et afin de satisfaire la contrainte de contrôlabilité en courant, la condition suivante doit être respectée :

$$\sqrt{\frac{2}{3}}v_{dc-ref} \geq (v_s)_{max} + L_f \left(\frac{di_{ref}}{dt} \right)_{max} \quad (I.116)$$

Il existe donc une relation entre la valeur minimale de v_{dc-ref} et la valeur de l'inductance de découplage. Pour satisfaire cette condition, il faut alors fixer une de ces deux valeurs, soit v_{dc-ref} soit L_f . Nous avons fixé la tension de référence v_{dc-ref} à 700 V compte tenu des caractéristiques de la maquette expérimentale qui sera décrite au chapitre III.

- Choix de l'inductance L_f

Après avoir choisi v_{dc-ref} , on peut déterminer l'inductance de découplage à partir de l'équation (I.116). La pente maximale du courant de référence, figurant dans cette équation, a été obtenue par simulation (voir figure I-27) et est égale à 0,054 A/ μ s en régime permanent.

A partir de l'équation (I.116), nous obtenons :

$$L_f \leq \frac{\sqrt{\frac{2}{3}} \cdot 700 - \sqrt{2} \cdot 230}{54000} \quad (\text{I.117})$$

Soit $L_f \leq 4,5 \text{ mH}$.

Nous avons choisi une inductance de valeur égale à 3 mH pour avoir une marge de contrôlabilité du courant afin de garantir le bon fonctionnement du système lors de variations de charge.

- *Choix de la capacité C_{dc}*

Nous avons choisi une capacité de valeur égale à 1100 μF selon les caractéristiques de la maquette expérimentale décrite au chapitre III.

I.5.2.1.2. Partie contrôle

- *Choix des paramètres du régulateur de la tension continue*

Les paramètres k_c et τ_c du régulateur de la tension continue peuvent être déterminés à partir de la fonction de transfert décrite par l'équation (I.115). Pour un paramètre ζ égal à 0,6 et une fréquence de coupure ω_c , égale à 100 rad/s, on obtient un gain du régulateur, k_c , égal à 0,04 et une constante de temps du filtre du premier ordre, τ_c , égale à 8 ms. Avec ces valeurs, le temps de montée et le temps de réponse de la boucle de régulation de la tension continue (voir figure I-24) sont respectivement de l'ordre de 20 ms et 60 ms, lors d'un échelon unitaire.

- *Choix du paramètre du FMV*

Comme cela a été noté à la section I.4.3.1.2, une diminution de la valeur de K augmente la sélectivité du FMV et réduit les valeurs de G_{hd} et G_{hinv} . Cependant, une réponse dynamique plus lente est l'inconvénient majeur des faibles valeurs de K . Par conséquent, la valeur de K doit être correctement choisie afin d'obtenir des performances dynamiques acceptables tout en garantissant la sélectivité du filtre. D'autre part, afin d'éviter des interférences entre les composantes alternatives de la puissance active instantanée, $\tilde{p}$, et la consigne de puissance active p_c (voir figure I-13), la réponse dynamique du FMV doit être plus rapide que celle de la boucle de régulation de la tension continue. Selon cette condition, la valeur de K peut être correctement choisie. Nous avons choisi K égal à 80. Avec ce choix, la constante de temps du FMV est égale à 12,5 ms (Cf. tableau I-3). De ce fait, la réponse dynamique du FMV sera plus rapide que celle de la boucle de contrôle de la tension.

- Choix des paramètres du contrôleur de courant

L'amplitude du signal triangulaire A_t et la largeur de bande d'hystérésis B_h peuvent être déterminés à partir des équations (I.110) et (I.111). Dans un premier temps, nous avons choisi le terme entre crochet de l'équation (I.111) égale à 0,1. Avec ce choix et en fixant la fréquence du signal triangulaire à 20 kHz, on obtient A_t et B_h respectivement égaux à 1,4 A et 0,07 A. Ce couple (A_t , B_h), sera utilisé comme point de départ afin de trouver le couple optimal dans la section I.5.2.2.1.

I.5.2.2. Résultats de simulation

Dans cette section, nous présentons les performances du FAP mettant en œuvre la méthode "pq-modifiée" et le contrôleur de courant "hystérésis modulée". Nous examinerons ces performances dans différentes conditions de courant et/ou de tension. Les paramètres du FAP étudié sont rassemblés dans le tableau I-8. Nous étudierons l'influence des paramètres A_t et B_h sur les performances du FAP à la section suivante. Les résultats de cette étude conduisent à trouver les valeurs optimales de ces paramètres. Ces valeurs seront utilisées dans toutes les simulations qui suivent.

Tableau I-8. Paramètres du FAP.

Partie puissance		$v_{dc-ref} = 700 \text{ V}$, $C_{dc} = 1100 \text{ } \mu\text{F}$, $L_f = 3 \text{ mH}$
Partie contrôle	Régulateur de tension	$k_c = 0,04$, $\tau_c = 8 \text{ ms}$
	FMV	$K = 80$
	Hystérésis modulée	$f_t = 20 \text{ kHz}$ $A_t = 1,4 \text{ A}$, $B_h = 0,07 \text{ A}$ (avant optimisation) $A_t = 2,5 \text{ A}$, $B_h = 0,1 \text{ A}$ (après optimisation)

I.5.2.2.1. Influence des paramètres A_t et B_h

La figure I-35 illustre l'influence de l'amplitude du signal triangulaire A_t et de la largeur de bande d'hystérésis B_h sur le THD des courants de source. Nous constatons que le THD varie sensiblement avec la variation du paramètre A_t et l'influence de B_h sur le THD est faible. Une augmentation de B_h diminue légèrement le THD, mais peut conduire à une fréquence de commutation variable non souhaitable pour les interrupteurs. A B_h fixé, les figures I.35 (a) et (c) montrent que le THD prend une valeur minimale selon la valeur de A_t . Toute augmentation ou diminution de A_t par rapport à cet optimum cause davantage de distorsion. De plus, de faibles valeurs de A_t conduisent à une fréquence de commutation variable (d'où les zones interdites sur les figures I-35 (a) et (b)).

La figure I-36 propose une représentation du domaine à l'intérieur duquel tout couple (A_t , B_h) permet d'obtenir un fonctionnement à fréquence de commutation fixée (ici 20 kHz).

Nous remarquons que les couples (A_t, B_h) obtenus à partir des équations (I.110) et (I.111) sont effectivement des points de fonctionnement à fréquence de commutation fixe.

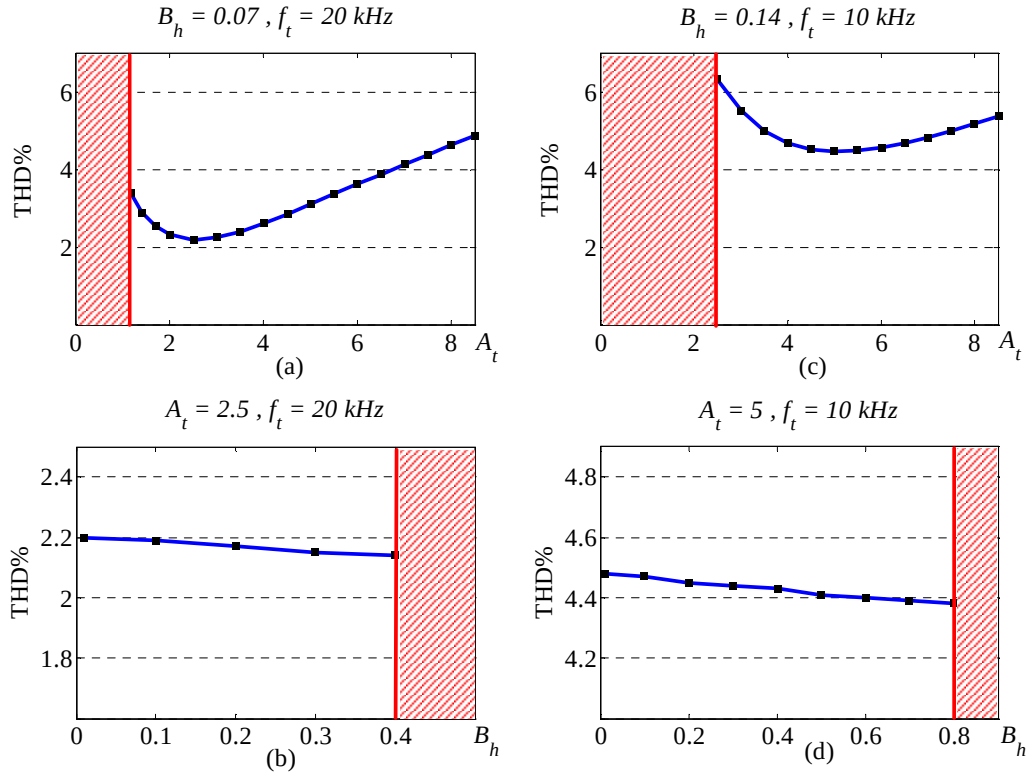


Figure I-35. Influence de A_t et B_h sur le THD des courants de source.

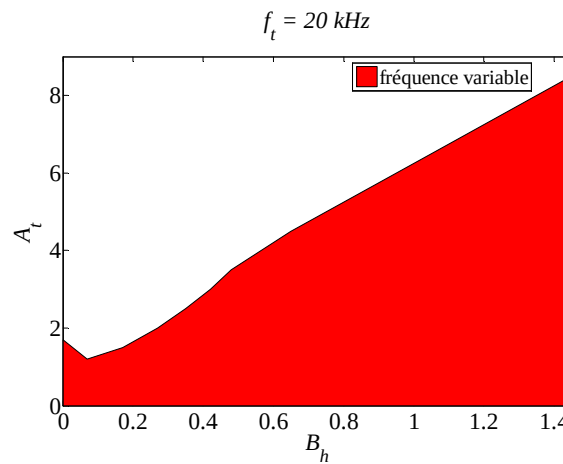


Figure I-36. Domaine du fonctionnement à fréquence de commutation fixée.

I.5.2.2.2. Courants harmoniques et tensions sinusoïdales équilibrés

La figure I-37 présente les résultats obtenus lorsque les tensions de source sont triphasées équilibrées et ne contiennent pas d'harmonique et lorsque la charge est triphasée équilibrée. Dans ce cas, le THD du courant de source est réduit de 28,06% à 2,2% après filtrage. De plus, la fréquence de commutation des interrupteurs est effectivement fixée à 20 kHz. Les spectres harmoniques du courant de source avant et après filtrage sont présentés à la figure I-38. On peut noter qu'une légère différence existe entre la composante fondamentale du courant de charge et celle du courant de la source. Cette différence est due à la consigne p_c permettant de réguler la tension v_{dc} (Cf. équation (I.84)).

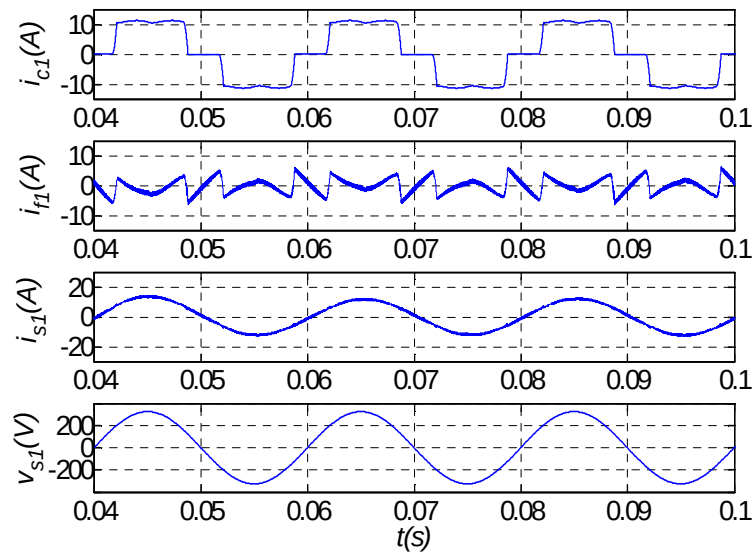


Figure I-37. Résultat de simulation (charge et source équilibrées).

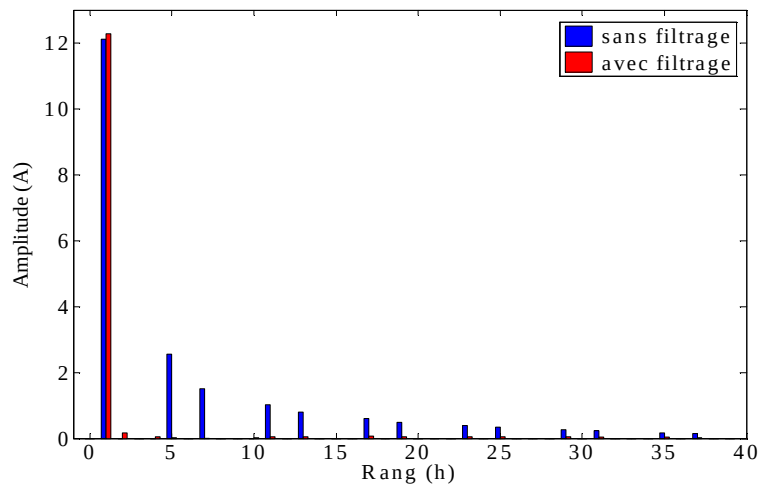


Figure I-38. Spectre harmonique du courant i_{s1} avec et sans filtrage.

I.5.2.2.3. Courants harmoniques et tensions sinusoïdales déséquilibrés

La figure I-39 présente les résultats de simulation obtenus lorsque la charge non-linéaire et les tensions de source sont déséquilibrées. Pour cette simulation, la charge est celle décrite à la section I.5.1.2; les valeurs efficaces des tensions des trois phases sont les suivantes : $V_{s1} = 276$ V, $V_{s2} = 230$ V et $V_{s3} = 184$ V. Dans ce cas, les THDs des courants de source avant filtrage sont les suivants, notés dans l'ordre des phases 1, 2 et 3 : 22,99%, 26,85% et 33,86%. Ces THDs deviennent respectivement égaux à 2,42%, 2,57 et 2,65% après filtrage. Notons qu'après filtrage les courants i_{s1} , i_{s2} et i_{s3} sont équilibrés.

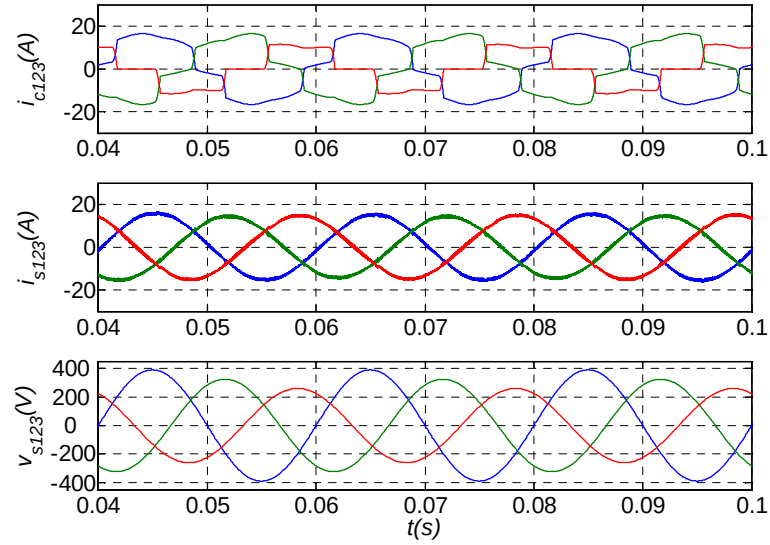


Figure I-39. Résultats de simulation (courant de charge et tension de source déséquilibrés).

I.5.2.2.4. Variation de charge

Les performances de la méthode proposée lors d'une variation de charge sont illustrées à la figure I-40. Dans ce cas, le courant de charge est augmenté de 50% à $t = 0,1$ s. Comme on peut le constater, le courant de source reste sinusoïdal; son régime permanent est atteint après une période (après la variation de la charge).

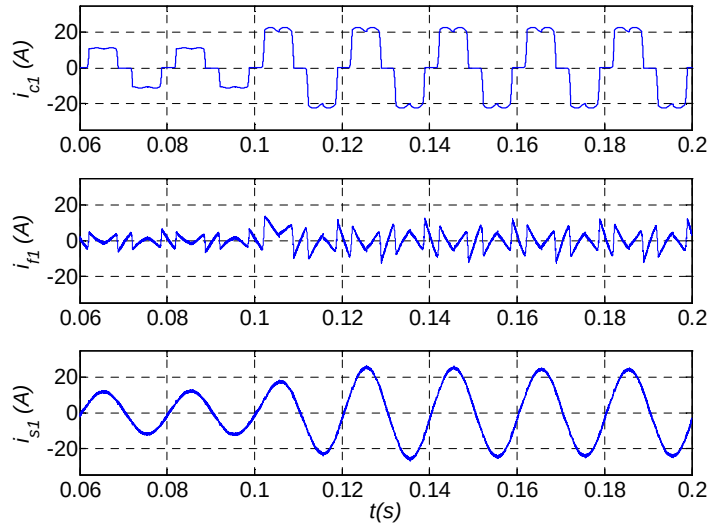


Figure I-40. Résultats de simulation lors d'une variation de charge.

I.5.2.2.5. Correction du facteur de puissance

Pour compléter cette étude, une charge inductive triphasée de 3 kVar est alors connectée en parallèle avec le pont redresseur à diodes présenté à la section I.5.1. La figure I-41 présente les résultats de simulation obtenus lorsque la compensation de puissance réactive n'a pas été mise en œuvre ($i_{q\alpha}$ et $i_{q\beta}$ sont alors égaux à zéro dans les équations (I.80 et I.81)). Comme on peut le constater, le courant de source est en retard sur la tension de source. La figure I-42 présente les résultats obtenus lorsque la compensation de puissance réactive est activée. Dans ce cas, les courants de référence comportent une composante réactive destinée à compenser la puissance réactive. Ainsi, les courants harmoniques et la puissance réactive peuvent être simultanément compensés. Comme on peut le constater sur la figure I-42, le courant de source est sinusoïdal et en phase avec la tension de source.

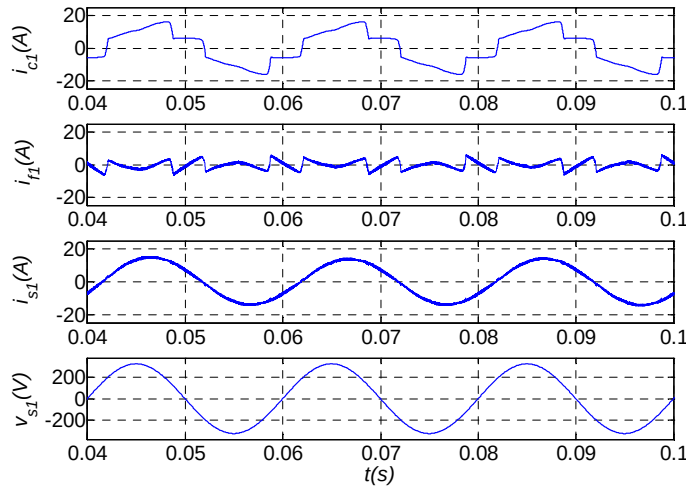


Figure I-41. Filtrage actif seul sans compensation de la puissance réactive.

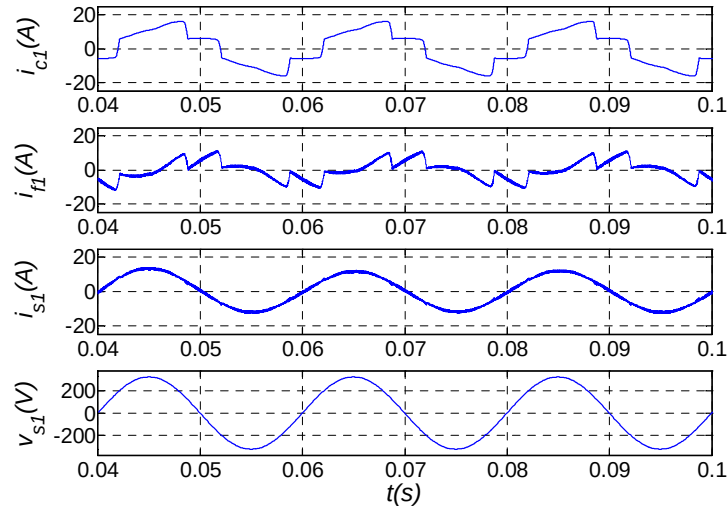


Figure I-42. Filtrage actif avec compensation de la puissance réactive.

I.6. Conclusion

Dans ce chapitre, nous avons d'abord présenté les différentes topologies et les éléments constitutifs d'un FAP triphasé à structure tension. Ce FAP permet de compenser les harmoniques de courant générés par des charges non-linéaires, connectées à un réseau électrique à trois fils. Nous avons ensuite successivement étudié chacun des éléments de la partie contrôle du FAP :

- l'identification des courants de référence;
- la poursuite des courants de référence;
- la régulation de la tension continue.

De même, pour la partie puissance, nous avons étudié le dimensionnement de l'onduleur, de l'élément de stockage et du filtre de sortie.

Dans ce chapitre également, nous avons étudié et comparé les performances des méthodes classiques d'identification des courants perturbés (méthodes *pq* et SRF), notamment lorsque les tensions de source sont déséquilibrées. Les résultats de cette étude ont montré que les composantes perturbatrices des tensions (harmoniques et déséquilibre) introduisent des composantes non désirées des puissances instantanées qui faussent de manière importante l'identification des courants de référence dans le cas de la méthode *pq*. De même, la présence de ces composantes (harmoniques et déséquilibre) des tensions de source perturbe fortement les signaux en sortie de la PLL, classiquement mise en œuvre. Cet effet dégrade également les performances de la méthode dite SRF.

Partant de ce constat, nous avons proposé une version modifiée de la méthode *pq*, basée sur l'utilisation de FMVs, afin d'améliorer l'identification des courants de référence en présence de composantes perturbatrices des tensions de source (harmoniques et déséquilibre). Nous avons

montré, analytiquement et par simulation, que la méthode proposée est capable d'identifier correctement les composantes harmoniques directes et inverses des courant de charge, même si les tensions de source sont perturbées. Cette méthode "*pq-modifiée*" présente en outre un avantage majeur : elle peut être facilement réalisée numériquement, comparativement aux autres méthodes basées sur l'utilisation d'une PLL.

Nous avons choisi la méthode dite "*hystérésis modulée*" pour poursuivre les courants de référence. Cette méthode permet d'une part, d'imposer une fréquence de commutation fixe et d'autre part, elle garantit une dynamique satisfaisante en régime transitoire. De plus, l'erreur de poursuite peut être minimisée si ses paramètres (amplitude du signal triangulaire A_t et largeur de bande d'hystérésis B_h), sont correctement dimensionnés. Dans ce chapitre, nous avons étudié le principe de cette méthode, le dimensionnement des paramètres A_t et B_h et l'influence de ces paramètres sur la robustesse de cette méthode. Les résultats obtenus par simulation pour le FAP étudié ont montré que le THD du courant de la source varie sensiblement lorsque le paramètre A_t varie alors que l'influence de B_h sur le THD est faible. L'augmentation de B_h diminue légèrement le THD, mais peut conduire à une fréquence de commutation variable. De plus, nous avons montré que le THD présente un minimum en fonction de A_t . Toute augmentation ou diminution de A_t par rapport à cet optimum engendre davantage de distorsion. D'autre part, de faibles valeurs du paramètre A_t causent également une variation de la fréquence de commutation.

Finalement, nous avons étudié par simulation les performances d'un FAP triphasé, contrôlé par les méthodes proposées, à savoir "*pq-modifiée*" et "*hystérésis modulée*" dans différentes conditions de courants et/ou de tensions. Les résultats obtenus ont confirmé l'efficacité de nos méthodes.

Chapitre II : Continuité de service des convertisseurs triphasés à structure tension

II.1. Introduction

Les convertisseurs statiques triphasés à structure tension sont les composantes essentielles de nombreux systèmes d'électronique de puissance telles que les variateurs de vitesse pour machines alternatives, les alimentations sans interruption et les filtres actifs. Concernant leur fonctionnement, sécurité, fiabilité, performances, qualité et continuité de service sont quelques-unes des préoccupations majeures. Les défauts qui peuvent survenir, qu'ils proviennent de la commande rapprochée du convertisseur (par exemple, défauts d'un des drivers), d'un des capteurs ou d'un des composants de puissance commandables (de type IGBT par exemple), conduisent à la perte de contrôle totale ou partielle de courant. Ceux-ci peuvent provoquer le dysfonctionnement du système, voire l'interruption complète de son fonctionnement. En outre, si le défaut n'est pas rapidement détecté et compensé, il peut dans certains cas mettre gravement en danger le fonctionnement du système [Mendes, 2007]. Par conséquent, afin d'empêcher la propagation du défaut aux autres composants et assurer la continuité de service en toute circonstance en présence d'un tel défaut, des méthodes efficaces et rapides de détection et de compensation du défaut doivent être adoptées.

Dans ce chapitre nous allons proposer deux méthodes différentes permettant de détecter rapidement les défauts éventuels des semi-conducteurs et des capteurs de courant et de les compenser.

II.2. Convertisseurs triphasés à structure tension tolérant les défauts de semi-conducteurs et de drivers

Récemment, le comportement des convertisseurs statiques lors du défaut d'un semi-conducteur de puissance ou d'un driver ainsi que les topologies dites "fault tolerant" associées ont fait l'objet de publications internationales. Dès 1994, *Kastha et Bose* ont présenté une étude systématique des conséquences des défauts d'un l'onduleur de tension alimentant une machine asynchrone [Kastha, 1994]. Cependant, ils n'ont pas proposé de méthode permettant de détecter ces défauts. *Peuget et al.* ont présenté une méthode de détection de défaut basée sur le suivi de la trajectoire du vecteur courant de phase [Peuget, 1998]. En effet, en condition normale (sans défaut) la trajectoire de ce vecteur courant dans le repère $\alpha\beta$ est un cercle. Ce cercle devient un demi-cercle lors d'un défaut de type circuit-ouvert d'un bras, causé par une défaillance au niveau d'un interrupteur bloqué à l'état ouvert. La position de ce demi-cercle dans le repère $\alpha\beta$ identifie alors l'interrupteur défectueux. *Mendes et Cardoso* ont quant à eux proposé d'utiliser la valeur moyenne des courants de phase dans le repère de Park pour le diagnostic de défaut de type circuit-ouvert [Mendes, 1999]. Les méthodes proposées ci-dessus ont été appliquées au seul cas des machines électriques et nécessitent au moins une période du fondamental des courants de phase pour détecter le défaut.

Plus récemment encore, la réduction du temps nécessaire à la détection du défaut (délai entre l'apparition du défaut et sa détection) a fait l'objet de travaux de recherche. *Ribeiro et al.* ont alors proposé d'utiliser des capteurs de tension supplémentaires pour la détection de défauts de types circuit-ouvert ou court-circuit [Ribeiro, 2001] et [Ribeiro, 2002]. Ils ont montré qu'à l'aide de la mesure des trois tensions entre chaque phase du convertisseur et le point milieu des 2 condensateurs de la source continue (appelées conventionnellement "pole voltage" en anglais) et leurs comparaisons avec les tensions estimées, le défaut peut être alors détecté en un quart de période du fondamental des courants de phase. *Yu et al.* et aussi *Shamsi-Nejhad et al.* utilisent les tensions mesurées aux bornes des interrupteurs du bas de chaque bras pour détecter le défaut, [Yu, 2006] et [Shamsi-Nejad, 2008]. Ils ont également montré qu'à partir de ces tensions mesurées et de leurs comparaisons avec un seuil, le défaut peut être détecté dans un quart de période du fondamental des courants de phase. Le tableau II-1 compare les méthodes citées auparavant en termes de limites d'application, de temps de détection et de nombre de capteurs supplémentaires nécessaires.

Tableau II-1. Comparaison des méthodes de détection de défaut au niveau des semi-conducteurs de puissance (fréquence fondamentale de 50 Hz).

Principe de la méthode	Limite d'application	Temps de détection	Nombre. de capteurs supplémentaires
Suivi de la trajectoire du vecteur courant de phase [Peuget, 1998]	Machines électriques	> 20 ms	–
Valeur moyenne des courants de phase dans le repère de Park [Mendes, 1999]	Machines électriques	> 20 ms	–
Mesure des tensions "pole voltage" du convertisseur [Ribeiro, 2001]	–	> 5 ms	3
Mesure des tensions aux bornes des interrupteurs [Yu, 2006]	–	> 5 ms	3

Dans la suite, nous proposons une nouvelle méthode rapide de détection du défaut d'un des semi-conducteurs ou des drivers d'un convertisseur triphasé à structure tension. Cette méthode permet de réduire considérablement le temps de détection. Nous montrerons qu'un défaut peut être détecté en moins de 10 μ s, en utilisant un algorithme basé simultanément sur un "critère temporel" et sur un "critère de tension". De ce fait, on peut d'une part détecter rapidement le défaut (rôle du critère de tension) et d'autre part éviter la détection erronée d'un défaut suite à la commutation d'un des semi-conducteurs (rôle du critère temporel). Afin de valider expérimentalement cette méthode, une implantation matérielle sur cible FPGA (Field Programmable Gate Array) peut être avantageusement utilisée. Ce mode d'implantation numérique apporte de nombreux avantages : possibilité de réduire la période d'échantillonnage, peu sensible aux perturbations, possibilité d'intégration complète du système de commande dans un unique composant FPGA et reprogrammation rapide [Rodriguez, 2007].

II.2.1. Topologies "fault tolerant"

Comme cela a été présenté à la section I.3.1 et pour un réseau triphasé à trois fils, il existe deux topologies classiques de convertisseurs triphasés à structure tension : les topologies dites "trois bras" et "deux bras". A partir de ces topologies, on peut donc envisager deux topologies "fault tolerant", décrites à la figure II-1.

La première topologie (figure II-1a) comporte un bras supplémentaire destiné à remplacer le bras défectueux en cas de défaillance. Pour cette topologie et après reconfiguration, le fonctionnement du convertisseur reste inchangé car le convertisseur a la même topologie après reconfiguration qu'avant l'apparition du défaut.

Dans le cas de la deuxième topologie (figure II-1b), le convertisseur passe d'une topologie "trois bras" avant reconfiguration à une topologie "deux bras" après reconfiguration. Par conséquent et comme cela a été présenté à la section I.3.1.3, pour atteindre des performances satisfaisantes après reconfiguration, la tension de référence v_{dc-ref} doit être doublée par rapport à la référence de la topologie initiale à "trois bras". Ainsi, les semi-conducteurs employés dans cette deuxième topologie "fault tolerant" doivent supporter des tensions deux fois plus grandes que dans le cas de la première topologie [Karimi, 2008-6].

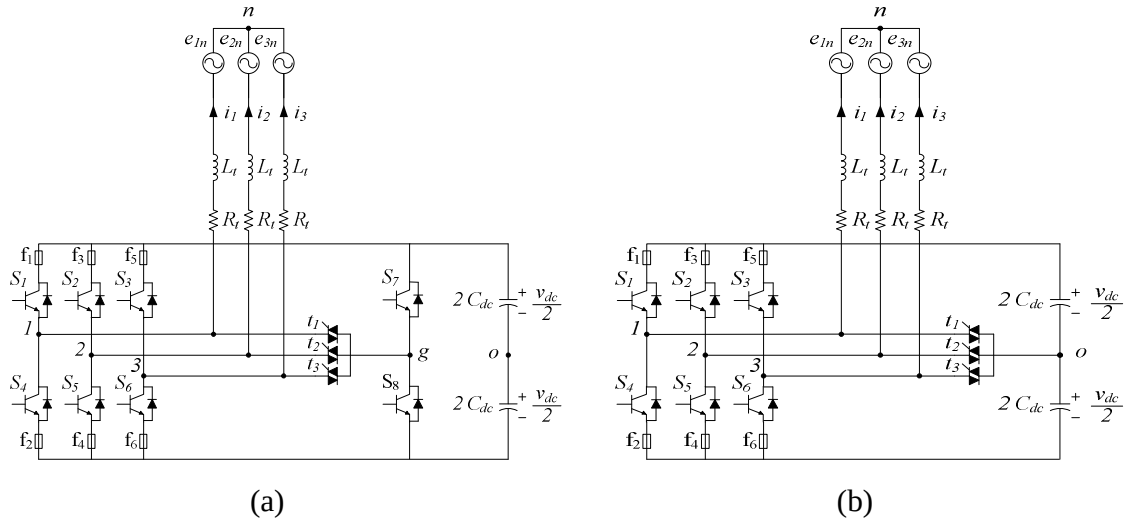


Figure II-1. Topologies "fault tolerant": (a) avec bras redondant; (b) sans bras redondant.

A la figure II-1, les paramètres R_t , L_t et e_{kn} ($k = \{1, 2, 3\}$) représentent respectivement la résistance, l'inductance et la tension du modèle de Thévenin équivalent du système auquel le convertisseur triphasé à structure tension est connecté. Lorsqu'un des semi-conducteurs ($S_1 - S_6$) ou un des drivers est défaillant, l'apparition du défaut est détectée. Le bras défectueux doit alors être rapidement isolé. Si le défaut détecté est un circuit-ouvert, l'isolation du bras défaillant est réalisée par la mise à '0' des ordres de commande des deux interrupteurs de ce bras. Dans le cas

d'un court-circuit, le bras défectueux est isolé par les fusibles connectés en série avec chaque semi-conducteur.

Après la détection du défaut et l'isolation du bras défaillant, un module de reconfiguration commande à la fermeture l'interrupteur bidirectionnel en tension et en courant t_k ($k = \{1, 2, 3\}$) connecté au bras k défectueux. La fermeture de cet interrupteur permet de relier la phase défectueuse au point milieu soit du bras redondant, soit du bus continu, selon la topologie de convertisseur "fault tolerant" considérée.

En résumé, en cas d'apparition d'un défaut au niveau du bras numéroté k ($k = \{1, 2, 3\}$), la continuité de service est réalisée selon les étapes suivantes:

- Détection du bras défectueux numéroté k (détaillée dans la section suivante);
- Mise à '0' des ordres de commande des deux interrupteurs de ce bras défectueux;
- Commande à la fermeture de l'interrupteur bidirectionnel t_k ;
- Dans le cas de la topologie de la figure II-1 (a) uniquement, application des ordres de commande des interrupteurs du bras défectueux aux deux interrupteurs du bras redondant;
- Inhibition de la fonction "détection de défaut"; Nous ne disposons en effet que d'une seule possibilité de reconfiguration de la topologie du convertisseur.

II.2.2. Détection de défaut au niveau d'un semi-conducteur

La méthode de détection de défaut proposée dans ces travaux est basée sur la comparaison entre les tensions v_{ko} ($k = \{1, 2, 3\}$) mesurées et estimées, respectivement notées v_{kom} et v_{koes} . Chaque tension v_{ko} estimée est obtenue à partir de la relation :

$$v_{koes} = (2\delta_k - 1) \frac{v_{dc}}{2} \quad (II.1)$$

Où $\delta_k = \{0, 1\}$ représente l'ordre de commande envoyé à l'interrupteur S_k ($k = \{1, 2, 3\}$) du haut du bras k .

Le défaut éventuel peut alors être détecté par l'analyse de la différence entre v_{kom} et v_{koes} . Cette erreur de tension est donc définie par :

$$\mathcal{E}_{ko} = v_{kom} - v_{koes} \quad (II.2)$$

Dans la première partie de cette étude et afin d'explicitier progressivement la méthode de détection proposée dans ce manuscrit, nous supposons que les interrupteurs S_k ($k = \{1, 2, 3\}$) sont idéaux. Selon cette supposition et dans des conditions normales de fonctionnement (sans défaut), les tensions v_{kom} et v_{koes} sont égales et, par conséquent, le signal d'erreur $\mathcal{E}_{ko}$ est toujours

égal à zéro. L'expression de cette erreur de tension ε_{ko} ainsi que le fonctionnement du convertisseur en cas de défauts de types circuit-ouvert et court-circuit sont examinés à la section suivante.

II.2.2.1. Défaut de type "circuit-ouvert"

Dans cette section, nous considérons un défaut de type "circuit-ouvert" du bras k , suite à une défaillance au niveau de l'interrupteur S_k ($k = \{1, 2, 3\}$) bloqué à l'état ouvert. Nous présentons dans la suite les expressions analytiques de l'erreur de tension ε_{ko} et de la tension mesurée v_{kom} . Un défaut de type "circuit-ouvert" réduit la phase k du système au circuit équivalent présenté à la figure II-2. Dans ce circuit, la tension mesurée v_{kom} et l'erreur de tension ε_{ko} dépendent du courant i_k et de l'ordre de commande de S_k . Deux cas doivent être considérés lors de l'analyse théorique du fonctionnement de la phase k du convertisseur lors d'un tel défaut. Dans le premier cas, i_k est considéré positif et dans le second, il est considéré négatif.

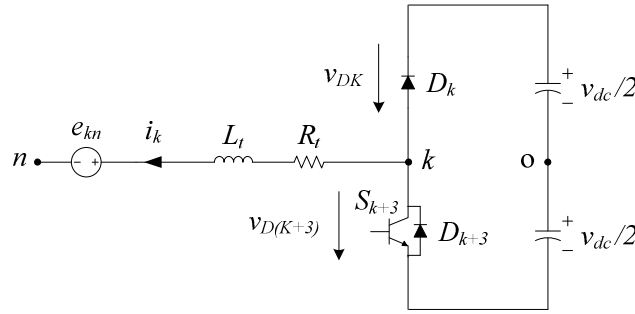


Figure II-2. Circuit équivalent de la phase k lors du défaut "circuit-ouvert" de S_k ($k = \{1, 2, 3\}$).

II.2.2.1.1. Analyse théorique du fonctionnement de la phase k lorsque $i_k > 0$

La tension estimée v_{koes} ne dépend que de l'ordre de commande δ_k et de v_{dc} (Cf. équation II.1). L'expression de la tension mesurée v_{kom} dépend quant à elle du signe du courant i_k . La figure II-2 montre que si $i_k > 0$ lors de l'apparition du défaut de type "circuit-ouvert" alors que S_k conduisait, la diode D_{k+3} se met à conduire. La tension mesurée v_{kom} est donc égale à $-v_{dc}/2$ quel que soit l'ordre de commande δ_k . Le tableau II-2 rassemble notamment les expressions analytiques de l'erreur de tension ε_{ko} .

Tableau II-2. Etude d'un défaut de type "circuit-ouvert" au niveau du bras k lorsque $i_k > 0$.

δ_k	D_k	D_{k+3}	v_{kom}	v_{koes}	ε_{ko}
1	bloquée	passante	$-\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	$-v_{dc}$
0	bloquée	passante	$-\frac{v_{dc}}{2}$	$-\frac{v_{dc}}{2}$	0

On constate que lorsque $i_k > 0$, un défaut n'est détecté, à juste titre, que si $\delta_k = 1$ ($\delta_{k+3} = 0$). Dans les autres cas, le bras k fonctionne correctement et l'erreur de tension est alors égale à zéro. La méthode proposée est donc validée lorsque $i_k > 0$.

II.2.2.1.2. Analyse théorique du fonctionnement de la phase k lorsque $i_k < 0$

Si le défaut se produit au niveau de l'interrupteur S_k ($k = \{1, 2, 3\}$) lorsque $i_k < 0$, l'expression de la tension mesurée v_{kom} dépend de l'ordre de commande δ_k (voir figure II-2) :

$$\text{Si } \delta_k = 0 \text{ (} \delta_{k+3} = 1 \text{)} \Rightarrow v_{kom} = -\frac{v_{dc}}{2} \quad (\text{II.3a})$$

$$\text{Si } \delta_k = 1 \text{ (} \delta_{k+3} = 0 \text{)} \Rightarrow v_{kom} = \frac{v_{dc}}{2} \quad (\text{II.3b})$$

Lorsque $\delta_k = 0$ ($\delta_{k+3} = 1$), l'interrupteur S_{k+3} est fermé et la tension mesurée v_{kom} est alors égale à $-v_{dc}/2$ (équation II.3a). Lorsque $\delta_k = 1$ ($\delta_{k+3} = 0$), c'est la diode D_k qui conduit et la tension mesurée v_{kom} est donc égale à $v_{dc}/2$ (équation II.3b).

Le tableau II-3 rassemble notamment les expressions analytiques de l'erreur de tension $\mathcal{E}_{ko}$.

Tableau II-3. Etude d'un défaut de type "circuit-ouvert" au niveau du bras k lorsque $i_k < 0$.

δ_k	D_k	D_{k+3}	v_{kom}	v_{koes}	$\mathcal{E}_{ko}$
1	passante	bloquée	$\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	0
0	bloquée	bloquée	$-\frac{v_{dc}}{2}$	$-\frac{v_{dc}}{2}$	0

On constate que lorsque $i_k < 0$, le défaut n'est pas détecté, car le bras k fonctionne correctement et l'erreur de tension est alors, à juste titre, égale à zéro. Cependant, lorsque le courant i_k viendra à passer par zéro, il peut rester égal à zéro ou pas selon l'état des diodes D_k et D_{k+3} et l'ordre de commande δ_k : c'est l'objet de l'étude qui suit. Nous étudions dans la suite le fonctionnement de la phase k lors du passage à zéro du courant i_k alors qu'un défaut de type "circuit-ouvert" est apparu lorsque $i_k < 0$. De plus, nous vérifions la performance de la méthode proposée lorsque le courant i_k reste égal à zéro.

Selon les lois de Kirchhoff, nous obtenons les équations suivantes pour ($k = \{1, 2, 3\}$) :

$$L_t \frac{di_k}{dt} + R_t i_k + e_{kn} - v_{kn} = 0 \quad (\text{II.4})$$

En supposant les tensions du réseau équilibrées et sachant que la somme des courants i_k du convertisseur égale à 0 (Cf. l'équation (I.4)), nous en déduisons:

$$v_{1n} + v_{2n} + v_{3n} = 0 \quad (\text{II.5})$$

Les tensions de sortie du convertisseur peuvent être définies par:

$$v_{kn} = v_{ko} + v_{on} \quad (\text{II.6})$$

A partir des équations (II.5) et (II.6), nous obtenons :

$$v_{on} = -\frac{1}{3}(v_{1o} + v_{2o} + v_{3o}) \quad (\text{II.7})$$

Rappelons que, dans cette section, nous supposons qu'un défaut de type "circuit-ouvert" s'est produit au niveau de S_k ($k = \{1, 2, 3\}$) alors que $i_k < 0$. Dans ce cas, nous avons démontré que le bras k fonctionne correctement tant que le courant i_k reste négatif. Supposons qu'après l'instant de passage à zéro du courant i_k , ce courant reste égal à zéro. Cette supposition correspond au cas où $\delta_k = 1$ alors que les diodes D_k et D_{k+3} sont bloquées. Il faut noter que l'on ne considère pas dans cette étude le cas $\delta_k = 0$ car nous avons montré que le bras nombre k fonctionne correctement dans cette condition.

En considérant de cette supposition ($\delta_k = 1$ et $i_k = 0$), la tension de sortie du convertisseur, notée ici v_{kn} , devient égale à la tension e_{kn} (Cf. équation II.4). Par conséquent, la tension v_{ko} peut être déterminée à partir de l'équation II.6 selon l'équation suivante:

$$v_{ko} = v_{kn} - v_{on} = e_{kn} - v_{on} \quad (\text{II.8})$$

A partir des équations (II.7) et (II.8), on établit :

$$v_{on} = -\frac{1}{2}(v_{io} + v_{jo} + e_{kn}) \quad (i \neq j \neq k \in \{1, 2, 3\}) \quad (\text{II.9})$$

Les tensions aux bornes des diodes D_k et D_{k+3} sont exprimées par :

$$v_{Dk} = v_{kn} - \left(\frac{V_{dc}}{2} + v_{on}\right) \quad (\text{II.10})$$

$$v_{D(k+3)} = \left(-\frac{V_{dc}}{2} + v_{on}\right) - v_{kn} \quad (\text{II.11})$$

Nous allons maintenant vérifier la supposition ci-dessus, portant sur les états des diodes D_k et D_{k+3} , en étudiant les tensions aux bornes de ces diodes selon les valeurs des deux ordres de commande δ_i et δ_j et selon la valeur de e_{kn} .

Cas numéro 1 : $\delta_i = \delta_j = 0$

Dans ce cas, nous avons :

$$v_{io} = v_{jo} = -\frac{v_{dc}}{2} \quad (\text{II.12})$$

A partir des équations (II.9) et (II.12), on obtient :

$$v_{on} = \frac{1}{2}(v_{dc} - e_{kn}) \quad (\text{II.13})$$

En combinant les équations (II.10), (II.11) et (II.13), on établit :

$$v_{Dk} = e_{kn} - \left[\frac{v_{dc}}{2} + \frac{1}{2}(v_{dc} - e_{kn}) \right] = -v_{dc} + \frac{3}{2}e_{kn} \quad (\text{II.14})$$

$$v_{D(k+3)} = \left[-\frac{v_{dc}}{2} + \frac{1}{2}(v_{dc} - e_{kn}) \right] - e_{kn} = -\frac{3}{2}e_{kn} \quad (\text{II.15})$$

A partir des équations (II.14) et (II.15), les états des diodes D_k et D_{k+3} peuvent être déterminés selon la valeur de e_{kn} ; on peut ensuite en déduire l'expression analytique de la tension v_{kom} et l'erreur de tension $\mathcal{E}_{ko}$:

Si $e_{kn} \geq \frac{2}{3}v_{dc} \Rightarrow D_k$ est passante et D_{k+3} est bloquée.

Dans ce cas, nous avons :

$$v_{kom} = \frac{v_{dc}}{2} \quad (\text{II.16a})$$

$$\mathcal{E}_{ko} = v_{kom} - v_{koes} = \frac{v_{dc}}{2} - \frac{v_{dc}}{2} = 0 \quad (\text{II.16b})$$

Puisque, dans ce cas, la diode D_k se met à conduire, le courant i_k redevient négatif et le bras k fonctionne alors à nouveau correctement.

Si $0 < e_{kn} < \frac{2}{3}v_{dc} \Rightarrow D_k$ et D_{k+3} sont bloquées.

Dans ce cas, nous avons :

$$v_{kom} = v_{Dk} + \frac{v_{dc}}{2} = -\frac{v_{dc}}{2} + \frac{3}{2}e_{kn} \quad (\text{II.17a})$$

$$\varepsilon_{ko} = v_{kom} - v_{koes} = \left(-\frac{v_{dc}}{2} + \frac{3}{2}e_{kn}\right) - \frac{v_{dc}}{2} = \frac{3}{2}e_{kn} - v_{dc} \quad (\text{II.17b})$$

Puisque, dans ce cas, D_k et D_{k+3} sont bloquées, i_k reste égal à zéro après l'instant de son passage à zéro. L'équation II.17b démontre qu'à l'aide de la méthode de détection proposée, on peut détecter le défaut.

Si $e_{kn} \leq 0 \Rightarrow D_k$ est bloquée et D_{k+3} est passante .

Dans ce cas, nous avons :

$$v_{kom} = -\frac{v_{dc}}{2} \quad (\text{II.18a})$$

$$\varepsilon_{ko} = v_{kom} - v_{koes} = -\frac{v_{dc}}{2} - \frac{v_{dc}}{2} = -v_{dc} \quad (\text{II.18b})$$

Puisque, dans ce cas, la diode D_{k+3} se met à conduire, le courant i_k devient positif et le défaut peut alors être détecté.

Cas numéro 2 : ($\delta_i = 0$ et $\delta_j = 1$) ou ($\delta_i = 1$ et $\delta_j = 0$)

Dans ce cas, nous avons :

$$v_{io} + v_{jo} = 0 \quad (\text{II.19})$$

A partir des équations (II.9) et (II.19), on obtient :

$$v_{on} = -\frac{1}{2}e_{kn} \quad (\text{II.20})$$

Les équations (II.10), (II.11) et (II.20) conduisent aux expressions suivantes :

$$v_{Dk} = e_{kn} - \frac{1}{2}(v_{dc} - e_{kn}) = -\frac{v_{dc}}{2} + \frac{3}{2}e_{kn} \quad (\text{II.21})$$

$$v_{D(k+3)} = -\frac{1}{2}(v_{dc} + e_{kn}) - e_{kn} = -\frac{3}{2}e_{kn} - \frac{v_{dc}}{2} \quad (\text{II.22})$$

A partir des équations (II.20) et (II.21), les états des diodes D_k et D_{k+3} peuvent être déterminés selon la valeur de e_{kn} ; on peut alors en déduire l'expression analytique de la tension v_{kom} et l'erreur de tension ε_{ko} :

Si $e_{kn} \geq \frac{v_{dc}}{3} \Rightarrow D_k$ est passante et D_{k+3} est bloquée

Dans ce cas, l'expression de la tension v_{kom} et l'erreur de tension ε_{ko} sont celles décrites aux équations II.16a et II.16b. Puisque, dans ce cas, la diode D_k se met à conduire, le courant i_k redevient négatif et le bras k fonctionne alors à nouveau correctement.

Si $-\frac{v_{dc}}{3} < e_{kn} < \frac{v_{dc}}{3} \Rightarrow D_k$ et D_{k+3} sont bloquées.

Dans ce cas, nous avons :

$$v_{kom} = v_{Dk} + \frac{v_{dc}}{2} = \frac{3}{2}e_{kn} \quad (\text{II.23a})$$

$$\varepsilon_{ko} = v_{kom} - v_{koes} = \frac{3}{2}e_{kn} - \frac{v_{dc}}{2} \quad (\text{II.23b})$$

Puisque, dans ce cas, D_k et D_{k+3} sont bloquées, i_k reste égal à zéro après l'instant de son passage à zéro. L'équation II.23b démontre qu'à l'aide de la méthode proposée, on peut détecter le défaut.

Si $e_{kn} \leq -\frac{v_{dc}}{3} \Rightarrow D_k$ est bloquée et D_{k+3} est passante

Dans ce cas, l'expression de la tension v_{kom} et l'erreur de tension ε_{ko} sont définies par les équations II.18a et II.18b. Puisque, dans ce cas, la diode D_{k+3} se met à conduire, le courant i_k devient positif et le défaut peut alors être détecté.

Cas numéro 3 : $\delta_i = \delta_j = 1$

Dans ce cas, nous avons :

$$v_{io} = v_{jo} = \frac{v_{dc}}{2} \quad (\text{II.24})$$

A partir des équations (II.9) et (II.24), on obtient :

$$v_{on} = -\frac{1}{2}(v_{dc} + e_{kn}) \quad (\text{II.25})$$

A partir des équations (II.10), (II.11) et (II.25), on peut écrire :

$$v_{Dk} = e_{kn} - \left[\frac{v_{dc}}{2} - \frac{1}{2}(v_{dc} + e_{kn}) \right] = \frac{3}{2}e_{kn} \quad (\text{II.26})$$

$$v_{D(k+3)} = \left[-\frac{v_{dc}}{2} - \frac{1}{2}(v_{dc} + e_{kn}) \right] - e_{kn} = -v_{dc} - \frac{3}{2}e_{kn} \quad (\text{II.27})$$

A partir des équations (II.26) et (II.27), les états des diodes D_k et D_{k+3} peuvent être déterminés selon la valeur de e_{kn} ; on peut alors en déduire l'expression analytique de la tension v_{kom} et l'erreur de tension ε_{ko} :

Si $e_{kn} \geq 0 \Rightarrow D_k$ est passante et D_{k+3} est bloquée .

Dans ce cas, l'expression de la tension v_{kom} et l'erreur de tension ε_{ko} sont définies par les équations II.16a et II.16b. Puisque, dans ce cas, la diode D_k se met à conduire, le courant i_k redevient négatif et le bras k fonctionne alors à nouveau correctement.

$$\text{Si } -\frac{2}{3}v_{dc} < e_{kn} < 0 \Rightarrow D_k \text{ et } D_{k+3} \text{ sont bloquées} \Rightarrow v_{kom} = v_{Dk} + \frac{v_{dc}}{2} = \frac{3}{2}e_{kn} + \frac{v_{dc}}{2}$$

Dans ce cas, nous avons:

$$v_{kom} = v_{Dk} + \frac{v_{dc}}{2} = \frac{3}{2}e_{kn} + \frac{v_{dc}}{2} \quad (\text{II.28a})$$

$$\varepsilon_{ko} = v_{kom} - v_{koes} = \left(\frac{3}{2}e_{kn} + \frac{v_{dc}}{2} \right) - \frac{v_{dc}}{2} = \frac{3}{2}e_{kn} \quad (\text{II.28b})$$

Puisque, dans ce cas, D_k et D_{k+3} sont bloquées, i_k reste égal à zéro après l'instant de son passage à zéro. L'équation II.28b démontre qu'à l'aide de la méthode proposée, on peut détecter le défaut.

$$\text{Si } e_{kn} \leq -\frac{2}{3}v_{dc} \Rightarrow D_k \text{ est bloquée et } D_{k+3} \text{ est passante .}$$

Dans ce cas, l'expression de la tension v_{kom} et l'erreur de tension ε_{ko} sont définies par les équations II.18a et II.18b. Puisque, dans ce cas, la diode D_{k+3} se met à conduire, le courant i_k devient positif et le défaut peut alors être détecté.

Synthèse : Le tableau II-4 consigne les résultats analytiques de l'étude précédente portant sur les états des diodes D_k et D_{k+3} et mentionne l'expression de l'erreur de tension ε_{ko} quand $\delta_k = 1$ (lorsque $\delta_k = 0$, le bras k fonctionne correctement). Il faut noter que la valeur initiale du courant i_k est considérée égale à zéro à l'instant $t = t_0$ et que, dans le tableau II-4, i_k représente la valeur de ce courant à l'instant $t = t_0 + \varepsilon_t$. La même analyse peut être établie pour un défaut de type "circuit-ouvert" au niveau des interrupteurs du bas des 3 bras, notés S_k ($k = \{4, 5, 6\}$).

Tableau II-4. Défaut de type "circuit-ouvert" au niveau du bras k lorsque $\delta_k = 1$ et $i_k = 0$ à l'instant $t = t_0$.

Cas	δ_i	δ_j	e_{kn}	D_k	D_{k+3}	i_k	v_{kom}	$\mathcal{E}_{ko}$
1	0	0	$\geq \frac{2}{3}v_{dc}$	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			> 0 et $< \frac{2}{3}v_{dc}$	bloquée	bloquée	0	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{kn}$	$\frac{3}{2}e_{kn} - v_{dc}$
			≤ 0	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$
2	1 0	0 1	$\geq \frac{v_{dc}}{3}$	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			$> -\frac{v_{dc}}{3}$ et $< \frac{v_{dc}}{3}$	bloquée	bloquée	0	$\frac{3}{2}e_{kn}$	$-\frac{v_{dc}}{2} + \frac{3}{2}e_{kn}$
			$\leq -\frac{v_{dc}}{3}$	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$
3	1	1	≥ 0	passante	bloquée	< 0	$\frac{v_{dc}}{2}$	0
			$> -\frac{2}{3}v_{dc}$ et < 0	bloquée	bloquée	0	$\frac{3}{2}e_{kn} + \frac{v_{dc}}{2}$	$\frac{3}{2}e_{kn}$
			$\leq -\frac{2}{3}v_{dc}$	bloquée	passante	> 0	$-\frac{v_{dc}}{2}$	$-v_{dc}$

II.2.2.2. Défaut de type "court-circuit"

Dans cette section, on considère un défaut de type "court-circuit" du bras k dû à une défaillance au niveau de l'interrupteur S_k du haut du bras k , bloqué à l'état fermé. Ce défaut réduit la phase k du système au circuit équivalent présenté à la figure II-3(a) ou à la figure II-4(a), selon la topologie d'onduleur "fault tolerant" considérée (voir figure II-1, topologies avec ou sans bras redondant). Le tableau II-5 rassemble les expressions analytiques de l'erreur de tension $\mathcal{E}_{ko}$ juste après l'apparition du défaut, en fonction de la valeur de δ_k .

Tableau II-5. Cas d'un défaut de type "court-circuit" du bras k ($k = \{1, 2, 3\}$)

δ_k	v_{kom}	v_{koes}	$\mathcal{E}_{ko}$
1	$\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$	0
0	0	$-\frac{v_{dc}}{2}$	$\frac{v_{dc}}{2}$

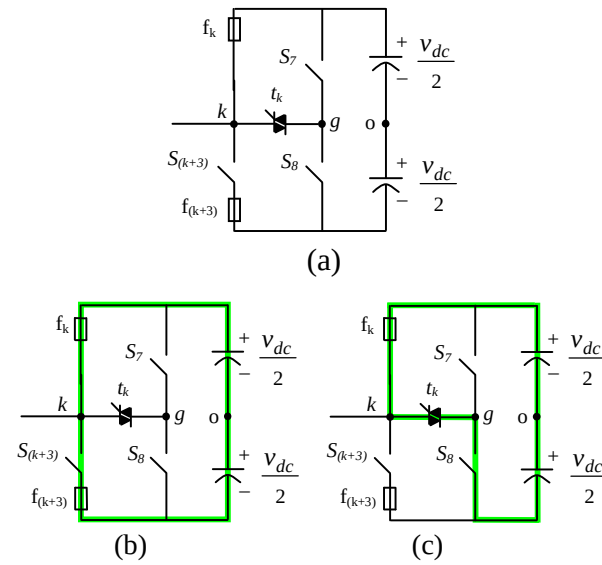


Figure II-3 (a) Circuit équivalent de la phase k ($k = \{1, 2, 3\}$) pour la topologie avec bras redondant lors d'un défaut de type "court-circuit".

(b) Parcours du courant de court-circuit juste après l'apparition du défaut.

(c) Parcours du courant de court-circuit lorsque le temps de rupture des fusibles est supérieur au temps de détection du défaut.

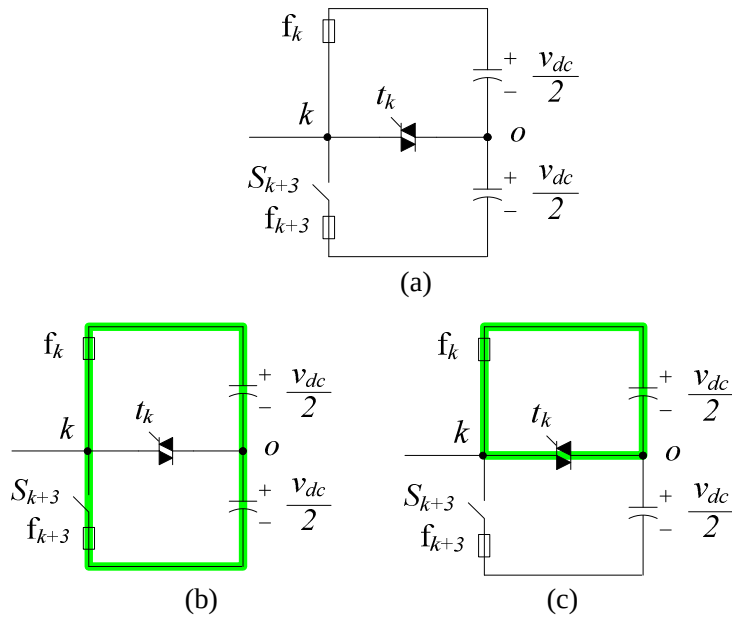


Figure II-4 (a) Circuit équivalent de la phase k ($k = \{1, 2, 3\}$) pour la topologie sans bras redondant lors d'un défaut de type "court-circuit".

(b) Parcours du courant de court-circuit juste après l'apparition du défaut.

(c) Parcours du courant de court-circuit lorsque le temps de rupture des fusibles est supérieur au temps de détection du défaut.

A partir du tableau II-5, on peut noter que lorsque $\delta_k = 1$, le bras k fonctionne correctement et l'erreur de tension est à juste titre égale à zéro. Par contre, lorsque $\delta_k = 0$ les condensateurs du bus continu sont mis en court-circuit par le bras k défaillant (figures II-3b et II-4b). Dans ce cas, le courant de court-circuit n'est limité que par l'inductance du circuit, généralement très faible (de l'ordre de quelques μHenrys). Pour que ce courant ne dépasse pas les limites nominales des semi-conducteurs et ne conduise pas à leurs destructions, une protection fiable et adaptée doit être mise en œuvre afin d'isoler le bras k défectueux. C'est le rôle des fusibles f_k . Ces fusibles font parties des topologies de convertisseur dits "fault tolerant" (Cf. figure II-1). Nous allons maintenant examiner leur fonctionnement au sein de ces topologies ainsi que leurs interférences potentielles avec les drivers et la détection de défaut.

L'efficacité des fusibles au niveau des onduleurs de tension a été examinée par *Abrahamsen* [Abrahamsen, 2000]. De plus, plusieurs tests de court-circuit d'un IGBT ont été effectués pour étudier le phénomène de rupture du fusible et examiner dans quelle mesure le fusible protège l'IGBT [Braun, 1997], [Abrahamsen, 2000] et [Blaabjerg, 2002]. Ces auteurs ont démontré qu'un fusible très rapide, connecté en série avec un IGBT, peut protéger efficacement cet IGBT contre les surintensités. De plus, les commandes rapprochées (ou drivers) de chacun des bras du convertisseur intègrent un circuit de détection de défaut de type "court-circuit". Le driver détecte rapidement le défaut et commande à l'ouverture le semi-conducteur non défectueux du bras en court-circuit. La méthode implantée dans les drivers pour détecter le court-circuit d'un bras est basée sur un principe identique pour tous les drivers industriels : la mesure des chutes de tension aux bornes des interrupteurs [Vallon, 2003]. Le temps de réponse de cette protection est généralement paramétrable et réglable par des composants discrets, externes au driver. Ce temps de réponse doit être choisi supérieur au temps de rupture des fusibles lors de la mise en œuvre expérimentale des deux topologies de la figure II-1. Cette coordination entre les fusibles et la protection intégrée au driver permet d'assurer la coupure du courant de court-circuit par les fusibles avant que la protection interne au driver ne s'active.

Lors du court-circuit du bus continu, différents cas peuvent potentiellement se produire selon les valeurs relatives du temps de rupture des fusibles et du temps nécessaire à la détection du défaut.

Si le temps de rupture des fusibles est inférieur à celui nécessaire à la détection du défaut, le bras défectueux est isolé par un des deux fusibles avant même que le défaut n'ait été détecté. En effet, en pratique, les deux fusibles f_k et f_{k+3} ne cassent pas exactement au même instant et l'un des deux coupe en premier le courant de court-circuit. Etant donné que les deux fusibles choisis ont les mêmes caractéristiques constructrices, ils ont sensiblement les mêmes courbes de fusion et de rupture totale, à la dispersion près. Pratiquement, lorsque le premier fusible a mis fin au court-circuit, le filament du second est déjà rompu mais un arc électrique peut subsister. Lorsque cet arc électrique prend fin (annulation du courant), le second fusible sera définitivement et inévitablement cassé. Ainsi, le courant traversant le bras défectueux devient égal à zéro. Cette

condition correspond aux trois situations mentionnées dans le tableau II-4 pour lesquelles le courant i_k reste égale à zéro (D_k et D_{k+3} sont bloquées). Le tableau II-6 consigne les expressions de l'erreur de tension dans ce cas.

Si le temps de rupture des fusibles est supérieur à celui nécessaire à la détection du défaut, le défaut est détecté avant l'isolation par les fusibles du bras défectueux. Aussitôt, le module de reconfiguration met à '0' les commandes des deux interrupteurs du bras k défectueux, applique les deux ordres de commande du bras défectueux, précédents la détection du défaut, aux interrupteurs du bras redondant et commande à la fermeture l'interrupteur bidirectionnel t_k ($k = \{1, 2, 3\}$). Dans ce cas, le court-circuit du bus continu n'a pas encore été éliminé et il se prolonge via l'interrupteur bidirectionnel t_k (figures II-3c et II-4c). Dans cette situation, un seul fusible est alors inséré dans le parcours du courant de court-circuit; le court-circuit est alors éliminé après rupture de ce fusible.

Une analyse similaire peut être menée lors d'un défaut de type "court-circuit" dû à une défaillance d'un des interrupteurs S_k ($k = \{4, 5, 6\}$) du bas du convertisseur.

Tableau II-6. Erreur de tension lors d'un défaut de type "court-circuit" (défaut au niveau de S_k ($k = \{1, 2, 3\}$) et $\delta_k = 1$) lorsque le temps de rupture du fusible est inférieur au temps de détection de défaut.

δ_i	δ_j	V_{kom}	$\mathcal{E}_{ko}$
0	0	$-\frac{v_{dc}}{2} + \frac{3}{2} e_{kn}$	$\frac{3}{2} e_{kn}$
0	1	$\frac{3}{2} e_{kn}$	$\frac{v_{dc}}{2} + \frac{3}{2} e_{kn}$
1	0	$\frac{3}{2} e_{kn}$	$\frac{v_{dc}}{2} + \frac{3}{2} e_{kn}$
1	1	$\frac{v_{dc}}{2} + \frac{3}{2} e_{kn}$	$v_{dc} + \frac{3}{2} e_{kn}$

II.2.2.3. Critère temporel de détection de défaut

Dans les sections précédentes, nous avons supposé que les semi-conducteurs de puissance étaient idéaux. Dans cette hypothèse, l'étude analytique précédente a démontré que le défaut éventuel d'un interrupteur peut être détecté à l'aide d'une simple comparaison entre la tension v_{kom} mesurée et la tension v_{koes} estimée. Toutefois, dans le cas réel et en fonctionnement normal, l'erreur de tension n'est pas nulle en raison de la chute de tension aux bornes des interrupteurs. Ainsi, ce signal d'erreur est constitué des pics correspondants aux commutations des interrupteurs. Si l'on ne "filtre" pas ces pics de tension présents sur le signal d'erreur ($\mathcal{E}_{ko}$), un défaut peut être détecté lors d'une commutation alors qu'il n'en est pas un. La nouvelle méthode proposée met en œuvre un critère temporel permettant d'effectuer ce "filtrage". En effet, pour éviter ces erreurs de détection dues aux commutations des interrupteurs, nous proposons de transformer le signal d'erreur précédent, basé sur les tensions, en un signal d'erreur temporel.

Etant donné qu'en fonctionnement normal la durée pendant laquelle l'erreur de tension est non nulle est faible (durée d'une commutation), il suffit de tester la valeur de cette durée pour confirmer ou infirmer la présence du défaut et ainsi "filtrer" l'effet des commutations.

Pour cela, nous proposons de transformer, dans un premier temps, la valeur absolue de l'erreur de tension en un signal carré à l'aide d'un premier comparateur (figure II-5). Le seuil de ce comparateur, noté h , doit être choisi égal à quelques pourcents de la tension côté continu (1 à 5%) pour filtrer les petites variations de ε_{ko} autour de zéro, dues à la chute de tension aux bornes des interrupteurs et à la précision des capteurs de tension. La sortie de ce comparateur, notée c_k , est égale à 0 si $|\varepsilon_{ko}| < h$ et égal à 1 si $|\varepsilon_{ko}| \geq h$. Par conséquent, en fonctionnement normal, le signal en sortie de ce premier comparateur a une forme d'onde carrée de faible rapport cyclique et de fréquence égale à la fréquence de commutation des interrupteurs (figure II-6).

Lors d'une implantation numérique, pour réaliser ce test, nous proposons de mesurer la durée pendant laquelle le signal c_k est égal à 1 (t_s sur la Figure II-6) à l'aide d'un compteur. La sortie du compteur est égale au nombre d'impulsions pendant lesquelles le signal c_k est égal à 1, si ce compteur est remis à zéro après chaque front descendant du signal c_k . Ainsi, le signal c_k est dans un premier temps transformé en un signal de type "dent de scie", noté n_k . La valeur maximale de n_k est proportionnelle, modulo la période d'horloge T_h , à la durée pendant laquelle la tension estimée est différente de la tension réelle mesurée (figure II-6).

Ainsi, tout défaut éventuel d'un interrupteur peut être détecté en utilisant simultanément un "*critère temporel*" et un "*critère de tension*". Pour ce faire, le signal n_k issu du compteur est appliqué à l'entrée d'un second comparateur de seuil noté N_t . Ce seuil doit être choisi supérieur à la valeur maximale de n_k lors du fonctionnement normal du convertisseur. En effet, la valeur maximale de n_k dépend effectivement des spécifications des composants utilisés, en particulier des temps morts imposés par les drivers (nous expliquerons en détail le choix de N_t dans le chapitre III). Grâce à la méthode proposée à la figure II-5, nous évitons toute fausse détection de défaut suite à une commutation mais nous pouvons néanmoins détecter un défaut en quelques dizaines de μ secondes, sachant que le temps exact de détection est fixé par la valeur de N_t . Le signal de sortie f_k du module de détection de défaut est utilisé pour isoler le bras défaillant, déclencher l'interrupteur bidirectionnel t_k et arrêter la détection de défaut.

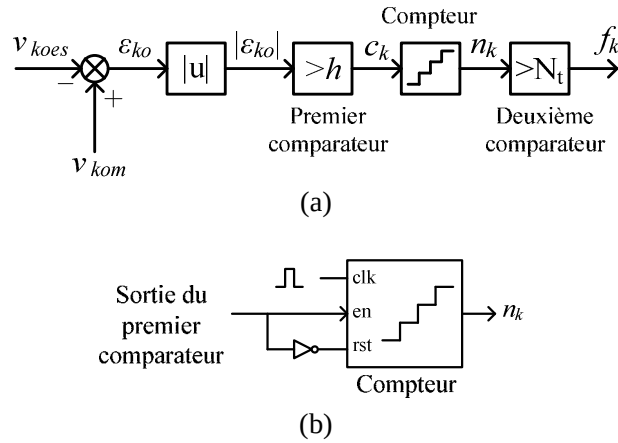


Figure II-5 (a) Schéma de principe de la détection de défaut;
(b) Schéma fonctionnel du compteur.

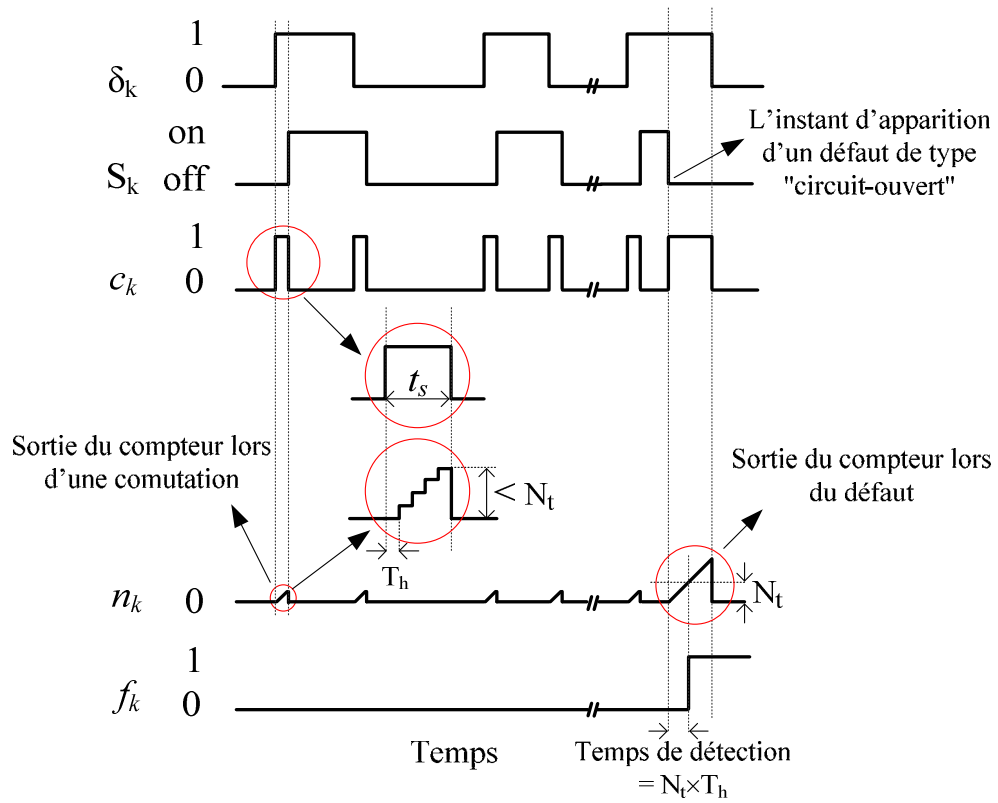


Figure II-6. Détection de défaut incluant un critère temporel.

II.2.3. Application de la méthode proposée au cas du FAP triphasé

Nous avons choisi comme cas particulier d'application le FAP pour valider la méthode de détection et de compensation de défaut au niveau d'un interrupteur, proposée dans ce manuscrit. Nous avons ciblé cette application car elle est une des plus exigeantes en termes de temps de détection du défaut. Par ailleurs, cette détection est délicate à mettre en œuvre dans ce cas et nécessite une attention particulière. En effet, la fréquence de commutation des interrupteurs doit être assez élevée (de 10 kHz à 20 kHz) dans les applications de type FAP, afin de générer efficacement les courants harmoniques à compenser. Par conséquent, cette application exige effectivement une détection de défaut des plus efficaces et des plus rapides.

Puisque la méthode de détection proposée est indépendante de la topologie "fault tolerant" retenue, nous présentons dans cette section l'efficacité de la méthode proposée dans le cas de la topologie "fault tolerant" avec un bras redondant. Dans cette section, suite à la présentation de la topologie de FAP "fault tolerant" choisie, nous étudions par simulation les effets d'un défaut au niveau d'un des semi-conducteurs sur un FAP conventionnel n'intégrant pas la continuité de service (topologie non "fault tolerant") ainsi que sur la topologie de FAP "fault tolerant". Pour ces simulations, la partie puissance est modélisée à l'aide de l'outil logiciel Matlab/SimPowerSystems en mode continu et les parties contrôle et détection de défaut sont simulées à l'aide de l'outil logiciel Matlab/Simulink également en mode continu.

II.2.3.1. Topologie de FAP "fault tolerant"

La figure II-7 présente une topologie "fault tolerant" de FAP triphasé à structure tension, avec bras redondant. Elle met en œuvre la topologie de convertisseur décrite à la figure II-1(a). Les paramètres du FAP sont ceux du tableau I-8 et les résultats du dimensionnement du réseau et de la charge sont consignés dans le tableau I-4. Dans cette étude, les courants injectés par l'onduleur de tension sont contrôlés afin de compenser à la fois les harmoniques de courant de la charge et l'énergie réactive.

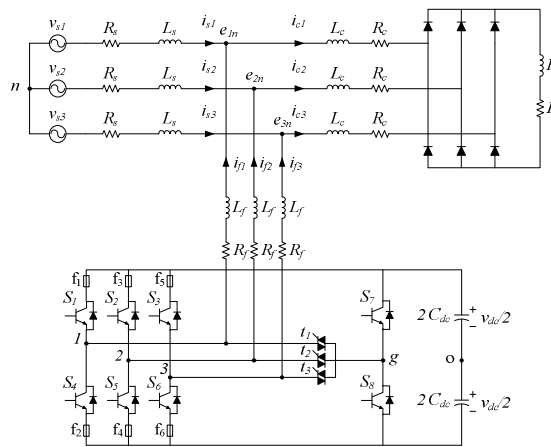


Figure II-7. Topologie "fault tolerant" de FAP triphasé à structure tension, avec bras redondant.

II.2.3.2. Effets des défauts sans détection

II.2.3.2.1 Influences d'un défaut de type "circuit-ouvert"

La figure II-8 présente les résultats de simulation obtenus lorsqu'un défaut de type circuit-ouvert se produit au niveau du bras 3 à l'instant $t = 135,5$ ms, suite à la défaillance du semi-conducteur S_3 . On peut remarquer que ce défaut conduit à la perte partielle du contrôle du courant. A la suite de ce défaut, les courants de source deviennent perturbés et les THDs pour les phases 1, 2 et 3 sont respectivement égaux à 10,9%, 8,2% et 15,8%, au lieu de 2,2% avant l'apparition du défaut. Par conséquent, si le défaut n'est pas rapidement détecté et efficacement compensé, les performances du FAP sont diminuées et le THD des courants de source ne sera plus acceptable.

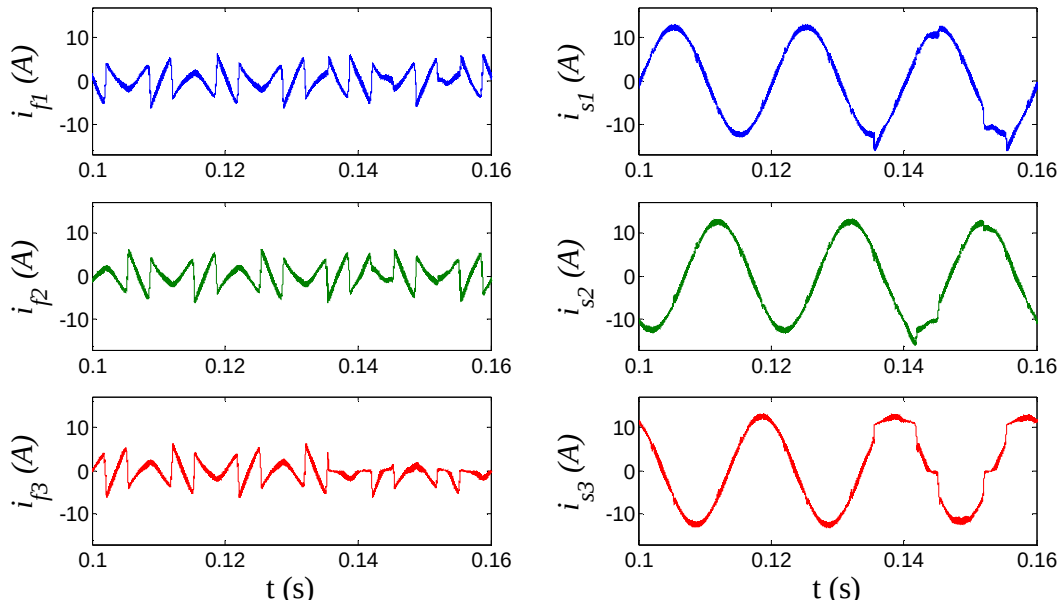


Figure II-8. Influences du défaut de type circuit-ouvert suite à la défaillance de S_3 , sans détection ni compensation du défaut.

II.2.3.2.2. Influences d'un défaut de type "court-circuit"

A la suite du blocage permanent à l'état fermé d'un des interrupteurs de l'onduleur, le condensateur du bus continu est mis en court-circuit immédiatement après que l'interrupteur complémentaire du même bras se soit fermé. Dans ce cas, le courant de court-circuit traversant le bras n'est limité que par l'inductance du circuit (généralement très faible, de l'ordre de quelques μHenrys). Pour que ce courant n'atteigne pas des limites excessives conduisant à la destruction des composants, le driver doit rapidement détecter le défaut et ouvrir le semi-conducteur non défectueux du bras en court-circuit.

La figure II-9 présente les formes d'ondes des courants du FAP et de la source lorsqu'un défaut de type "court-circuit" apparaît au niveau du bras 3, suite à la défaillance de S_3 , bloqué à l'état fermé à l'instant $t = 135,5$ ms. On admet dans cette étude que le driver détecte effectivement le défaut et commande rapidement à l'ouverture l'interrupteur S_6 non défectueux du bras 3 alors en court-circuit. Cependant, le courant de la phase 3 connectée à ce bras ne peut plus être contrôlé. En effet, dès que la tension d'une phase non défectueuse devient supérieure à celle de la phase connectée au bras défectueux, ces deux phases sont mises en court-circuit à travers la diode de la phase non défectueuse et le semi-conducteur en court-circuit (Figure II-10). De ce fait, les courants $i_{f1,2,3}$ et $i_{s1,2,3}$ atteignent des valeurs très élevées, car l'impédance Z_s côté réseau et l'impédance Z_f du FAP sont de faibles valeurs. Cela peut ainsi conduire à la destruction des autres composants du système, si la protection du réseau ne fonctionne pas rapidement et correctement.

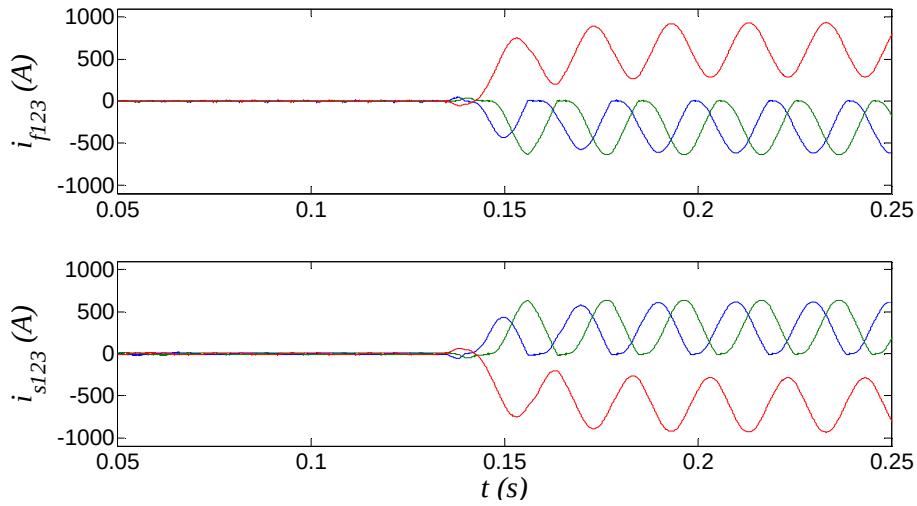


Figure II-9. Influences du défaut de type court-circuit suite à la défaillance de S_3 , sans détection ni compensation du défaut.

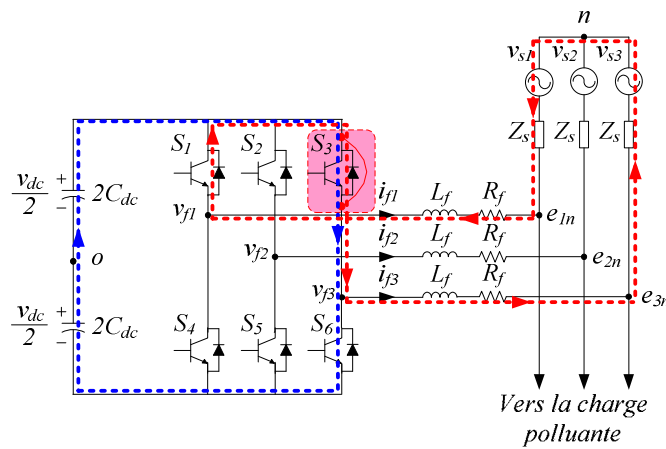


Figure II-10. Chemin du courant de court-circuit entre phases via une diode antiparallèle.

Par conséquent, un FAP classique (topologie non "fault tolerant") ne peut pas assurer la continuité de service en toutes circonstances lors d'une défaillance au niveau d'un des bras de l'onduleur.

Lors d'un défaut de type "circuit-ouvert", il n'y a certes pas de conséquence sur les autres composants du FAP mais le THD des courants de source devient élevé et non acceptable.

Lors d'un défaut de type "court-circuit", même si le driver de l'onduleur détecte ce défaut et ouvre rapidement l'interrupteur non défaillant du bras défectueux, le contrôle des courants n'est pas possible à cause de la mise en conduction non contrôlée des diodes antiparallèles des autres bras. Les courants de phase du réseau et ceux du filtre deviennent fortement déséquilibrés et leurs amplitudes pourraient atteindre plusieurs dizaines de fois les valeurs nominales si le système ne comportait pas de protection ou si la protection du réseau ne fonctionne pas correctement. Cela peut alors endommager les autres composants de l'onduleur. Ce type de défaut est donc beaucoup plus critique que le défaut de type "circuit-ouvert".

II.2.3.3. Gestion des défauts par le FAP "fault tolerant"

Dans ce paragraphe, nous étudions par simulation les performances de la topologie "fault tolerant" de FAP triphasé à structure tension, avec bras redondant, proposée à la figure II-7. Dans ces simulations, le compteur de la figure II-5 est modélisé par un intégrateur. Le seuil de cet intégrateur a été choisi égal à 5 μ s.

Comme on a expliqué à la section II.2.2.2, il est possible de coordonner les fusibles et circuit de la protection du driver. Cela permet d'assurer la coupure du courant de court-circuit par les fusibles avant que la protection interne au driver ne s'active. Pour cette raison, on ne présente que la gestion des défauts de type "circuit ouvert".

II.2.3.3.1 Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant défaillant

La figure II-11 présente les résultats de simulation pour un défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant S_3 , défaillant à l'instant $t = 135,5$ ms ($i_{\beta} > 0$). On peut d'abord noter que le défaut n'a aucune conséquence sur les formes d'ondes des courants de source et du filtre. Dans ce cas, le THD avant et après l'apparition du défaut reste égale à 2,2%.

La figure II-12 présente les résultats de simulation sur une durée de 500 μ s autour de l'apparition du défaut. Sur cette figure, on peut notamment voir que δ_3 est égale à 0 à l'instant $t = 135,5$ ms. Le défaut n'est détecté alors que 5 μ s après son apparition, dès que δ_3 devient égal à 1. Ceci est normal car le bras 3 fonctionne correctement lorsque δ_3 est égale à 0.

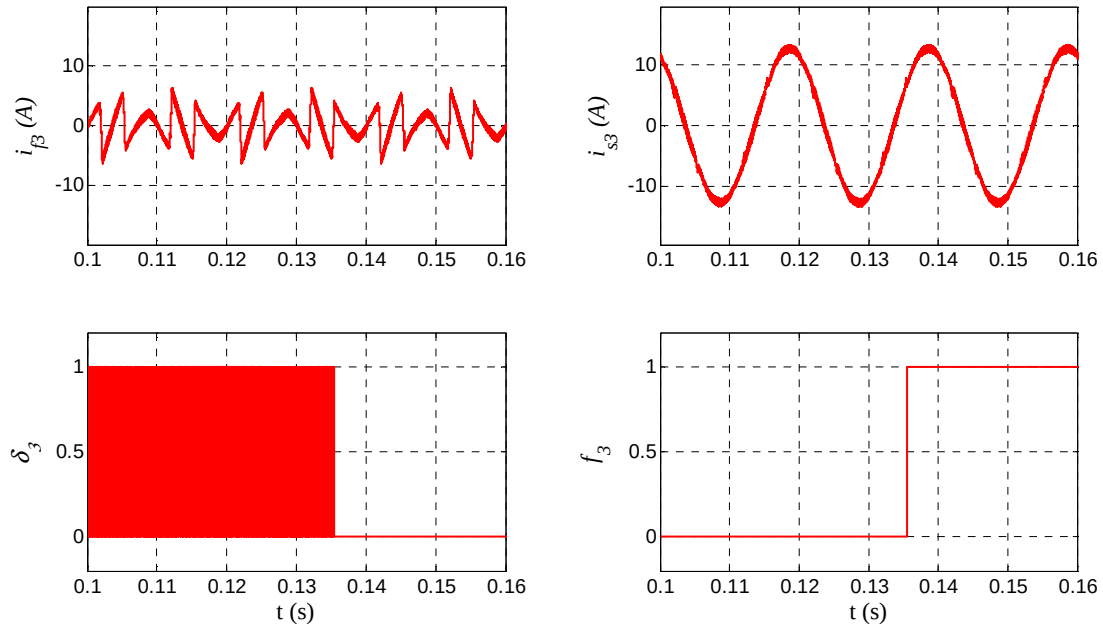


Figure II-11. Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant S_3 , défaillant à l'instant $t = 135,5$ ms.

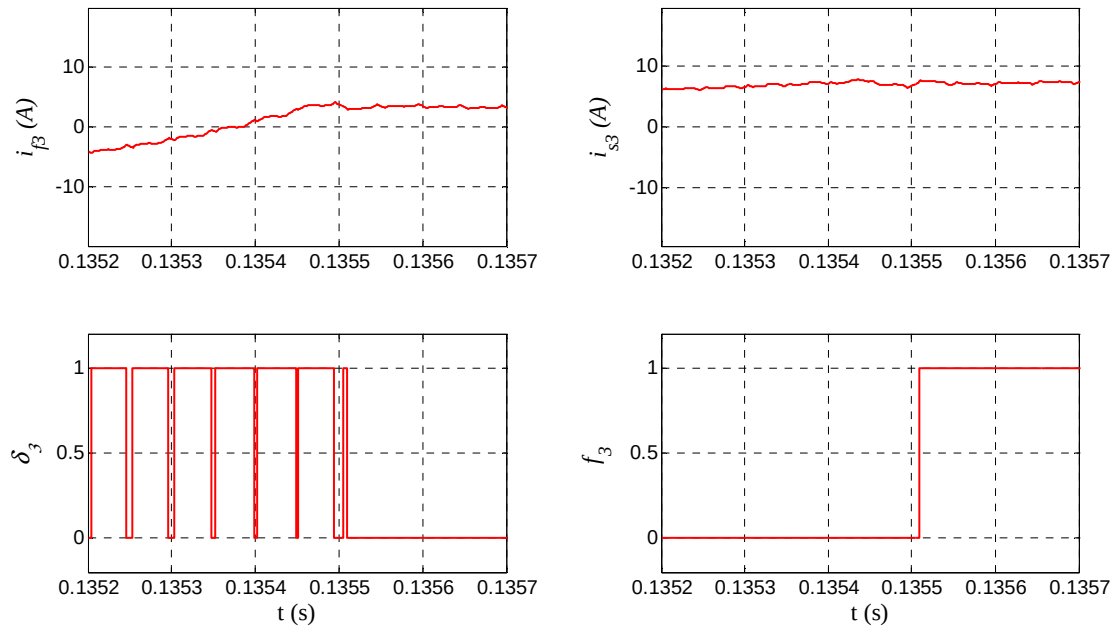


Figure II-12. Résultats de simulation sur une durée de $500 \mu s$ autour de l'apparition du défaut.

II.2.3.3.2 Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant défaillant

La figure II-13 présente les résultats de simulation pour un défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant S_3 , défaillant à l'instant $t = 135,3$ ms. On peut également noter que le défaut n'a aucune conséquence sur les formes d'ondes des courants de source et du filtre. Dans ce cas, le THD avant et après l'apparition du défaut reste ici encore égale à 2,2%.

La figure II-14 présente les résultats de simulation sur une durée de $100 \mu s$ après l'apparition du défaut. On peut noter, qu'à juste titre, le défaut ne doit pas être détecté dès son apparition lorsque i_{f3} est négatif, car la diode D_3 est alors passante et le semi-conducteur en circuit-ouvert ne modifie pas le bon déroulement des séquences de conduction : le courant i_{f3} traverse alors la diode D_3 et le semi-conducteur S_6 . Les effets du défaut apparaissent alors dès que le courant i_{f3} devient égal à zéro, soit à l'instant $t = 135,355$ ms. A cet instant, comme on peut le voir sur la figure II-14, δ_1 et δ_2 sont égaux à 0, δ_3 est égal à 1 et v_{on} passe de 120 V à 250 V. A l'instant $t = 135,358$ ms, δ_2 passe de 0 à 1, ce qui impose un second changement de v_{on} qui passe de 250 V à -100 V. Le défaut est finalement détecté à l'instant $t = 135,36$ ms, exactement $5 \mu s$ après l'instant de passage à zéro du courant i_{f3} . Après la détection du défaut, la tension v_{on} devient alors égale à -120 V à l'instant $t = 135,361$ ms. On peut constater que pendant cette durée ($6 \mu s$) le courant i_{f3} reste égal à zéro et e_{3n} est égale à 200 V. Le tableau II-7 rassemble les valeurs de ces grandeurs pendant cette durée de $6 \mu s$ après l'apparition du défaut.

Tableau II-7. Valeurs des paramètres pendant une durée de $6 \mu s$ l'après apparition du défaut.

t (ms)	δ_1	δ_2	δ_3	f_3	e_{3n} (V)	i_{f3} (A)	v_{on} (V)
135.355	0	0	1	0	200	0	120
135.358	0	0→1	1	0	200	0	250
135.36	0	1	1→0	0→1	200	0	-100
135.361	0	1	0	1	200	0	-120

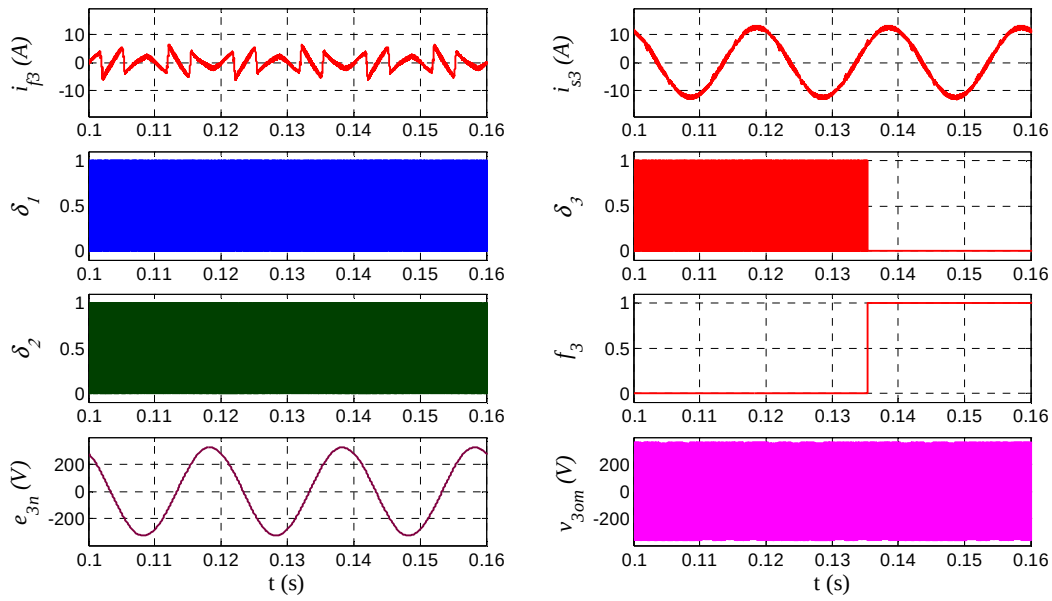


Figure II-13. Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant S_3 , défaillant à l'instant $t = 135,3$ ms.

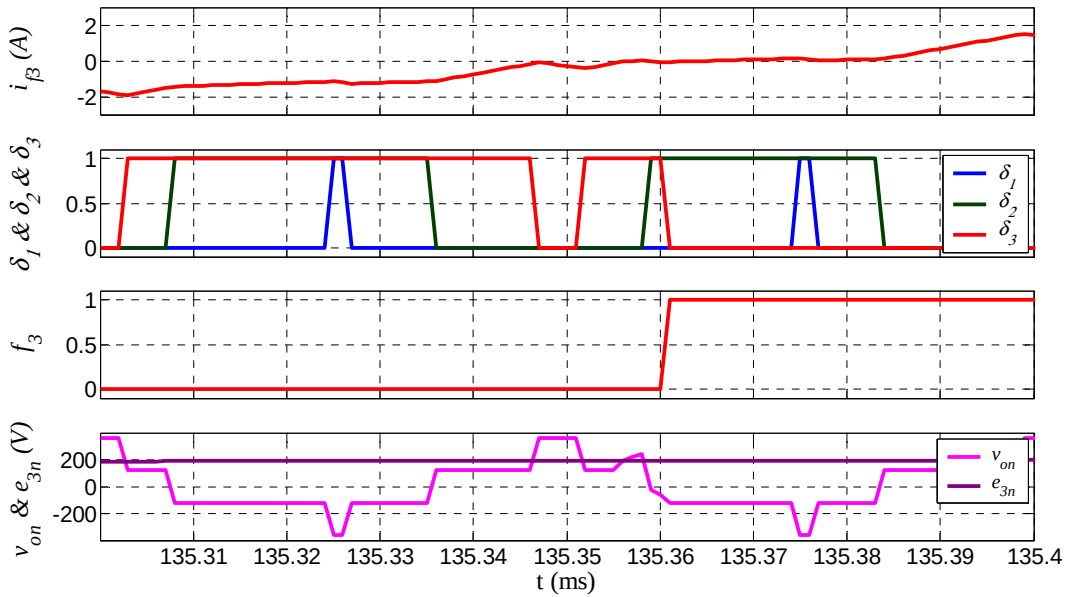


Figure II-14. Résultats de simulation sur une durée de $100 \mu s$ après l'apparition du défaut.

Les résultats de simulation obtenus confirment l'étude théorique et analytique présentée à la section II.2.2.1.2. L'onduleur fonctionne correctement jusqu'à l'instant $t = 135,355$ ms : la tension v_{on} peut être déterminée par l'équation (II.7) et la tension v_{ko} est égal à v_{koes} (sauf au moment précis de la commutation). On peut donc obtenir la valeur de la tension v_{on} à l'instant $t = 135,355$ ms à partir des équations (II.1) et (II.7) :

$$v_{on} = -\frac{1}{3}(v_{1o} + v_{2o} + v_{3o}) \cong -\frac{1}{3}\left(-\frac{700}{2} - \frac{700}{2} + \frac{700}{2}\right) \cong 117 \text{ V} \quad (t = 135,355 \text{ ms})$$

Dès que le courant i_{β} devient égal à zéro (instant $t = 135,355 \text{ ms}$), puisque e_{3n} est égale à 200 V et $\delta_1 = \delta_2 = 0$ et $\delta_3 = 1$ (cas numéro 1 du tableau II-4), D_3 et D_6 sont bloquées et le courant i_{β} reste égale à zéro. Dans ce cas, la tension v_{on} peut être déterminée à partir de l'équation (II.13) :

$$v_{on} = \frac{1}{2}(v_{dc} - e_{3n}) \cong \frac{1}{2}(700 - 200) \cong 250 \text{ V} \quad (135,355 < t \leq 135,358 \text{ ms})$$

A l'instant $t = 135,358 \text{ ms}$, δ_2 passe de 0 à 1. Ces conditions correspondent au cas numéro 2 du tableau II-4. Ainsi, les états des diodes D_3 et D_6 ne changent pas et ces diodes restent bloquées : le courant i_{β} reste donc égal à zéro. Dans ce cas, la tension v_{on} peut être déterminée à partir de l'équation (II.20) :

$$v_{on} = -\frac{1}{2}e_{kn} = -\frac{200}{2} = -100 \text{ V} \quad (135,358 < t \leq 135,36 \text{ ms})$$

Le défaut est finalement détecté à l'instant $t = 135,36 \text{ ms}$. Les deux interrupteurs du bras numéro 3 sont alors isolés par la mise à '0' de leurs commandes. Les valeurs de δ_3 et δ_6 sont ensuite utilisées pour commander les deux interrupteurs du bras redondant. De plus, le module de reconfiguration commande à la fermeture l'interrupteur bidirectionnel t_3 afin de relier la phase 3 au bras redondant.

A partir de ce moment, le FAP fonctionne correctement et la tension v_{on} peut être calculée des équations (II.1) et (II.7):

$$v_{on} = -\frac{1}{3}(v_{1o} + v_{2o} + v_{go}) \cong -\frac{1}{3}\left(-\frac{700}{2} + \frac{700}{2} + \frac{700}{2}\right) \cong -117 \text{ V} \quad (t > 135,36 \text{ ms})$$

Notons que la tension v_{on} reste égale à cette valeur jusqu'au premier changement d'un des signaux de commande δ_1, δ_2 ou δ_4 .

II.3. Convertisseurs triphasés à structure tension tolérant les défauts de capteurs de courant

Le contrôle des courants générés par un convertisseur statique nécessite une mesure fiable et précise des courants. En effet, toute méthode de contrôle des courants d'un convertisseur statique, même des plus efficaces, ne pourra pas réaliser efficacement la poursuite des courants de référence si la mesure des courants générés est erronée. Un défaut survenant au niveau d'un capteur de courant se traduit inévitablement par une perte de contrôle partielle ou totale. Ainsi, cette défaillance conduit au dysfonctionnement du système, voire à son interruption complète. En outre, dans certains cas, si le défaut n'est pas rapidement détecté et compensé, il peut alors mettre en danger le fonctionnement du système. Par conséquent, afin d'assurer la continuité de service du système et d'éviter toute détérioration, une méthode efficace et rapide de détection et de compensation des défauts des capteurs de courant doit être mise en œuvre.

De nombreuses méthodes ont été proposées dans la littérature afin de détecter et compenser les défauts des capteurs de courant associés à la topologie de convertisseur trois bras à structure tension, notamment dans le cas du contrôle des machines électriques. *Parsa et Toliyat* ont proposé d'estimer les courants de phase d'un moteur aimant permanent à l'aide d'un observateur de type Luenberger [Parsa, 2003]. Ils ont détecté les éventuels défauts des capteurs de courant en comparant l'écart entre les courants mesurés et estimés dans le repère tournant dq . Les courants mesurés sont alors remplacés par les courants estimés après détection de défaut. *Benett* s'est quant à lui intéressé à la détection et à l'isolation de défauts des capteurs de courant d'une machine à induction, travaux notamment publiés dans les articles [Bennett, 1996], [Bennett, 1997] et [Bennett, 1999]. Ses travaux consistent à diagnostiquer quel capteur de courant est défaillant et ensuite remplacer la valeur de ce dernier par une valeur calculée à partir des deux autres capteurs de courant encore fonctionnels en considérant la somme des trois courants égale à zéro. Il a proposé d'identifier le capteur défaillant en comparant les résidus des courants (écarts entre les courants mesurés et les courants estimés). Il a également proposé d'utiliser un observateur bilinéaire afin d'estimer les courants de phase. *Lee et Ryu* ont quant à eux proposé un observateur avec gain adaptatif pour estimer les courants de phase d'une machine à induction [Lee, 2003]. Ils ont employé un test portant sur la somme des valeurs des courants de phase afin de détecter l'apparition du défaut survenant au niveau d'un des trois capteurs de courant mis en œuvre. Ils ont identifié le capteur défaillant en comparant les résidus des courants. Plus récemment, *Rothenhagen et Fuchs* ont utilisé deux observateurs de type Luenberger en parallèle afin d'estimer les courants côtés stator et rotor d'une génératrice asynchrone à double alimentation [Rothenhagen, 2007]. A partir des courants estimés et en utilisant les valeurs des résidus, ils ont diagnostiqué le capteur défaillant, puis la valeur fournie par ce capteur est remplacée par celle du courant estimé.

On peut noter que toutes ces méthodes d'identification d'un capteur de courant défaillant, mentionnées auparavant, sont basées sur l'estimation des courants de phase de la machine

électrique considérée au moyen d'observateurs. Il est important de noter que contrairement au cas des machines électriques, certaines applications des convertisseurs statiques de tension, telles que les alimentations sans interruption et les FAPs, ne permettent pas d'employer un observateur car les équations d'état du réseau et de la charge sont variables au cours du temps. De plus, les coefficients de la matrice du système d'état sont variables lorsque la charge est non linéaire (cas d'un redresseur à thyristors, par exemple) [Salem Nia, 1996].

Certains chercheurs ont proposé de reconstruire les courants de phase des convertisseurs à structure tension à l'aide d'un capteur de courant placé au niveau de l'étage continu [Blaabjerg, 1997], [Woo, 2001] et [Wang, 2004]. Dans ces méthodes, les courants côté alternatif sont reconstruits au moyen d'un capteur de courant placé côté continu, à l'aide des signaux de commande des interrupteurs. Wang a proposé d'utiliser les courants reconstruits pour détecter des défauts des capteurs de courant côté alternatif [Wang, 2004]. Ces méthodes de reconstitution des courants donnent de bons résultats dans le cas d'application des machines électriques car le courant de phase a une composante fondamentale prépondérante. Néanmoins, elles présentent un certain nombre de limitations [Ying, 2006]. Etant donné que le courant côté continu présente des pics lors des commutations, des implémentations complexes sont nécessaires pour évaluer avec exactitude ce courant, souvent bruité. De plus, ces méthodes ne sont pas adaptées au cas du filtrage actif car les forts di/dt des courants à reconstruire rendent difficile l'obtention de performances élevées par ces méthodes.

Dans l'impossibilité d'utiliser des observateurs ou des méthodes basées sur la reconstitution des courants dans l'ensemble des applications mettant en œuvre des convertisseurs statiques à structure tension, nous proposons dans cette section une nouvelle méthode permettant de prédire les courants de phase des convertisseurs à structure tension en vue de les rendre tolérants les défauts de capteurs de courant. Cette méthode est basée sur la prédiction des courants de phase au moyen d'un modèle prédictif du convertisseur. Dans ce qui suit, un système de contrôle "fault tolerant" est également proposé pour détecter et compenser les défauts éventuels des capteurs de courant.

II.3.1. Continuité de service lors de défauts des capteurs de courant

Les mesures des courants de phase i_k (Cf. la figure II.1) sont classiquement réalisées à l'aide de capteurs à effet Hall. Ces capteurs se composent principalement d'un élément sensible dit "élément de Hall" et de circuits de conditionnement et de traitement du signal. Les principaux types de défauts pour un tel capteur de courant sont recensés dans le tableau II-8.

Tableau II-8. Défaits classiques d'un capteur de courant.

Types de défaut	Modèle	Erreur de mesure
Variation du gain	$(1+k_g) i_k$	$e_{cg} = -k_g i_k$
Offset	$i_k + I_{offset}$	$e_o = -I_{offset}$
Bruit	$i_k + n(t)$	$e_b = -n(t)$
Circuit ouvert	0	$e_{co} = i_k$
Interruption intermittente	[0,1]	$e_{ii} = [i_k, 0]$

Pour mettre en œuvre un système de contrôle tolérant les défauts de capteurs de courant, un seul capteur de courant supplémentaire est nécessaire par rapport au système de contrôle classique. Dans les conditions habituelles, deux capteurs sont en effet conventionnellement utilisés. Le capteur supplémentaire est alors placé au niveau de la troisième phase et est utilisé pour détecter tout défaut éventuel d'un des deux autres capteurs de courant. En outre, ce troisième capteur remplacera le capteur défectueux après la détection d'un défaut. On désignera avec un indice m un courant mesuré afin de différencier clairement les courants réels des courants mesurés. Dans les conditions idéales, les courants mesurés (i_{1m} , i_{2m} et i_{3m}) sont identiques aux courants réels (i_1 , i_2 et i_3). Des différences apparaissent lorsqu'un défaut se produit au niveau d'un capteur de courant. La figure II-15 représente la structure générale du système de contrôle dit "fault tolerant", relativement aux défaillances des capteurs de courant. Sur cette figure, les grandeurs $\hat{i}_{km}$ ($k = \{1, 2, 3\}$) correspondent aux courants compensés. Comme on peut le voir, ce système de contrôle "fault tolerant" est composé des six blocs fonctionnels suivants :

- *Détection de défaut;*
- *Prédiction des courants;*
- *Calcul des résidus;*
- *Identification du capteur défectueux;*
- *Compensation de défaut;*
- *Mémorisation du défaut.*

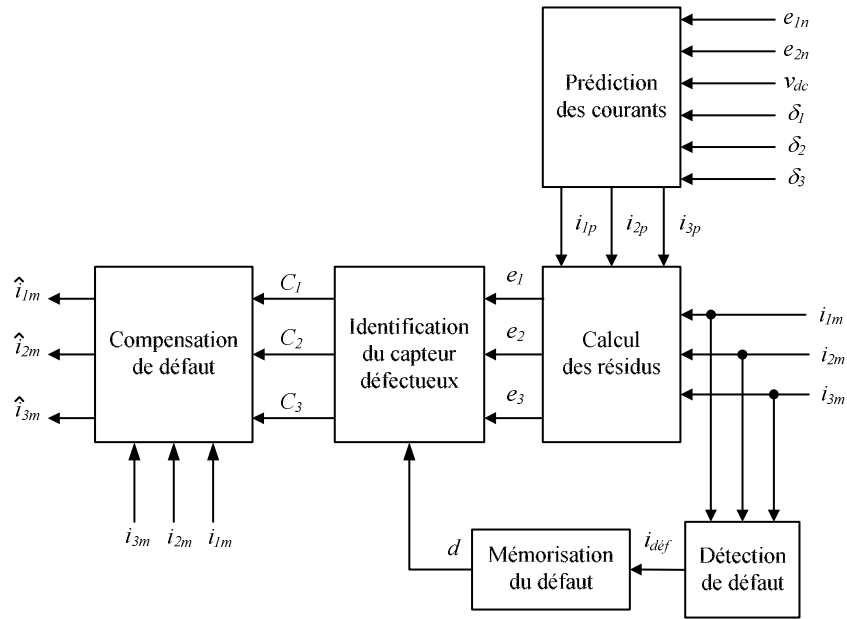


Figure II-15. Diagnostic et compensation du défaut.

Dans les sections suivantes, nous allons successivement détailler chacun de ces six blocs fonctionnels.

II.3.1.1. Détection de défaut

Considérons maintenant le bloc "détection de défaut" présenté à la figure II-16. Afin de détecter l'apparition d'un défaut d'un des capteurs de courant, un test portant sur la somme des valeurs des courants de phase est employé. En fonctionnement normal, la somme des trois courants mesurés est très faible, proche de zéro. Un défaut éventuel au niveau d'un des capteurs de courant peut alors être détecté au moyen d'un comparateur. Pour cela, la valeur absolue de la somme des trois courants mesurés est comparée à un seuil. Par conséquent, quand un défaut apparaît au niveau d'un des capteurs de courant, la sortie de ce comparateur, notée i_{def} , devient égale à 1. Le choix de la valeur du seuil I_s dépend de la précision de la prédiction des courants et doit être supérieure à l'erreur maximale entre les courants mesurés et les courants prédits.

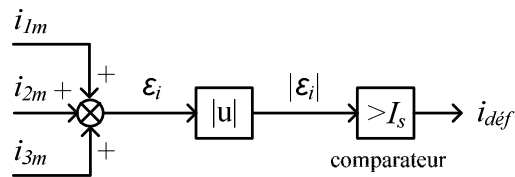


Figure II-16. Principe du bloc de détection de défaut.

II.3.1.2. Prédiction des courants

Le bloc "prédiction des courants" permet de prédire les valeurs des courants de phase du convertisseur. Ces courants seront ensuite utilisés dans le bloc intitulé "Calcul des résidus".

L'efficacité et les performances du système de contrôle "fault tolerant" proposé dépendent fortement de la précision de ce bloc.

En considérant le modèle de Thévenin équivalent pour le système auquel le convertisseur triphasés à structure tension est connecté (Figure II.1) et à partir des équations (II.4) et (II.6), on établit :

$$L_t \frac{di_k}{dt} + R_t i_k + e_{kn} - v_{ko} - v_{on} = 0 \quad (\text{II.29})$$

La dérivée du courant i_k peut être discrétisée et approximée par la relation suivante :

$$\frac{di_k}{dt} \approx \frac{i_k(m) - i_k(m-1)}{T_s} \quad (\text{II.30})$$

En remplaçant l'expression (II.30) dans l'équation (II.29), la valeur de l'échantillon m du courant de la phase k ($k = \{1, 2, 3\}$) peut être prédite par la relation :

$$i_k(m) = \frac{1}{R_t T_s + L_t} \left[L_t i_k(m-1) + T_s (e_{kn} - v_{ko} - v_{on}) \right] \quad (\text{II.31})$$

L'erreur commise lors de la prédiction de i_k croît avec l'augmentation de la période d'échantillonnage T_s . Ainsi, la valeur de T_s doit être choisie suffisamment petite. Par conséquent, le terme $R_t T_s$ peut être négligé devant L_t . Ainsi, l'équation (II.31) prend la forme suivante :

$$i_k(m) = i_k(m-1) + \frac{T_s}{L_t} v_{Zk} \quad (\text{II.32})$$

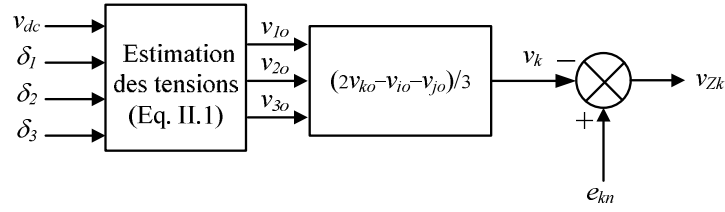
Avec v_{Zk} la tension aux bornes de l'impédance (R_t, L_t) de la phase k . Cette tension s'exprime par :

$$v_{Zk} = e_{kn} - v_{ko} - v_{on} \quad (\text{II.33})$$

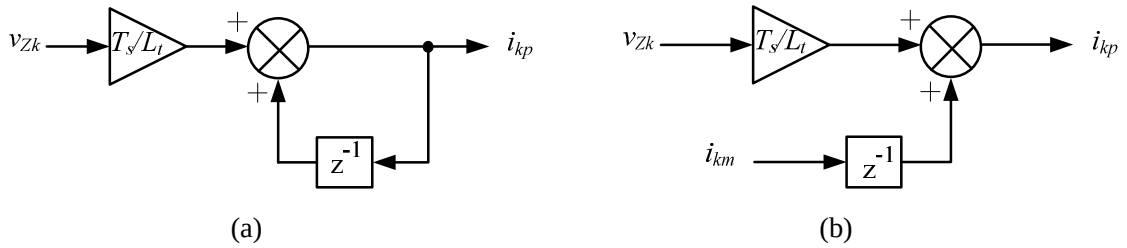
En remplaçant l'équation (II.7) dans l'équation (II.28), nous établissons :

$$v_{Zk} = e_{kn} - \frac{1}{3} (2v_{ko} - v_{io} - v_{jo}) \quad (i \neq j \neq k \in \{1, 2, 3\}) \quad (\text{II.34})$$

A partir des équations (II.1) et (II.34), la tension v_{Zk} peut être estimée à partir des tensions v_{dc} et e_{kn} et à partir des trois signaux de commande δ_1, δ_2 et δ_3 . La figure II-17 illustre ce principe d'estimation de la tension v_{Zk} .


 Figure II-17. Estimation de la tension v_{zk} .

Nous proposons de prédire la valeur $i_k(m)$ de l'échantillon m du courant de la phase k , selon l'équation (II.32). Cette valeur prédite sera alors notée $i_{kp}(m)$ (voir figure II-18) et calculée à partir de la tension estimée v_{zk} et de la valeur $i_k(m-1)$ du courant de la phase k à l'instant d'échantillonnage précédent. Dans un premier temps, nous avons envisagé de déterminer la valeur $i_k(m-1)$ de deux manières différentes : soit elle est obtenue à partir de la valeur prédite $i_{kp}(m-1)$ (voir figure II-18a), soit elle est obtenue à partir de la valeur mesurée $i_{km}(m-1)$ (voir figure II-18b).


 Figure II-18. Prédiction des courants (a) à partir de la valeur $i_{kp}(m-1)$ (b) à partir de la valeur de $i_{km}(m-1)$.

La première méthode de prédiction des courants (figure II-18a) correspond à une intégration effectuée en boucle ouverte. Les problèmes d'offset et de quantification constituent les points faibles majeurs de cette technique de prédiction. Au bout d'un certain temps de fonctionnement du système de contrôle "fault tolerant", l'intégration d'un terme continu peut conduire à un résultat très élevé, atteignant la limite de la représentation numérique du calculateur utilisé. Par ailleurs, cette intégration rend le courant prédit i_{kp} incorrect.

La seconde méthode de prédiction des courants (figure II-18b) présente également un inconvénient. Si l'un des capteurs devient défaillant alors que le courant qui le traverse est faible, le bloc de détection de défaut ne peut pas aussitôt détecter l'apparition du défaut si l'erreur absolue est inférieure à la valeur du seuil I_s utilisée dans ce bloc (voir figure II-16). Par conséquent, une valeur erronée i_{km} du courant sera utilisée pour prédire i_{kp} . Ensuite, lorsque le courant i_k traversant ce capteur défaillant augmente, le bloc de détection peut alors détecter la présence d'un défaut (voir figure II-16). Cependant, le bloc "identification du capteur défectueux" pourra identifier comme défaillant un des deux autres capteurs qui ne l'est pas.

Pour pallier ces inconvénients, nous avons envisagé de recourir à une méthode hybride, basée sur les deux méthodes présentées ci-dessus. Son principe est présenté à la figure II-19. Elle met en œuvre un comparateur avec un seuil de valeur s permettant de sélectionner la méthode à utiliser selon la valeur absolue de i_{km} . La valeur $i_k(m-1)$ du courant de la phase k est déterminée par la première méthode exposée auparavant lorsque la valeur absolue du courant mesuré i_{km} est inférieure au seuil s . Sinon, elle est déterminée en utilisant la seconde méthode. Pour assurer une identification correcte du capteur défectueux lors de l'apparition du défaut, la valeur du seuil s doit être supérieure à la valeur du seuil I_s utilisée dans le bloc de détection de défaut.

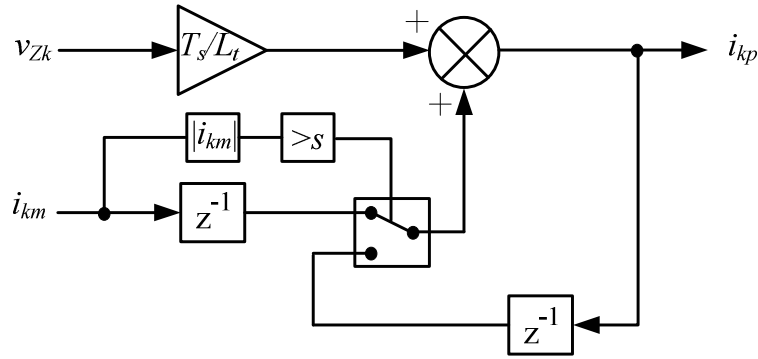


Figure II-19. Prédiction du courant par la méthode hybride proposée.

II.3.1.3. Calcul des résidus

Le bloc de calcul des résidus (écarts entre les mesures et les valeurs prédites) a pour entrées les valeurs des courants de phase prédits et mesurés. Il génère trois résidus, notés e_1 , e_2 et e_3 , égaux aux écarts absolus entre les valeurs des courants prédits et mesurés pour chacune des trois phases ($k = \{1, 2, 3\}$) :

$$e_k = |i_{km} - i_{kp}| \quad (II.35)$$

II.3.1.4. Identification du capteur défectueux

Le bloc d'identification du capteur défectueux reçoit les trois résidus, e_k ($k = \{1, 2, 3\}$), du bloc de calcul des résidus et le signal de défaut, d , du bloc "mémoire du défaut". Le bloc d'identification du capteur défectueux n'est activé que lorsque le signal d est égal à 1.

En raison du bruit et de la différence entre les courants de phase prédits et mesurés, une méthode uniquement basée sur un seuil d'erreur pour connaître le capteur défectueux n'est pas satisfaisante. Nous proposons donc d'estimer simultanément les trois résidus et de rechercher le maximum d'entre eux pour identifier le capteur défectueux. Les sorties de ce bloc sont alors

constituées de trois signaux d'identification, notés C_k ($k = \{1, 2, 3\}$). Ils permettent d'identifier le capteur défectueux. Ces signaux seront ensuite utilisés dans le bloc de compensation de défaut.

II.3.1.5. Compensation de défaut

Ce bloc reçoit les trois signaux d'identification et remplace la mesure du capteur défectueux par une valeur estimée à partir des deux autres mesures de courant. Le schéma de principe de ce bloc est présenté à la figure II-20.

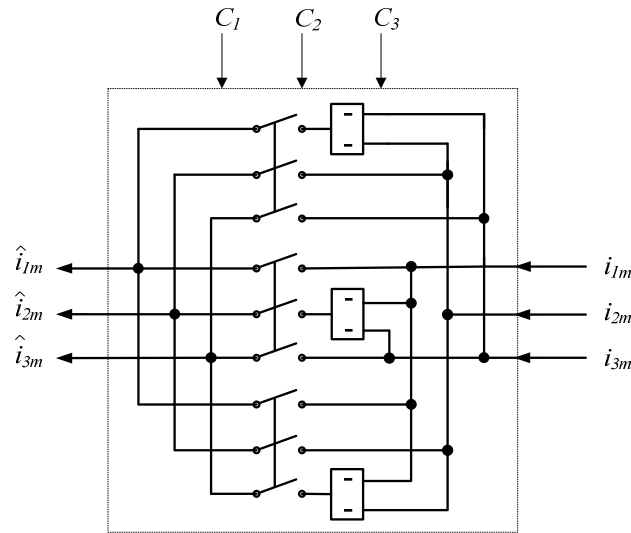


Figure II-20. Compensation du défaut.

II.3.1.5. Mémorisation du défaut

Lorsque le défaut a été détecté par le bloc de détection de défaut, la valeur absolue de l'erreur est plus grande que la valeur du seuil I_s (voir figure II-16). Par conséquent, le signal de sortie du comparateur, noté $i_{déf}$, est égal à 1. Toutefois, en cas de défauts "changement du gain", "circuit-ouvert" ou "interruption intermittente", dès que la valeur du courant traversant le capteur défaillant devient faible (passage à zéro par exemple), la valeur absolue de l'erreur devient naturellement inférieure à I_s . En effet, dans ces cas de défauts, l'erreur dépend de la valeur de i_k (voir tableau II-8). Par conséquent, le signal de sortie du comparateur, $i_{déf}$, passerait alors de 1 à 0. Ensuite, il passerait de 0 à 1, quand le courant i_k aurait suffisamment augmenté pour dépasser le seuil de détection et ainsi de suite.

Afin d'éviter ces changements d'état du signal $i_{déf}$ qui conduiraient à un mauvais fonctionnement de notre algorithme de détection, nous évaluons à l'aide du bloc "mémorisation du défaut", la durée pendant laquelle le signal $i_{déf}$ reste égal à 0 après la détection du défaut. Si cette durée est supérieure à une demi-période (0,01 seconde à une fréquence de 50 Hz), alors

nous considérons que le défaut a disparu; le signal de défaut, d , passe alors de 1 à 0 et désactive le bloc "identification du capteur défectueux".

II.3.2. Application au cas du FAP triphasé

Nous avons choisi l'application FAP afin d'étudier et valider le système de contrôle "fault tolerant" proposé car les méthodes classiques basées sur les observateurs et la reconstitution des courants ne sont pas adaptables.

La structure du FAP étudié est a été présentée à la figure I-2 et ses paramètres rassemblés dans le tableau I-8. Les résultats du dimensionnement du réseau et de la charge polluante sont synthétisés dans le tableau I-4. Les courants fournis par l'onduleur sont contrôlés afin de compenser à la fois les harmoniques de courant de la charge polluante et l'énergie réactive.

II.3.2.1. Conséquences du défaut "circuit ouvert" sans détection et compensation

Dans cette section, nous allons présenter les conséquences d'un défaut "circuit-ouvert" lorsque le système de contrôle "fault tolerant" n'est pas utilisé. Nous avons choisi ce type de défaut pour illustrer la nécessité et l'importance d'employer un système de contrôle "fault tolerant" dans l'application FAP.

Les figures II-21 et II-22 présentent les formes d'ondes des courants du FAP (réels et mesurés), de la tension continue v_{dc} et des courants de source lorsqu'un défaut de type "circuit-ouvert" apparaît au niveau du capteur de courant de la phase 1, à l'instant $t = 70$ ms. La figure II-21 illustre les conséquences de ce défaut lorsqu'une configuration conventionnelle de FAP avec deux capteurs de courant est utilisée. Dans cette configuration, les courants de la phase 1 et 2 du FAP sont mesurés et le courant de la troisième phase est déterminé à l'aide de ces deux mesures de courant. En effet, dès que le capteur de courant de la phase 1 tombe en panne, le signal de sortie de ce capteur devient nul. Par conséquent, le courant déterminé par calcul pour la phase 3, noté i_{fm3} , devient alors égal à $-i_{fm2}$. De ce fait, les courants de sortie du FAP ne peuvent plus être contrôlés et le condensateur est périodiquement déchargé et chargé par le réseau. Cela conduit à des valeurs très élevées des courants de phase du filtre et du réseau, notés i_{f123} et i_{s123} . En conclusion, ce type de défaut met en danger le fonctionnement du système dans le cas de la configuration conventionnelle du FAP avec deux capteurs de courant.

La figure II-22 présente les formes d'ondes obtenues lorsque trois capteurs de courant sont mis en œuvre. Dans cette configuration, les trois courants de phase du FAP sont mesurés indépendamment. Dans ce cas, les amplitudes des courants de sortie du FAP et des courants du réseau peuvent atteindre plusieurs fois leurs valeurs en fonctionnement normal. De plus, la tension continue v_{dc} comporte des ondulations sensibles et les courants du réseau ne sont plus sinusoïdaux.

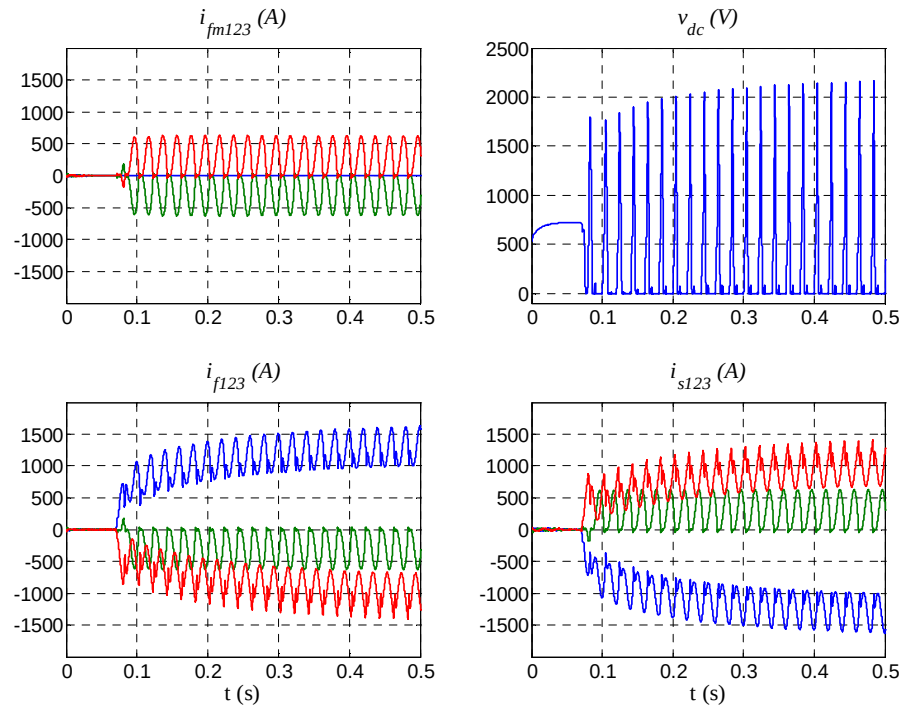


Figure II-21. Défaut "circuit-ouvert" du capteur de courant de la phase 1 (configuration avec deux capteurs de courant sans détection et compensation de défaut).

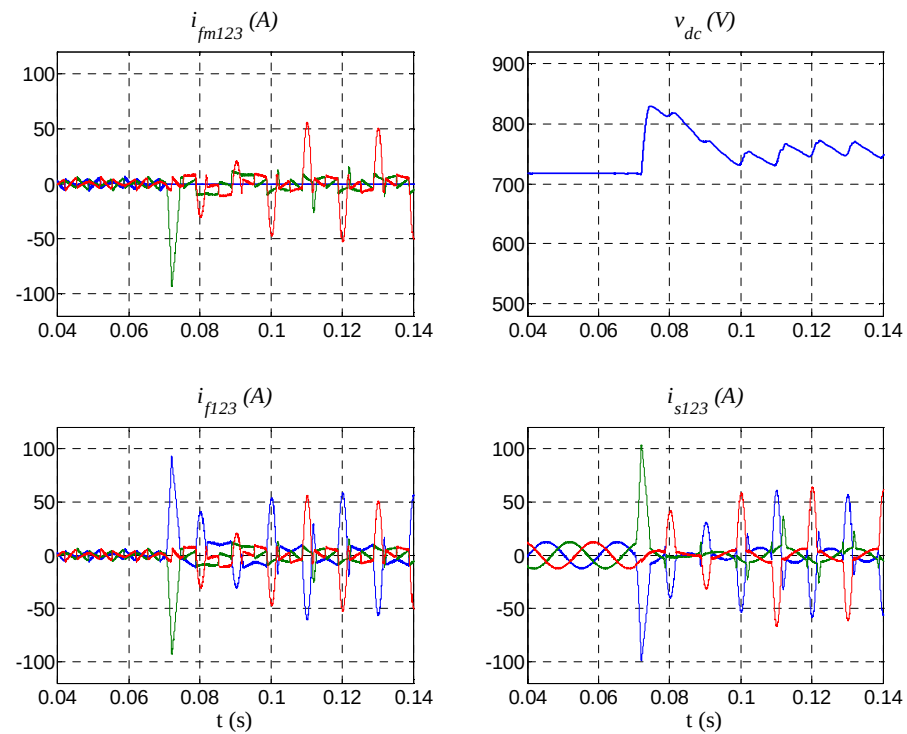


Figure II-22. Défaut "circuit-ouvert" du capteur de courant de la phase 1 (configuration avec trois capteurs de courant sans détection et compensation de défaut).

II.3.2.2. Performances du système de contrôle "fault tolerant"

L'analyse effectuée dans la section précédente montre qu'un système de contrôle conventionnel du FAP ne permet pas d'assurer la continuité de service en cas de défaillance (défaut de type "circuit-ouvert") d'un capteur de courant. De plus, l'apparition de défauts est plus critique pour la configuration avec deux capteurs de courant que pour la configuration à trois capteurs.

Dans ce paragraphe, nous présentons les performances du FAP intégrant la détection et la compensation de défauts des capteurs de courant, étudiées à la section II.3.1. Les figures II-23, II-24, II-25 et II-26 présentent les résultats obtenus respectivement pour les défauts "circuit-ouvert", "interruption intermittente", "offset" et "changement du gain", générés au niveau du capteur de courant de la phase 1.

L'instant d'apparition des défauts "circuit-ouvert", "offset" et "changement du gain" est l'instant $t = 70$ ms et le défaut "interruption intermittente" se produit à l'instant $t = 60$ ms pendant 20 ms, puis se produit à nouveau à l'instant $t = 100$ ms pendant 10 ms. La valeur de l'offset lors du défaut "offset" est égale à 2A ($I_{\text{offset}} = 2\text{A}$) et le gain du capteur de courant de la phase 1 est augmenté de 50% ($k_g = 0,5$) lors du défaut "changement du gain".

On peut noter que la continuité de service du FAP intégrant le système de contrôle "fault tolerant" est assurée dans les conditions normales de fonctionnement après apparition des défauts. En effet, les formes d'ondes des courants et de la tension continue ne sont pas perturbées par ces défauts, notamment en raison de la rapidité de leurs détections et de leurs compensations.

Il faut noter qu'à la figure II-24, le signal d'identification C_1 passe de 1 à 0 avec un retard de 0,01 seconde après la disparition du défaut. Ce délai est généré par le bloc "mémoire du défaut".

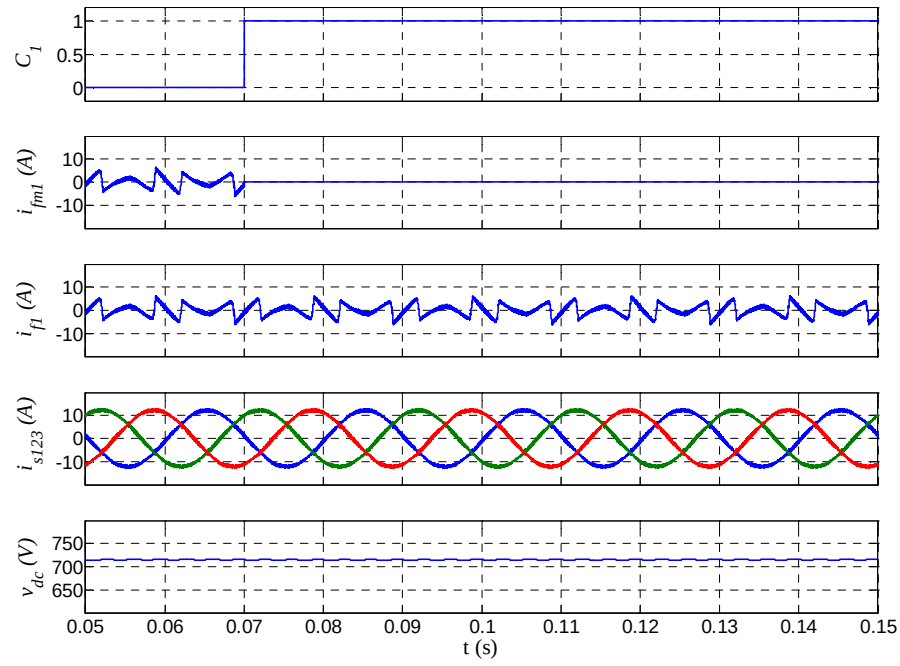


Figure II-29. Performance du FAP intégrant le système de contrôle "fault tolerant": défaut "circuit-ouvert".

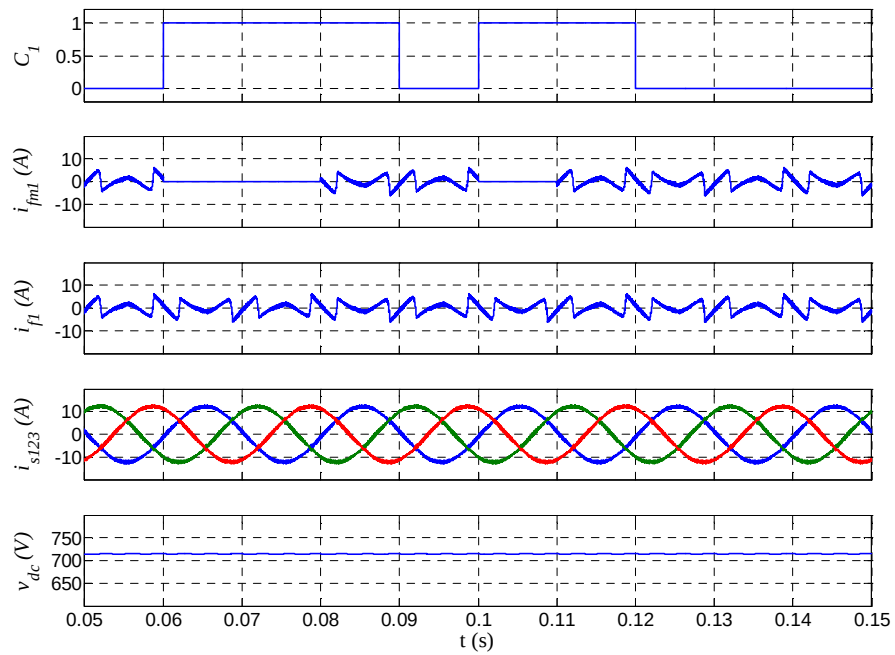


Figure II-30. Performance du FAP intégrant le système de contrôle "fault tolerant": défaut "interruption intermittente"

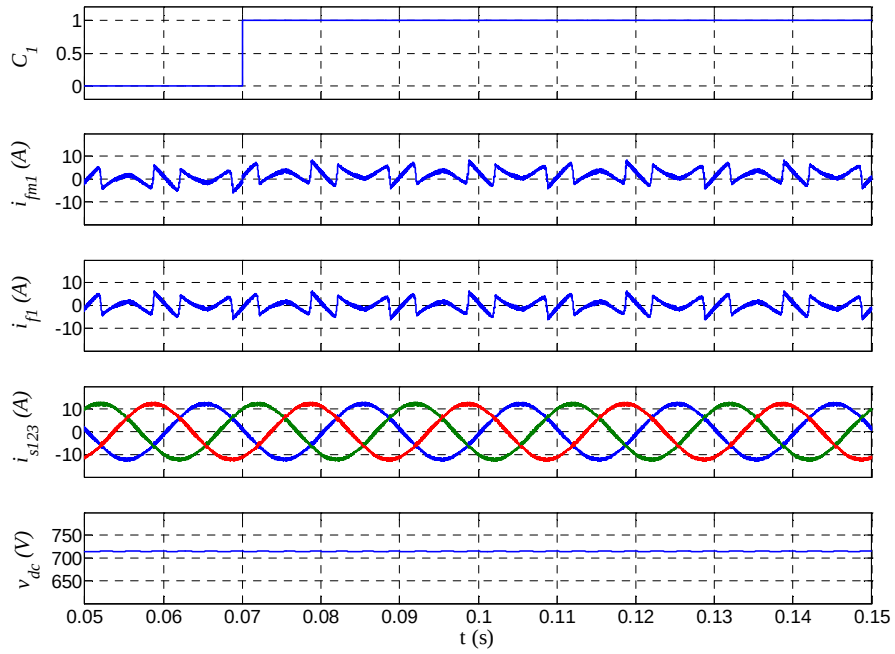


Figure II-31. Performance du FAP intégrant le système de contrôle "fault tolerant": défaut "offset".

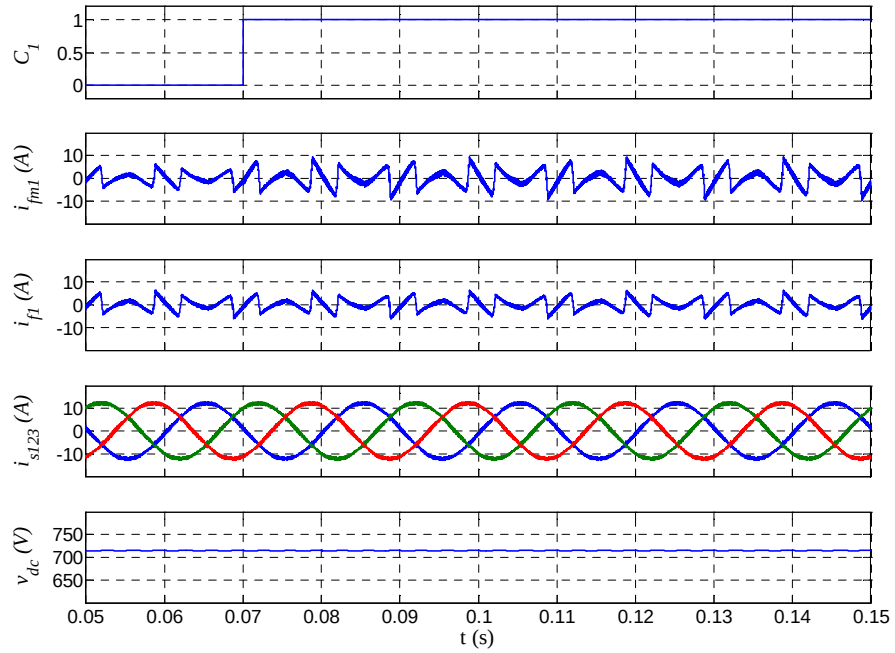


Figure II-31. Performance du FAP intégrant le système de contrôle "fault tolerant": défaut "changement du gain".

II.4. Conclusion

Les analyses et résultats de simulation présentés dans ce chapitre ont montré que la configuration conventionnelle de convertisseur statique triphasé à structure tension ne permet pas d'assurer la continuité de service en présence du défaut éventuel d'un des semi-conducteurs ou d'un des capteurs de courant. Pour assurer sa disponibilité et éviter de dégrader son fonctionnement, un système efficace et tolérant les défauts est indispensable. La détection, l'identification et la compensation des défauts sont les trois parties importantes d'un tel système.

Dans ce chapitre, nous avons proposé deux nouvelles méthodes permettant de détecter, d'identifier et de compenser le défaut éventuel d'un semi-conducteur, d'un driver ou d'un capteur de courant. Les méthodes proposées détectent l'apparition du défaut concerné et identifient le composant défectueux. Ensuite, les modules de compensation modifient la structure du convertisseur ou le choix des deux capteurs de courant utilisés selon la nature du défaut. Ces modifications apportent des degrés de liberté supplémentaires pour permettre au convertisseur de fonctionner en mode normal, même en présence de défaut.

Les analyses effectuées dans la partie concernant la tolérance les défauts des semi-conducteurs ont montré que la méthode proposée peut réduire considérablement le temps de détection par rapport aux autres méthodes publiées dans la littérature scientifique. Dans cette méthode, le défaut éventuel est détecté par l'analyse de la tension d'erreur obtenue par différence entre les tensions v_{ko} ($k = \{1, 2, 3\}$), mesurées et estimées. L'analyse de la tension d'erreur est effectuée en utilisant simultanément un "*critère temporel*" et un "*critère de tension*", afin de rendre la détection insensible aux commutations des semi-conducteurs. Afin de réaliser expérimentalement cette méthode, avec un temps de détection très court, un FPGA peut avantageusement être utilisé ; cet aspect sera validé expérimentalement au chapitre suivant. Les résultats de simulation obtenus pour l'application FAP ont confirmé les performances de la méthode proposée.

Un système de contrôle tolérant les défauts de capteurs de courant a également été proposé dans ce chapitre. Afin de détecter l'apparition d'un défaut, un test sur l'équilibre des courants de phase est employé. L'identification du capteur défectueux est basée sur la comparaison entre les courants de phase mesurés et ceux prédits. Nous avons également proposé une méthode hybride pour la prédiction de ces courants de phase qui peut à la fois résoudre les problèmes d'intégration en boucle ouverte et assurer l'identification correcte du capteur défectueux même si le défaut s'est produit alors que la valeur réelle du courant du capteur défaillant est faible. Après identification du capteur défectueux, il est compensé en remplaçant la mesure qu'il fournissait par le courant estimé à partir des deux autres mesures de courants.

Nous avons choisi l'application FAP afin d'étudier l'influence des défauts de capteurs de courant et valider les performances du système de contrôle "fault tolerant" proposé. Les résultats obtenus par simulation montrent que le système de contrôle conventionnel d'un FAP ne permet

pas d'assurer la continuité de service en cas de défaillance d'un capteur de courant, notamment lors des défauts de types circuit-ouvert permanent ou intermittent. Ces défauts peuvent effectivement mettre en danger le système et son fonctionnement. De plus, l'apparition de défaut pour la configuration avec deux capteurs de courant est plus critique que dans le cas de la configuration avec trois capteurs. Par contre, en utilisant le système de contrôle "fault tolerant" proposé, les résultats de simulation montrent que les formes d'ondes des courants et de la tension continue ne sont pas atteintes par les défauts : FAP fonctionne dans les conditions normales après la présence d'un défaut détecté et compensé.

Chapitre III : Prototypage "FPGA in the loop" et validation expérimentale

III.1. Introduction

Le nombre de contrôleurs numériques destinés au contrôle des systèmes de conversion de l'énergie électrique ne cesse d'augmenter, de même que leur complexité. Par conséquent, de plus en plus d'efforts sont consacrés à la conception, la vérification et la simulation des ces contrôleurs numériques. Les récents progrès des technologies numériques et des outils logiciels associés permettent de concevoir des contrôleurs numériques intégrés de plus en plus complexes, compacts et à haute performance. Grâce aux dispositifs dits VLSI (Very Large Scale Integration) actuellement disponibles, comme par exemples les composants FPGA (Field Programmable Gate Array) et ASIC (Application Specific Integrated Circuit), des contrôleurs entièrement numériques peuvent être réalisés. Ainsi, un contrôleur numérique, voire un système de commande, qui était auparavant implanté sur une carte électronique, peut dorénavant être intégré sur une puce unique, offrant l'avantage d'être compact et de supporter un très grand nombre de traitements arithmétiques. De plus, l'utilisation de composants reconfigurables tels que les FPGAs permet le développement et le prototypage rapide du contrôleur numérique sans modification matérielle significative [Rodriguez, 2007].

Néanmoins, la complexité croissante des algorithmes à implanter dans ces contrôleurs numériques et les contraintes du marché ("*time to market*") exigent l'utilisation de méthodologies de conception particulièrement adaptées. Dans certaines applications telles que celles relevant du domaine de la conversion de l'énergie électrique, toute erreur dans la conception du contrôleur numérique, aussi minime soit elle, peut provoquer de sérieux dommages au système commandé, généralement très coûteux et des retards dans la mise au point du premier prototype.

Dans ce chapitre, nous présenterons différentes méthodologies de conception de contrôleurs numériques pour les systèmes de conversion de l'énergie électrique. Ensuite, nous examinerons les avantages de l'utilisation de composants FPGAs dans ce domaine d'application. Nous exposerons également une nouvelle méthodologie de conception et de prototypage, développée lors de ces travaux de Thèse et dite "FPGA in the loop". La méthodologie proposée permet de concevoir des contrôleurs numériques à base de FPGA et de valider expérimentalement l'implantation de l'algorithme de commande sur le FPGA ciblé en émulant par ordinateur le système de puissance, les capteurs et les interfaces. Enfin, nous développerons la conception et l'implantation numérique sur FPGA de la méthode de détection de défauts des interrupteurs, étudiée au chapitre précédent, dans le cas d'application du FAP triphasé étudié au chapitre I. Un composant FPGA de la Famille Altera sera ciblé et testé par prototypage "FPGA in the loop". Ce FPGA sera ensuite testé sur un banc d'essai expérimental du FAP triphasé et les résultats obtenus expérimentalement et par prototypage "FPGA in the loop" seront comparés.

III.2. Méthodologies de conception de contrôleurs numériques pour les systèmes de conversion de l'énergie électrique

III.2.1. Généralités

Tout système de conversion de l'énergie électrique met en œuvre un ou plusieurs convertisseurs statiques pilotés par un système de commande (voir figure III-1). Ce système de commande communique avec le système de puissance pour connaître l'état du processus et modifier cet état en pilotant de manière adéquate les semi-conducteurs des convertisseurs, afin d'assurer la fonctionnalité souhaitée.

La figure III-1 présente le contrôleur numérique au sein du système de commande. Elle fait notamment apparaître les différents signaux qui peuvent interagir avec ce contrôleur. On peut y distinguer les signaux reçus par le système de commande et ceux qu'il émet. Les signaux reçus correspondent aux mesures des grandeurs nécessaires au contrôle du processus. Ces signaux sont nécessaires au bon fonctionnement du convertisseur et indirectement au contrôle de la charge. Les signaux émis correspondent aux ordres de commande à l'ouverture et à la fermeture des interrupteurs des convertisseurs. Le lien entre le contrôleur numérique et l'utilisateur ou une machine, représenté à la figure III-1, permet de transmettre au contrôleur les consignes de régulation mais aussi d'accéder aux différentes informations concernant le système de puissance.

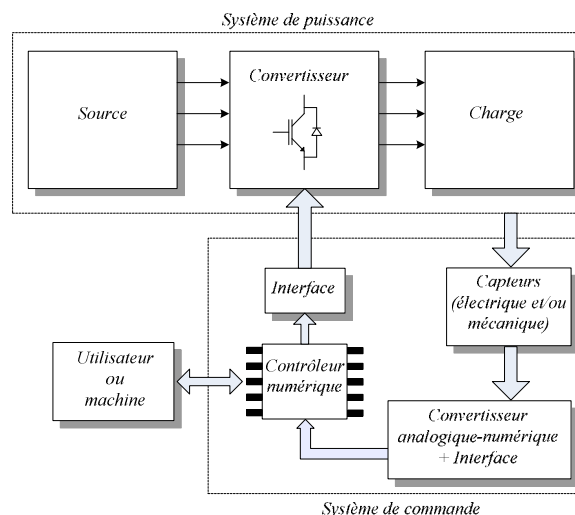


Figure III-1. Système de conversion de l'énergie électrique.

Dans un système de conversion de l'énergie électrique, on peut noter des caractéristiques communes à tous les contrôleurs numériques. Les signaux émis et reçus par le système de commande sont de natures différentes. Le système de commande doit pouvoir acquérir des grandeurs analogiques issues des capteurs. Il doit avoir une liaison numérique pour la

communication machine/machine ou homme/machine. Le contrôleur numérique doit pouvoir générer et mesurer des grandeurs logiques, notamment pour la génération des ordres de commande et la mesure de grandeurs événementielles. De plus, le contrôleur numérique est, de part sa nature, un système discontinu. Il ne réagit avec son environnement extérieur (processus à commander et utilisateur) qu'à des instants discrets. Ces instants sont soumis à des contraintes temporelles dont l'ordre de grandeur peut varier de la seconde à la microseconde selon la dynamique des grandeurs à réguler.

Dans l'approche traditionnelle, un contrôleur numérique est réalisé par assemblage sur une carte électronique de différents composants discrets réalisant chacun une fonction particulière plus ou moins complexe : addition, mémorisation, interfacement, gestion d'interruption, processeur de signaux, ... Si ce contrôleur numérique inclut une erreur de conception, il est au minimum nécessaire d'ajouter des fils entre les composants pour la corriger, ou dans le cas extrême, de refaire une nouvelle carte électronique pour résoudre ce problème, ce qui nécessite alors de refaire totalement le routage de la carte électronique. Plus le contrôleur numérique est complexe, plus les composants mis en œuvre sont nombreux, plus la carte est chère, et plus la sensibilité aux perturbations électromagnétiques est importante. Ce constat met en évidence deux besoins majeurs : pouvoir modifier le contrôleur numérique sans modifier la carte électronique et diminuer le nombre de composants numériques sur cette carte. En effet, pour un même cahier des charges, moins il y a de composants, moins la carte est chère et plus les fonctions sont intégrées, d'où une possible réduction de l'encombrement. Les améliorations des processus de fabrication des composants électroniques permettent de répondre de mieux en mieux à ces besoins. L'évolution des technologies de fabrication de circuits numériques permettent l'intégration complète d'un contrôleur numérique sur un composant unique : c'est le concept appelé "*single chip*".

La conception des tels systèmes numériques intégrés a généralement recours aux langages numériques de description de matériel comme par exemple VHDL (Very high speed integrated circuit Hardware Description Language). De tels langages et les outils associés permettent l'implémentation sur cibles numériques de ce contrôleur.

III.2.2. Langages numériques de description de matériel

Depuis le début des années 90, l'augmentation de la densité d'intégration de transistors sur une même puce contribue à l'intégration "*single chip*" dans le domaine de la commande numérique des systèmes de puissance. Cette évolution a également ouvert la voie aux langages de haut niveau de description de matériel, encore appelés HDLs pour "*Hardware Description Languages*". Deux d'entre eux ont émergé et sont aujourd'hui couramment utilisés : il s'agit de VHDL et de Verilog. Tous deux sont supportés par un grand nombre de logiciels.

Les intérêts majeurs d'une description basée sur un HDL résident dans sa portabilité et son caractère exécutable. En effet, un modèle fonctionnel numérique décrit à haut niveau par un HDL

peut être vérifié par simulation, avant même que la conception finale, détaillée et synthétisable, ne soit réalisée. D'autre part, les outils CAO (Conception Assistée par Ordinateur) permettant de passer directement d'une description HDL synthétisable à un schéma à base de portes logiques ont révolutionné les méthodes de conception des circuits numériques, de types ASIC ou FPGA.

Les deux langages VHDL et Verilog, bien que différents du point de vue syntaxique, répondent aux besoins évoqués auparavant. Il existe de fait une quasi équivalence entre les deux langages, d'où l'existence de nombreux scripts de traduction de l'un vers l'autre. Néanmoins, le langage VHDL semble être aujourd'hui le langage de description de matériel majoritairement utilisé.

III.2.3. Simulation mixte des systèmes de conversion de l'énergie électrique

Afin de répondre à la demande de l'électronique, motivée par le marché de la téléphonie mobile, la normalisation des HDL numériques a dû évoluer vers un HDL mixte, notamment afin de permettre de modéliser et de simuler les circuits intégrés mixtes (analogiques-numériques) dans un environnement unique. Par exemple, l'IEEE Design Automation Standards Committee (DASC) a développé la norme IEEE 1076.1 (1999), encore appelée VHDL-AMS (VHDL-Analog & Mixed Signal). Cette extension de VHDL permet la modélisation et la simulation de circuits analogiques, numériques et mixtes dans un environnement de simulation unique. Il inclut intégralement la norme VHDL et est particulièrement adapté à la conception de contrôleurs numériques pour les systèmes de conversion de l'énergie électrique [Jovanovic, 2008].

Dans notre cas d'application, l'apport des outils CAO de modélisation et de simulation mixte est de permettre de modéliser le système physique complet par un système virtuel reproduisant le comportement du système de conversion de l'énergie électrique, en intégrant les éléments analogiques, numériques et de puissance qui le compose (voir figure III-1). Différentes solutions permettent la modélisation et la simulation mixte d'un tel système.

Une première approche consiste à utiliser un simulateur mixte supportant un HDL mixte et intégrant un noyau de simulation unique. On peut citer par exemples les outils CAO ADVanceMS (Mentor Graphics), Simplorer (Ansoft) et SMASH (Dolphin Integration).

La co-simulation est une seconde approche possible. Elle est basée sur la communication entre deux simulateurs liés à deux logiciels différents, l'un numérique et l'autre analogique. Les modèles sont conjointement exécutés par ces deux simulateurs, chaque simulateur modélisant une partie spécifique du circuit à concevoir ou de son environnement. Une interface de co-simulation permet l'échange de données entre les deux simulateurs tout en respectant les contraintes de types et de tailles mais surtout respectant la synchronisation temporelle des deux simulateurs. On peut citer les exemples de co-simulations suivants :

- Modelsim/SpectreS (langages VHDL/SpectreHDL) [Aubepart, 2003];
- Modelsim/Saber [Lienhardt, 2006];

- Modelsim/Matlab [Katrib, 2008]

Pour ces trois cas, les parties analogique et de puissance sont respectivement modélisées et simulées sous SpectreS (modélisation en langage SpectreHDL), sous Saber (à partir des bibliothèques existantes ou en langage Mast) ou sous Matlab (modélisation à partir des bibliothèques Simulink et SimPowerSystems). Dans les trois cas présentés, le simulateur Modelsim simule le contrôleur numérique décrit en langage HDL numérique. Le modèle du contrôleur apparaît finalement sous la forme d'un bloc numérique dans l'environnement global de simulation mixte. Notons que ce modèle numérique peut être décrit à différents niveaux d'abstraction, du plus haut niveau jusqu'au niveau synthétisable. L'apport de ces différents niveaux d'abstraction est essentiel lors de la conception "Top-Down" du contrôleur numérique.

Le tableau III-1 compare les deux approches présentées ci-dessus.

Tableau III-1. Etude comparative des approches de simulation mixte.

Approches	Avantages	Inconvénients
Utilisation un simulateur mixte supportant un HDL mixte	- Noyau de simulation unique - Temps de simulation réduit	- Pas ou peu de bibliothèques de composants analogiques ou de puissance
Co-simulation	- Bibliothèques riches en composants analogiques ou de puissance	- Deux simulateurs sont nécessaires et doivent être maîtrisés - Temps de simulation important

La complexité croissante des applications des contrôleurs numériques et les contraintes du marché ("*time to market*") impliquent alors l'utilisation de méthodologies et d'outils de conception bien adaptés. Récemment, les sociétés Altera et Xilinx, fabricants de composants FPGAs, ont développé un code VHDL niveau synthétisable associé aux modèles hauts niveaux de la bibliothèque Matlab/Simulink. L'outil DSPBuilder de la société Altera et l'outil System Generator de la société Xilinx permettent alors la génération "automatique" d'une description VHDL synthétisable à partir d'un modèle dans l'environnement de simulation Matlab/Simulink. En ce sens, on peut penser à simuler l'ensemble du système de conversion de l'énergie électrique dans cet unique environnement de simulation. Nous proposerons dans ce chapitre d'utiliser de tels outils pour la conception et la modélisation des contrôleurs numériques dans le contexte de l'électronique de puissance. Dans l'approche proposée, le système de puissance est modélisé à l'aide de la bibliothèque SimPowerSystems et l'ensemble du système de conversion de l'énergie électrique est simulé dans un environnement de simulation unique, celui de Matlab/Simulink. Cette nouvelle approche bénéficie de nombreux avantages : bibliothèques riches en composants numériques, analogiques et de puissance, noyau de simulation unique et possibilité de réaliser la synthèse numérique.

III.2.4. Simulation "Hardware-In-the-Loop"

Dans notre domaine d'application (celui des systèmes de conversion de l'énergie électrique) la simulation Hardware-In-the-Loop (HIL) permet entre autres aux concepteurs d'évaluer un algorithme de commande en couplant le contrôleur numérique (partie "Hardware") à des simulateurs qui reproduisent le comportement dynamique du système de puissance. Il est dès lors possible d'évaluer l'algorithme de commande dans un environnement virtuel, non destructif où les modifications de l'algorithme sont souvent réalisables sans itération matérielle coûteuse. Ceci entraîne une réduction des temps de développement ainsi que la réduction du coût d'un projet. Ainsi, la simulation HIL permet d'évaluer la robustesse et les performances de l'algorithme de commande et les points faibles du système peuvent être détectés dans cet environnement virtuel tout en éliminant le risque d'endommager des matériaux.

Les raisons majeures qui motivent le recours à un simulateur HIL lors d'essais sur les systèmes de conversion de l'énergie électrique sont nombreuses ; on peut notamment citer les contraintes suivantes qui motivent l'utilisation d'un simulateur HIL [Munteanu, 2006]:

- le système de puissance n'est pas disponible;
- les coûts engendrés par la construction du système de puissance sont très élevés;
- les essais comportent des risques importants pour la sûreté globale de l'opération (danger, puissance élevée mise en jeu, ...);

La simulation HIL peut être réalisée en temps réel ou hors ligne ("off line"), selon le type de simulateur utilisé. Un simulateur temps réel permet de modéliser et de reproduire la dynamique et le comportement du système de puissance de sorte qu'il peut dialoguer, en temps réel, avec le contrôleur (voir la figure III-2). Ce dialogue est fait à l'aide d'interfaces entrées/sorties. Selon la complexité du système à simuler et sa dynamique, plusieurs processeurs peuvent être utilisés pour garantir une modélisation temps réel acceptable. Par exemple, *Harakawa* a mis en œuvre un simulateur temps réel ayant trois processeurs pour simuler un moteur synchrone à aimants permanents et son alimentation, avec un pas de simulation égal à $10\ \mu s$ [Harakawa, 2005]. A titre d'exemples de simulateurs temps réels, on peut citer les outils RT-LAB de la société Opal-RT.

Dans le cas de la simulation HIL hors ligne, à chaque pas de simulation, le système de puissance est simulé en utilisant un simulateur "off line" et les signaux de sortie sont envoyés au contrôleur à tester. Lorsque le contrôleur reçoit les signaux du simulateur, il exécute l'algorithme déjà implémenté. Le contrôleur retourne ensuite les signaux de commande, établis au cours de cette étape, au simulateur. À ce stade, un cycle de simulation HIL hors ligne est effectué. Dans ce type de simulation HIL, l'échange de données entre le simulateur et le contrôleur est synchronisé et une interface de type Joint Test Action Group (JTAG) est utilisée pour relier le contrôleur au simulateur. De ce fait, les interfaces d'entrées/sorties doivent être simulées. Cette simulation ne

peut pas être exécutée en temps réel et peut devenir très lente lorsque l'on diminue le pas de simulation ou lorsque le système de puissance est complexe avec une dynamique lente. En dépit de ce point faible, cette approche peut notamment être très efficace pour évaluer un algorithme de commande, en particulier lorsque le pas de simulation est très faible. En effet, dans ce cas, certains simulateurs temps réel ne peuvent plus simuler correctement de tels systèmes. D'autre part, si la notion de "temps réel" avec une modélisation acceptable est incontournable, le coût du simulateur devient prohibitif.

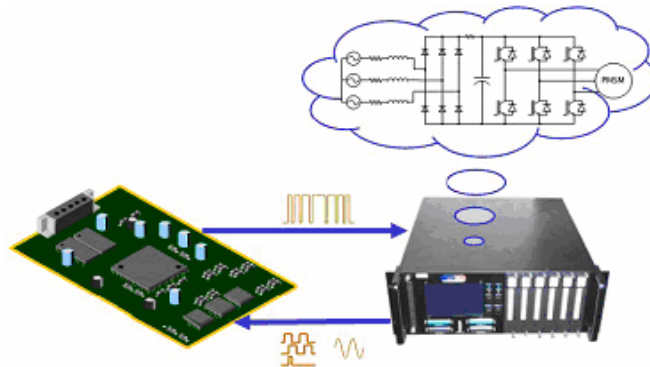


Figure III-2. Simulation HIL temps réel.

III.2.5. Apports des FPGAs pour la commande des systèmes de conversion de l'énergie électrique

Un composant FPGA est un circuit intégré numérique composé d'un grand nombre d'éléments ou blocs logiques programmables et reconfigurables sans modification matérielle significative. Aujourd'hui, les composants FPGAs sont devenus indispensables dans les systèmes numériques et sont utilisés dans de multiples domaines d'applications en raison des nombreux avantages obtenus lors de leur utilisation [Detrey, 2007]. Parmi tous ces avantages, on peut notamment citer :

- 1- L'augmentation croissante du niveau de performance temps réel tout en réduisant le coût et l'encombrement,
- 2- L'amélioration des performances. Ce mode d'implantation permet par exemple de réduire le temps d'exécution d'un algorithme afin de permettre au contrôleur à base de FPGA d'atteindre le niveau de performance des contrôleurs analogiques, sans présenter les inconvénients de ces derniers (dérive, manque de souplesse, problème de compatibilité électromagnétique,),
- 3- Leur grande souplesse de programmation permet de les réutiliser à volonté pour cibler des algorithmes différents en un temps très court, ceci à l'aide d'une même plate-forme de développement,

4- La rapidité et la facilité de reconfigurer un FPGA autant de fois que nécessaire pour implanter les fonctionnalités désirées.

En raison de tous ces avantages, les FPGAs sont aujourd'hui utilisés dans diverses applications nécessitant des traitements numériques importants tels que le traitement du signal et de l'image, le contrôle/commande des machines électriques, la mesure de vitesse, le contrôle des convertisseurs statiques de puissance, les équipements médicaux, la télécommunication, l'aéronautique, les transports, la bio-informatique, l'automobile, la robotique ou encore plus généralement l'accélération de calculs scientifiques.

Dans notre domaine d'application des systèmes de conversion de l'énergie électrique, les composants FPGAs ont déjà été utilisés avec succès pour la commande de ces systèmes, pour le contrôle d'onduleurs ou de convertisseurs multi-niveaux ou bien encore la commande de filtres actifs [Monmasson, 2002], [Aime, 2007], [Gateau, 2007], [Naouar, 2007], [Shu, 2008].

III.2.5.1. Structure et éléments constitutifs d'un composant FPGA

Un FPGA est programmé par l'intermédiaire de ces cellules mémoires de type SRAM (Static Random Access Memory). Cette technologie SRAM permet de sauvegarder la configuration à implanter et également de reconfigurer le FPGA autant de fois que nécessaire pour implanter les fonctionnalités désirées. Cette souplesse de programmation est très utile lorsqu'une erreur de conception est diagnostiquée car il suffit alors de reprogrammer le FPGA avec une version corrigée du contrôleur. La figure III-3 présente l'architecture générale d'un FPGA, basée sur des cellules mémoires SRAM.

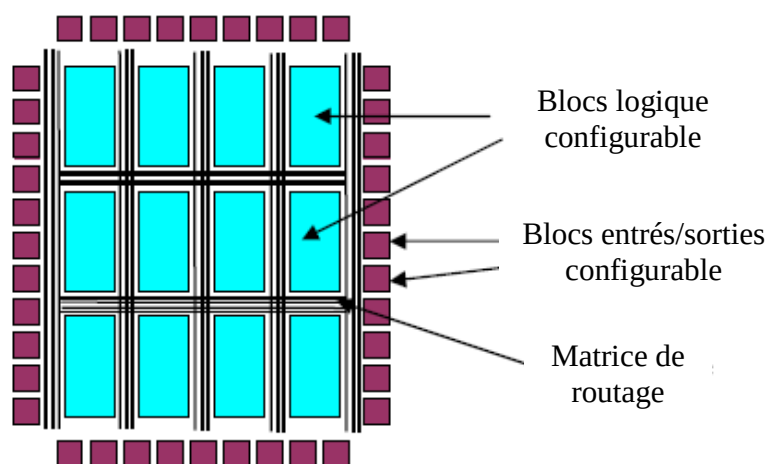


Figure III-3. Architecture générale d'un composant FPGA.

Les éléments constitutifs d'un FPGA sont toujours à peu près les mêmes quelle qu'en soit l'architecture ou le fabricant. Nous citons dans ce qui suit un certain nombre de ces éléments :

- Les éléments logiques

Ce sont les blocs de base de tout circuit FPGA. On peut réaliser dans ces blocs les opérations de type logique combinatoire. Ces blocs ont souvent la même constitution et cela malgré la différence de fabricants et d'architectures. La structure la plus courante est celle de la figure III-4 qui présente la structure de base. Ces structures sont généralement constituées d'une ou plusieurs tables ou LUT (Look Up Table) qui contiennent, après configuration du FPGA, la table de vérité de la fonction logique qu'elles doivent réaliser ou alors un ensemble de valeurs qui sont mémorisées. Les tables LUT sont suivies d'un registre de sortie, ce qui permet de synchroniser, si nécessaire, la sortie sur une horloge. La plupart des blocs logiques de bases sont munis d'une chaîne de propagation rapide de retenue afin de former de petits additionneurs rapides.

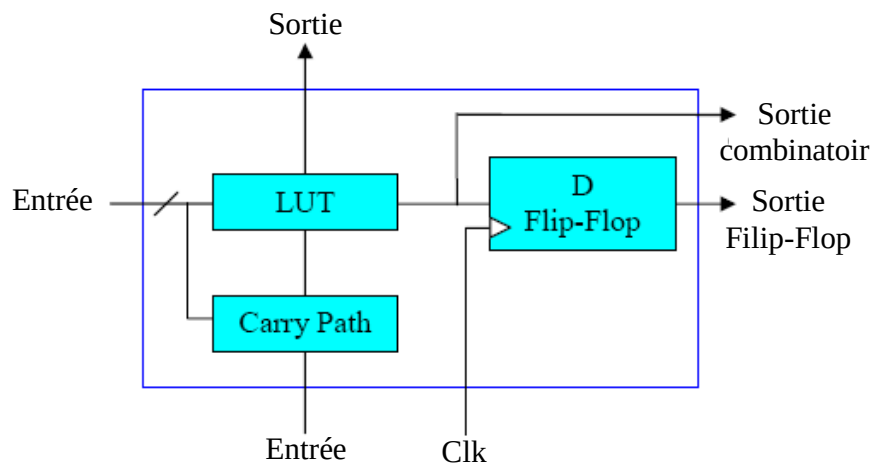


Figure III-4. Structure de base d'un composant programmable.

- Les éléments de mémorisation

Actuellement, les FPGAs sont utilisés pour des applications qui requièrent très souvent des capacités de stockage. La nécessité d'intégrer des blocs de mémorisation directement dans l'architecture des FPGAs est vite devenue capitale et de ce fait opérationnelle. De cette façon, les temps d'accès à la mémoire sont réduits puisqu'il n'est plus nécessaire de communiquer avec des éléments extérieurs au circuit.

- Les éléments de routage

Les éléments de routage sont les composants les plus importants dans les FPGAs. En fait, ces éléments représentent la plus grosse partie du silicium consommée sur la puce du circuit. Ces ressources sont composées de segments (de longueurs différentes) qui permettent de relier entre eux les autres éléments via des matrices de connexions. Le routage de ces ressources est un point critique du développement d'une application sur un FPGA. Ces éléments sont très importants

puisque'ils sont directement liés à la fréquence maximale de fonctionnement et à la surface utilisée.

- Les éléments d'entrées/sorties

Le but des éléments d'entrées/sorties est de relier le FPGA à son environnement extérieur. Ceux-ci peuvent bénéficier de protections, de mémorisation ou d'autres éléments permettant la gestion des entrées et des sorties. En particulier, il est important de noter que les circuits actuels proposent différentes normes pour les niveaux d'entrées et de sorties qui par configuration peuvent être choisies afin de s'adapter à l'environnement du composant.

- Les éléments de contrôle et d'acheminement des horloges

L'horloge est un élément essentiel pour le bon fonctionnement d'un système électronique. Les circuits FPGA sont prévus pour recevoir une ou plusieurs horloges. Des entrées sont spécifiquement réservées à ce type de signaux, ainsi que des ressources de routage spécialement adaptées au transport d'horloges sur de longues distances. Les circuits FPGA disposent en interne d'éléments de gestion de l'horloge (par exemple des PLLs). Ces éléments permettent de créer à partir d'une horloge d'autres horloges à des fréquences différentes de la fréquence de l'horloge d'entrée.

III.3. Méthodologies de prototypage "FPGA in the loop"

Notre équipe de recherche a notamment travaillé sur le développement d'une méthodologie de prototypage et de validation expérimentale de l'implantation sur FPGA d'algorithmes de commande de systèmes de conversion de l'énergie électrique [Karimi, 2007], [Karimi, 2008-7], [Karimi, 2008-8] et [Karimi, 2008-9]. Comme nous l'avons souligné, l'implantation d'architectures numériques sur cible FPGA s'appuie classiquement sur les HDLs (VHDL, par exemple) et les logiciels de conception associés. A la section suivante, nous détaillons les logiciels utilisés dans ce nouveau flot "FPGA in the Loop" proposé et dédié à la conception et l'intégration sur cible FPGA des contrôleurs numériques. Ensuite, ce flot de conception "FPGA in the loop", dit descendant ou Top-Down, est présenté et chacune de ses étapes est détaillée.

III.3.1. Logiciels mis en œuvre

La conception et l'intégration des contrôleurs numériques sur cibles programmables de type FPGA exige des outils de développement spécifiques. Pour nos travaux, nous avons choisi d'utiliser entre autres les outils logiciels "DSP Builder" de la société Altera. La motivation majeure de ce choix est le couplage possible entre ce logiciel et les outils Matlab/Simulink de la société MathWorks. En effet, DSP Builder permet de générer la modélisation VHDL synthétisable du contrôleur numérique à partir d'une modélisation sous Matlab/Simulink. Les blocs Matlab/Simulink sont également compatibles avec les blocs de DSP Builder; cette

possibilité permet de modéliser des systèmes mixtes (analogique et numérique) et de les simuler dans un environnement unique, celui de Matlab/Simulink. De plus, un flot de conception automatisés est proposé : l'outil "Signal Compiler", au cœur de DSP Builder, permet de générer le code VHDL et des scripts à partir de modèles de la bibliothèque DSP Builder. Enfin, la fonction nommée "HIL", proposée par DSP Builder, permet de placer physiquement un composant FPGA dans une boucle de simulation HIL.

Pour mener à bien l'étape d'implantation et de programmation du FPGA, nous aurons recours à l'outil logiciel Quartus II, également proposé par la société Altera. Il permet la gestion complète d'un flot de conception FPGA, à partir d'une saisie graphique ou d'une description VHDL/Verilog de l'architecture numérique. Il permet d'en réaliser une simulation en utilisant le simulateur ModelSim de Mentor Graphics, une synthèse puis une implantation sur le FPGA ciblé.

III.3.2. Flot de conception

Nous avons développé une nouvelle méthodologie de prototypage dite "FPGA in the loop" et décrite à la figure III-5, mettant en œuvre Matlab/Simulink et Matlab/SimPowerSystems ainsi que DSP Builder et Quartus II de la société Altera. Il est important de noter que ces outils Altera ciblent spécifiquement des composants FPGA de la famille Altera.

Le flot de conception descendant proposé et destiné au prototypage "FPGA in the Loop" permet de mener, dans une première étape, une étude fonctionnelle du système de conversion de l'énergie électrique, à l'aide de "Matlab" et des bibliothèques associées (notamment SimPowerSystems et Simulink). Ensuite, le contrôleur numérique est modélisé et simulé dans son contexte analogique et de puissance, étape par étape, jusqu'à l'obtention d'une modélisation numérique synthétisable en langage VHDL. Cette dernière modélisation sera physiquement implantée sur la cible FPGA choisie. Une fois programmé, le FPGA sera alors testé dans son contexte de puissance par prototypage "FPGA in the Loop".

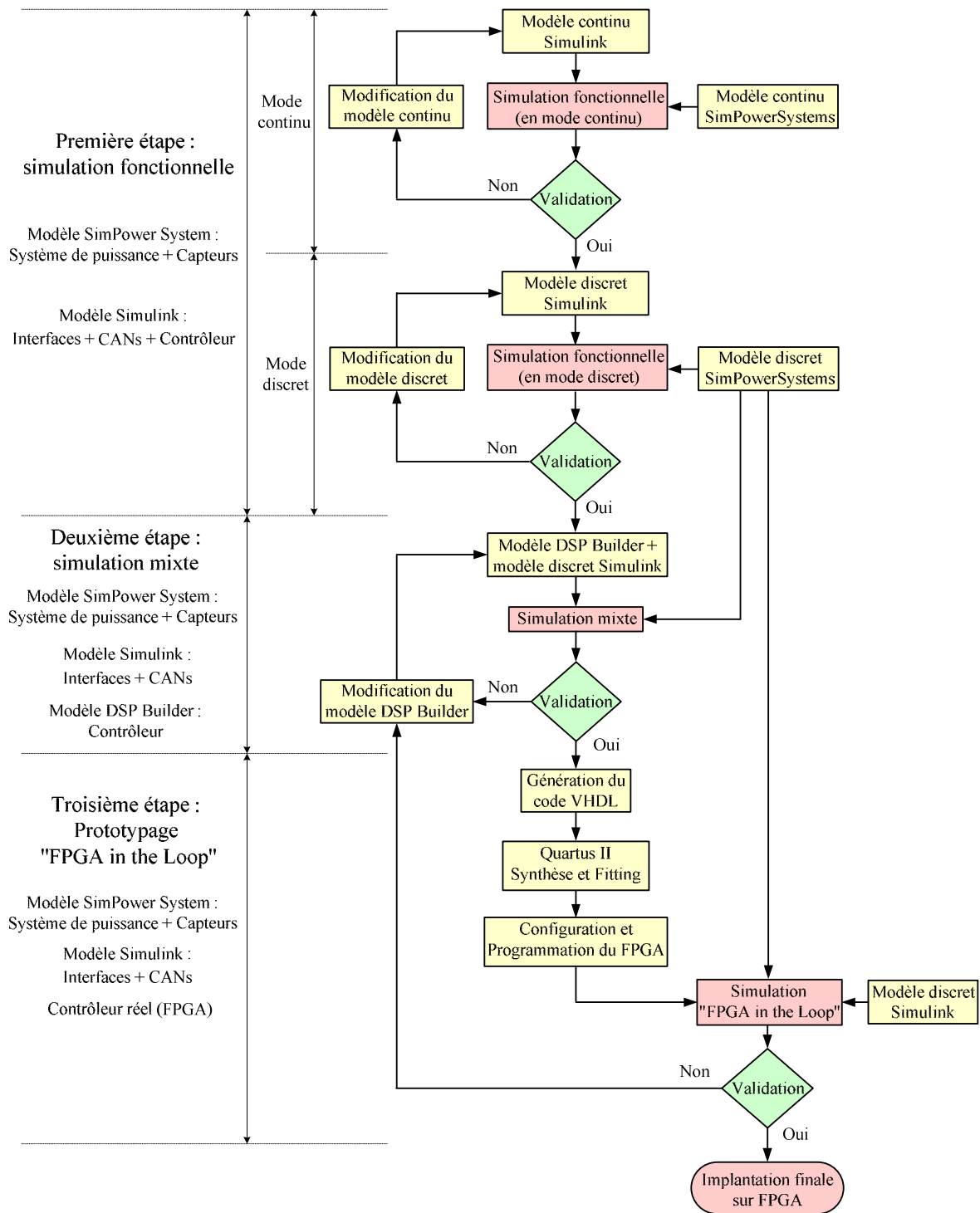


Figure III-5. Flot de conception descendant proposé pour le prototypage "FPGA in the Loop".

III.3.2.1. Première étape : simulation fonctionnelle

Lors de la première étape (Voir Figure III-5), les spécifications du système sont définies et la fonctionnalité de l'algorithme de commande est étudiée et validée. Cette étape est menée classiquement à l'aide des outils conventionnels de simulation, ici Matlab/Simulink et Matlab/SimPowerSystems pour notre domaine d'application. Le système de puissance et les capteurs sont modélisés à l'aide de la bibliothèque SimPowerSystems alors que les interfaces, les convertisseurs analogiques-numériques (CANs) et le contrôleur numérique sont modélisés à l'aide de la bibliothèque Simulink. Dans un premier temps, le système de conversion de l'énergie électrique est simulé et validé en mode continu ou "continuous-time mode", avec un pas de simulation variable et à partir de modèles continus.

Ensuite, après validation du modèle en mode continu, les blocs de la partie puissance sont remplacés par des modèles discrets de la même bibliothèque SimPowerSystems. Dans ce cas, le pas de simulation est fixe et doit être choisi suffisamment petit pour garantir une précision acceptable, notamment lorsque les composants de puissance commutent à des fréquences de plusieurs kHz. Un pas inférieur à la microseconde est préconisé [Dufour, 2005]. Les interfaces, les CANs et le contrôleur numérique sont également modifiés et leurs modèles continus sont transformés en des modèles discrets au moyen de blocs Simulink discrets. La fréquence d'échantillonnage des blocs utilisés est choisie selon les spécifications du système physique à simuler, notamment selon les CANs choisis. A ce stade de conception, le format réel est utilisé pour tout les signaux de la partie modélisée à l'aide de la bibliothèque Simulink. La figure III-6 illustre cette étape du flot de conception.

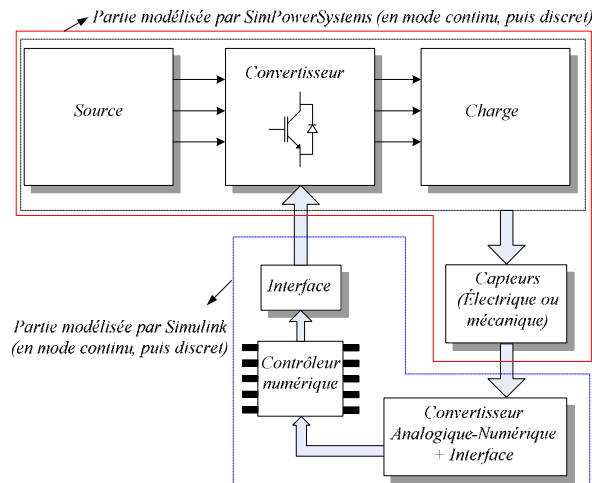


Figure III-6. Première étape du flot de conception : simulation fonctionnelle en mode continu, puis discret.

III.3.2.2. Deuxième étape : simulation mixte

Après avoir validé la fonctionnalité de l'algorithme de commande en mode discret et au format réel lors de l'étape précédente, un format binaire spécifique de codage des données doit maintenant être choisi afin d'implanter l'algorithme de commande sur cible FPGA.

Dans cette seconde étape (voir Figure III-5), les modèles du système de puissance, des capteurs, des CANs et des interfaces restent identiques aux modèles décrits et utilisés lors de la précédente étape. Toutefois, le modèle du contrôleur numérique doit être modifié et remplacé par un second modèle numérique au format binaire, basé sur des blocs de la librairie de DSP Builder. Comme précédemment, l'environnement de simulation reste celui de Matlab/Simulink. Il faut cependant noter que le passage du modèle Simulink discret du contrôleur numérique au modèle DSP Builder discret n'est pas systématique et automatique. En effet, toutes les fonctions et tous les blocs de la librairie Simulink n'ont pas un bloc qui leur correspond dans la librairie de DSP Builder. Cette dernière comporte cependant tous les modèles de base permettant de réaliser des modèles complexes. De ce fait, ces fonctions ou blocs non disponibles sous DSP Builder doivent être décrits par le concepteur lui-même à partir des blocs de base de la librairie DSP Builder. On peut citer quelques exemples de blocs Simulink n'ayant pas de correspondance directe sous DSP Builder : fonctions de transfert, fonctions mathématiques, relais (hystérésis) et générateur de signaux.

Les signaux d'entrée et de sortie des blocs de la librairie DSP Builder doivent être au format binaire à virgule fixe. Ce format, noté $[s, m_e, m_d]$, est composé d'une partie entière de m_e bits, d'une partie décimale de m_d bits et le bit de poids fort (en anglais Most Significant Bit, ou MSB), s , correspond au signe de la grandeur numérique à coder.

Notre objectif final est d'implanter l'algorithme de commande sur un composant FPGA afin de le tester dans un premier temps dans un environnement HIL (prototypage "FPGA in the Loop"), puis ensuite dans son contexte physique réel. Ainsi, le nombre de bits nécessaire au codage des signaux d'entrées d'un composant FPGA ne dépend que du format de sortie des CANs qui seront mis en œuvre expérimentalement. Notons que ce nombre de bits ne dépend pas des modules d'interface dont le rôle est de ramener les grandeurs des signaux analogiques dans l'intervalle $[-1, +1]$; ces interfaces seront soit modélisées par la partie logicielle pour le prototypage "FPGA in the Loop", soit physiquement réalisées par des cartes d'interface analogiques.

Toutefois, le nombre de bits pour le codage numérique des données des blocs DSP Builder, internes au contrôleur numériques, est variable et doit également être choisi pour chaque bloc par le concepteur. Il doit cependant être inférieur à 51 bits en raison de la limitation imposée par le logiciel DSP Builder. Une augmentation injustifiée de la taille du format binaire augmente inutilement le temps d'exécution et la surface occupée sur le circuit FPGA. Par contre, le choix d'une taille trop faible du format binaire peut conduire à la saturation des signaux et à une perte de précision, conduisant ainsi à l'altération des performances du contrôleur numérique, voire à

son dysfonctionnement. De ce fait, à ce stade, on doit choisir avec la plus grande attention le nombre de bits des formats binaires pour ces blocs intermédiaires en considérant les contraintes logicielles et les remarques précédemment mentionnées. Le bloc "Bus Probe" existant dans la librairie de DSP Builder, peut être utilisé afin d'aider le concepteur pour choisir le nombre de bits de la partie entière des formats binaires des blocs intermédiaires. Le bloc "Bus Probe" peut être placé lors de la simulation mixte sur n'importe quel nœud du modèle et il donne le nombre de bits nécessaire pour coder la partie entière.

La figure III-7 illustre cette étape du flot conception proposé dans ce manuscrit. Il faut noter que le pas de simulation et la fréquence d'échantillonnage des blocs utilisés restent identiques à ceux du mode discret sous Simulink.

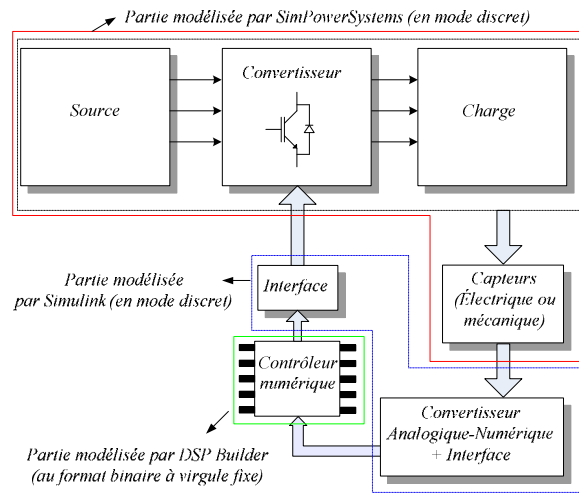


Figure III-7. Deuxième étape du flot de conception : simulation mixte.

III.3.2.3. Troisième étape : Prototypage "FPGA in the Loop"

La troisième étape (voir Figure III-5) est dédiée à l'implantation de la commande numérique sur une carte de développement intégrant un composant FPGA. Elle est principalement destinée à la vérification et à la validation de l'implantation numérique de l'algorithme de commande sur cible FPGA dans un environnement de simulation HIL. Pour atteindre cet objectif, le modèle DSP Builder du contrôleur numérique, réalisé lors de l'étape précédente, doit tout d'abord être transcrit en langage VHDL synthétisable. Ce codage VHDL du contrôleur numérique peut être généré à l'aide de l'outil "Signal Compiler" proposé par le logiciel DSP Builder. Cet outil permet alors de passer de la modélisation DSP Builder à une description synthétisable en langage VHDL, au niveau RTL (Register Transfer Level).

Après avoir généré ce code VHDL, ce dernier doit être synthétisé par un outil de synthèse logique. Cet outil peut être choisi parmi de nombreux synthétiseurs, tels que Quartus II (Altera), Synplify (Synplicity), Precision RTL ou LeonardoSpectrum (Mentor). Toutefois, l'utilisation de

l'outil Quartus II est indispensable pour la phase purement technologique, c'est à dire le placement-routage et la génération du fichier de configuration du FPGA ciblé, choisi parmi les composants de la famille Altera. Lors de la synthèse logique, la description au niveau RTL est transformée en une description d'éléments logiques. Cette synthèse s'accompagne d'un ensemble d'optimisations et s'effectue à partir d'une bibliothèque technologique incluant les modèles des portes logiques et de bascules. Durant cette phase, l'outil de synthèse logique va optimiser le schéma de portes équivalent afin de minimiser soit la place utilisée au niveau du FPGA ciblé, soit le temps de propagation entre les entrées et les sorties. Une fois cette phase terminée, l'étape de "Fitting" ou ajustement peut être automatiquement effectuée à l'aide de l'outil Quartus II. Cette étape consiste à voir comment les différentes portes et registres (produits par la synthèse logique) peuvent être placés en fonction des ressources matérielles du circuit FPGA ciblé. Les fichiers permettant la programmation du circuit, dans notre cas appelés fichiers SRAM Object File (extension .sof), sont générés lors de cette phase de compilation.

A ce stade, on peut insérer dans l'environnement de simulation Matlab/Simulink, un bloc nommé "HIL" modélisant le contrôleur numérique au sein du système de conversion de l'énergie électrique. Ce bloc unique remplace alors l'ensemble des blocs qui modélisaient ce même contrôleur numérique lors de l'étape précédente. Après compilation de ce bloc "HIL", la carte cible FPGA est programmée. Cette carte cible est connectée physiquement, au moyen de l'interface JTAG, à l'ordinateur qui émule le système de puissance et les capteurs (par le biais des modèles SimPowerSystems) et les CANs et les interfaces (par le biais des modèles Simulink). Puisqu'un composant FPGA est mis en œuvre dans la boucle de simulation HIL, nous avons alors choisi d'appeler cette nouvelle approche par la dénomination prototypage "FPGA in the Loop". La figure III-8 illustre cette troisième étape. Une fois que des résultats satisfaisants ont été obtenus, la cible FPGA réalisant le contrôleur numérique peut être connectée au système analogique et de puissance réel.

Le prototypage "FPGA in the Loop" permet la vérification et la validation de la partie numérique en utilisant un composant FPGA réel et valide donc ainsi l'implantation numérique du contrôleur. Comme cela a été expliqué à la section III.2.4., ce nouveau mode de prototypage dit "FPGA in the Loop" est particulièrement adapté au domaine des systèmes de conversion de l'énergie électrique, intégrant des dispositifs de l'électronique de puissance, notamment en raison du faible pas de simulation alors nécessaire. En effet, les simulateurs temps réel ne sont généralement pas assez rapides et s'ils le sont, leur coût devient vite prohibitif. Malgré les nombreux avantages majeurs de cette nouvelle approche proposée, certains inconvénients doivent être mentionnés :

- Cette approche n'est pas une approche "temps réel" classique et la simulation HIL peut être ralentie lorsque l'on diminue excessivement le pas de simulation ou lorsque le système physique à simuler devient très complexe avec une dynamique lente;

- Cette méthode est exclusivement réservée à des composants de type FPGA (Familles Altera ou Xilinx selon l'outil utilisé : DSP Builder ou System Generator) et ne permet pas de cibler des ASICs dits "semi-custom" ou "full-custom";
- Une implantation d'algorithme de commande comportant différentes fréquences d'échantillonnage ne peut pas être vérifiée avec le prototypage "FPGA in the Loop" proposé, en raison de l'impossibilité de synchroniser la carte de développement FPGA avec la partie émulée sous Matlab/Simulink.
- Les interfaces restent simulées; par conséquent quelques contraintes physiques ne sont pas prises en compte par cette méthode, comme par exemples le nombre maximum de pins numériques d'entrées et de sorties du FPGA et la synchronisation des CANs avec le FPGA.

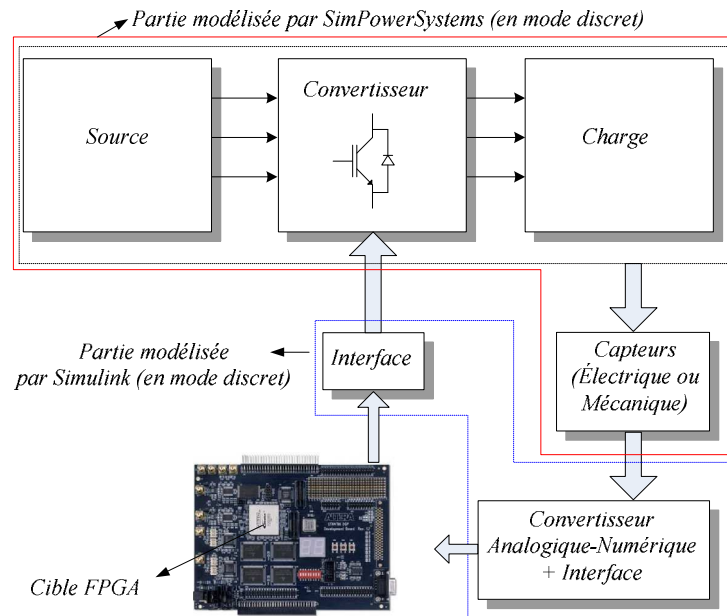


Figure III-8. Troisième étape du flot de conception : prototypage "FPGA in the Loop".

III.4. Application au FAP tolérant les défauts de semi-conducteurs et de drivers

Nous présentons dans cette section la modélisation et l'implantation numérique de la méthode proposée au chapitre II pour la détection de défauts des semi-conducteurs dans le cas d'un FAP triphasé. Le flot de conception "FPGA in the Loop", présenté en début de ce chapitre, est utilisé pour réaliser cette implantation numérique et sa validation.

Le travail de Thèse ici présenté s'inscrit au sein de notre équipe de recherche dans la thématique "Qualité de l'énergie électrique". L'implantation de la partie identification des courants de référence sur un système dSPACE, basé sur une carte de développement DS1104, et la réalisation expérimentale d'un contrôleur analogique de courant de type "*hysteresis modulée*" pour le FAP ont entre autre fait l'objet en 2008 des travaux de Thèse de M. *Abdusalam*. Ses travaux ont été menés en parallèle des activités de recherche sur les systèmes dits "fault tolerant". Pour cette raison et afin d'inscrire l'application de nos travaux sur la continuité de service dans la thématique de recherche du FAP, le prototypage "FPGA in the Loop" présenté dans cette étude portera spécifiquement sur la méthode de détection de défauts des semi-conducteurs. Le prototypage une fois validé, l'objectif est d'intégrer cette continuité de service au niveau du banc expérimental du FAP dont nous disposons. Ainsi, en intégrant notre prototype FPGA à ce banc de test, nous pourrions rendre le FAP "fault tolerant" et réaliser la validation expérimentale de notre méthode. D'autre part, les résultats expérimentaux sur le FAP, présentés en fin de ce chapitre, permettront de vérifier les performances du FAP "fault tolerant" et de valider notre méthode "FPGA in the Loop".

La topologie du FAP triphasé "fault tolerant" a été présentée à la section II.2.3.1. Les résultats de simulation obtenus à l'issue de la première étape de la méthodologie "FPGA in the Loop" proposée (modélisation et simulation fonctionnelle en mode continu) ont déjà été présentés à la section II.2.3.3. Nous ne les présenterons donc pas à nouveau ici et détaillerons directement la modélisation et la simulation fonctionnelle en mode discret. De plus, puisque les résultats de la simulation fonctionnelle en mode discret, de la simulation mixte et du prototypage "FPGA in the Loop" sont identiques, nous ne les présenterons donc qu'après la dernière étape du flot de conception.

III.4.1. Simulation fonctionnelle (en mode discret)

Lors de cette étape, le système de puissance et les capteurs de tension et de courant sont modélisés à l'aide de Matlab/SimPowerSystems, en mode discret, avec un pas de temps égal à $0,2 \mu s$. Les interfaces, les CANs et l'algorithme de commande sont modélisés à l'aide de Matlab/Simulink. La période d'échantillonnage des parties "détection et compensation de défaut" et "*hystérésis modulée*" est choisie égale à $0,2 \mu s$ et celle des parties identification des courants de référence et régulateur de la tension continue est choisie égale à $30 \mu s$. Cette valeur correspond à la période d'échantillonnage minimale que l'on peut choisir lors de l'implantation des parties identification des courants de référence et régulation de la tension continue sur la carte de développement DS1104 [Abdusalam, 2008].

III.4.1.1. Discrétisation du FMV

Reprenons les expressions du FMV, (I.54) et (I.55), définies au chapitre I :

$$\hat{x}_\alpha(s) = \frac{K}{s} [x_\alpha(s) - \hat{x}_\alpha(s)] - \frac{\omega_c}{s} \hat{x}_\beta(s) \quad (\text{III.1})$$

$$\hat{x}_\beta(s) = \frac{K}{s} [x_\beta(s) - \hat{x}_\beta(s)] + \frac{\omega_c}{s} \hat{x}_\alpha(s) \quad (\text{III.2})$$

En appliquant la transformation ZOH (Zero-Order-Hold), où l'intégrateur $1/s$ devient $T_{SG}z^{-1}/(1-z^{-1})$, les équations (III.1) et (III.2) peuvent être transformées en temps discret par :

$$\hat{x}_\alpha = (1 - KT_{SG})z^{-1}\hat{x}_\alpha + KT_{SG}z^{-1}x_\alpha - \omega_c T_{SG}z^{-1}\hat{x}_\beta \quad (\text{III.3})$$

$$\hat{x}_\beta = (1 - KT_{SG})z^{-1}\hat{x}_\beta + KT_{SG}z^{-1}x_\beta + \omega_c T_{SG}z^{-1}\hat{x}_\alpha \quad (\text{III.4})$$

Où T_{SG} est la période d'échantillonnage de la partie identification des courants de référence. La figure III-9 présente le modèle discret du FMV.

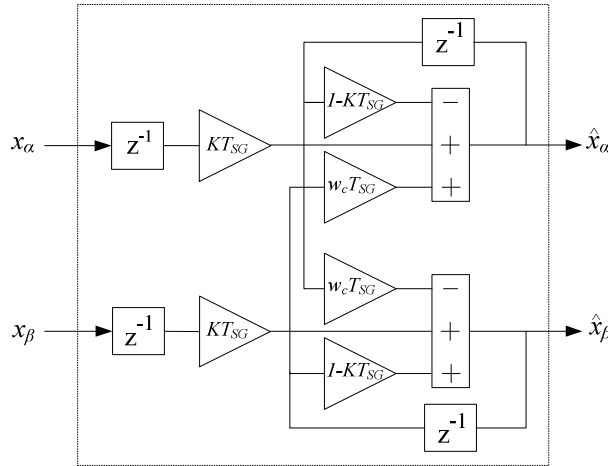


Figure III-9. Modèle discret du FMV.

III.4.1.2. Discrétisation du régulateur de la tension continue

Comme nous l'avons montré à la section I.4.5., la fonction de transfert du régulateur de la tension continue est la suivante :

$$K(s) = \frac{P_c}{\varepsilon_v} = \frac{k_c}{1 + \tau_c s} \quad (\text{III.5})$$

En appliquant la transformation ZOH, le modèle discret du régulateur devient :

$$K(Z) = \frac{P_c}{\varepsilon_v} = \frac{aZ^{-1}}{1 + bZ^{-1}} \quad (\text{III.6})$$

Avec $a = \frac{k_c T_{SG}}{\tau_c}$ et $b = \frac{T_{SG} - \tau_c}{\tau_c}$.

La figure III-10 présente le modèle discret du régulateur de la tension continue.

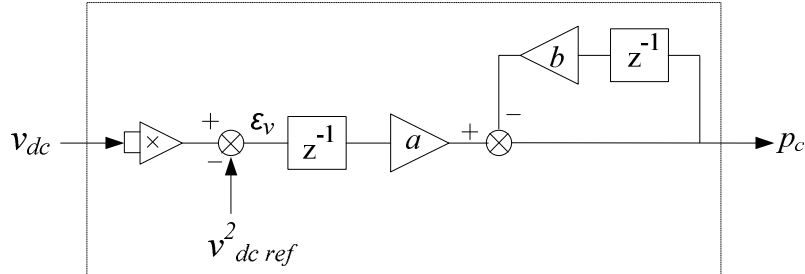


Figure III-10. Modèle discret du régulateur de la tension continue.

III.4.2. Simulation mixte

Puisque, dans ce travail de Thèse, seule la partie "détection et compensation de défaut" sera implantée sur la cible FPGA, seule cette partie est modélisée à l'aide de DSP Builder et les autres parties de l'algorithme de commande, à savoir identification des courants de référence, régulateur de la tension continue et "hystérésis modulée", restent identiques à celles modélisées à l'aide de Matlab/Simulink. La figure III-11 illustre cette simulation mixte.

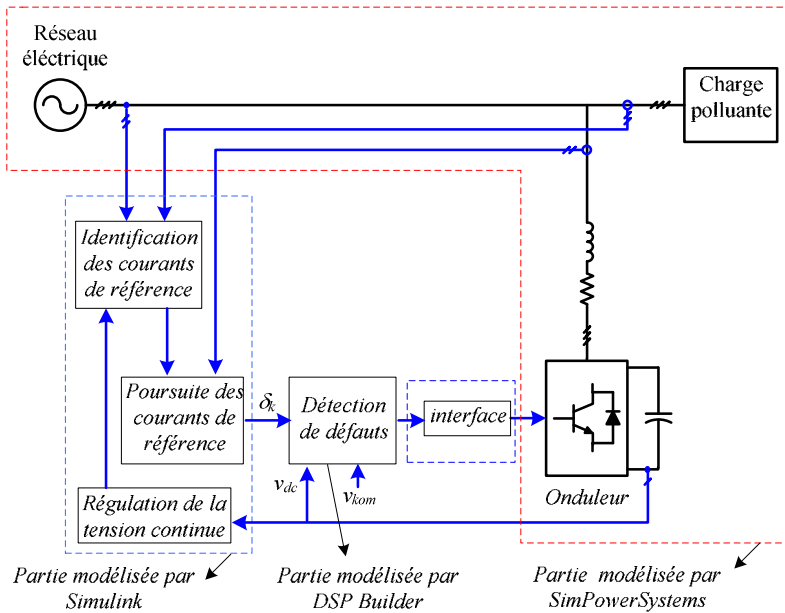


Figure III-11. Simulation mixte du FAP "fault tolerant".

Les signaux d'entrée de la partie "détection de défaut" (voir la figure II-5 et l'équation II.1) sont les suivants : la tension continue v_{dc} , les tensions mesurées v_{1om} , v_{2om} et v_{3om} et les signaux de

commande des interrupteurs, notés δ_1 , δ_2 et δ_3 . En considérant des CANs de format 12 bits, le format des signaux d'entrée en tension est choisi égale à [1, 0, 11], c'est à dire 1 bit de signe et 11 bits pour la partie décimale. Notons que des modules d'interface ramènent les signaux analogiques dans l'intervalle [-1, +1]. Puisque les signaux de commande des interrupteurs sont des signaux logiques et ne prennent que deux valeurs, 0 ou 1, on utilise pour les coder le format logique avec un seul bit. Les signaux de sortie de cette partie "détection de défaut" sont les signaux de commande des 8 interrupteurs ($\delta_1 - \delta_8$), et les 3 signaux de défaut, notés f_1 , f_2 et f_3 . Ces signaux de sortie sont également des signaux logiques, le format logique est alors également utilisé.

Nous avons utilisé une machine d'état de type Moore afin de modéliser la partie "détection de défaut". Les figures III-12 et III-13 présentent respectivement le graphe d'états et l'unité de contrôle de la "détection de défaut". La période d'horloge du compteur est choisie égale à $0,2 \mu s$. Cette valeur permet d'une part de synchroniser la carte de développement FPGA avec la partie simulée sous Matlab/Simulink dans la dernière étape du flot de conception et d'autre part elle est suffisamment petite pour réaliser une détection de défaut rapide. Les valeurs des seuils N_t et h sont respectivement choisies égale à 25 (correspondant à $5 \mu s$) et 20V (Cf. figure II-5).

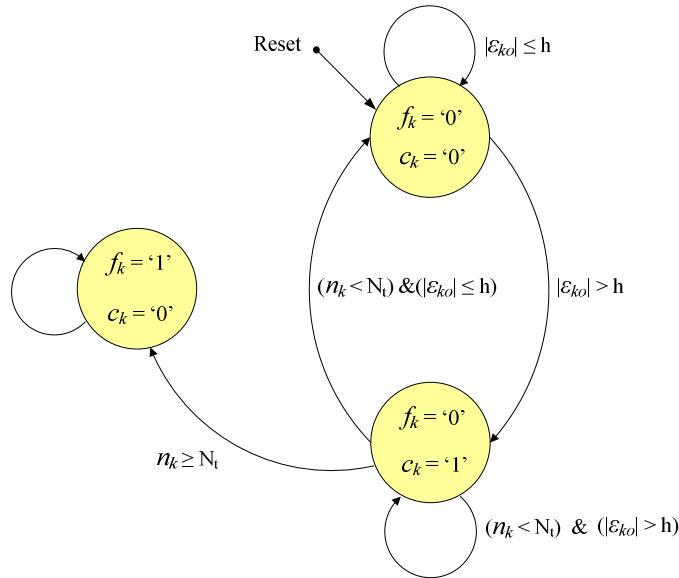


Figure III-12. Graphe d'états de la "détection de défaut".

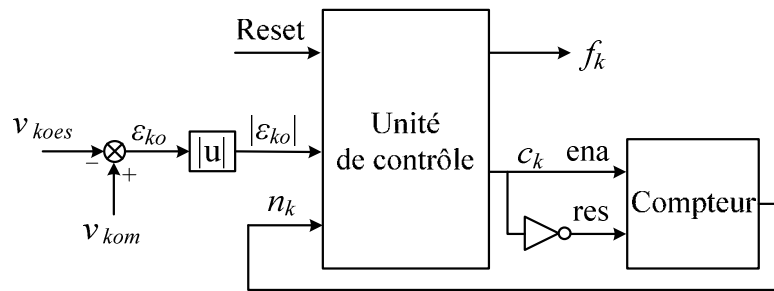


Figure III-13. Unité de contrôle de la "détection de défaut".

III.4.3. Prototypage "FPGA in the Loop"

A ce niveau du flot de conception, nous avons modélisé la méthode de "détection de défaut" à l'aide de DSP Builder. Nous allons maintenant valider l'implantation numérique de cette méthode à l'aide d'une carte FPGA par prototypage "FPGA in the Loop". La carte cible mise en œuvre dans ce travail est la carte de développement Stratix DSP S80, conçue par la société Canadian Microelectronics Corporation. Elle comprend un composant FPGA de type Stratix EP1S80 de la famille Altera. La figure III-14 présente cette carte de développement.



Figure III-14. Carte de développement Stratix DSP S80.

III.4.3.1 Spécifications de la carte Stratix DSP S80 et du composant FPGA

La carte de développement Stratix DSP S80 comprend les éléments suivants :

- Un composant FPGA Stratix EP1S80B956C6,
- Deux convertisseurs A/N 12-bits, 125-MHz,
- Deux convertisseurs N/A 14-bits, 165-MHz,
- Un mémoire flash de 64 Mbits,
- Deux mémoires SRAM 256 K×36 bits,
- Un oscillateur à quartz de fréquence 80 MHz

- Deux connecteurs d'entrées/sorties numériques de 60-pins chacun,
- Un connecteur JTAG,
- Trois boutons-poussoirs,
- Un bloc de 8 interrupteurs positionnables par l'utilisateur,
- Deux Leds.

Les caractéristiques du composant FPGA Stratix EP1S80 sont les suivantes :

- 79,040 éléments logiques,
- 7,427,520 de bits de RAM,
- 12 PLLs reconfigurables,
- 679 pins d'entrées/sorties,

III.4.3.2 Implantation sur cible FPGA lors du prototypage "FPGA in the Loop"

Afin d'implanter sur FPGA l'algorithme de la "détection de défaut" modélisée à l'aide de DSP Builder, il faut réaliser successivement les étapes suivantes :

- 1- La génération du code VHDL synthétisable;
- 2- La synthèse logique;
- 3- Le Fitting (ajustement) à l'aide de l'outil Quartus II.

Une fois le fichier de programmation du FPGA est généré par Quartus II, tous les blocs DSP Builder de la "détection de défaut" sont remplacés dans l'environnement Matlab/Simulink par un unique bloc HIL correspondant à l'algorithme implémenté sur le FPGA. La connexion entre la carte cible et l'ordinateur est réalisé à l'aide d'un câble ByteBlasterMV, également utilisé lors de la programmation du FPGA. La figure III-15 présente le matériel mis en œuvre lors du prototypage "FPGA in the Loop".

Après la configuration de la carte FPGA, on peut alors effectuer le prototypage "FPGA in the Loop". Dans ce cas, à chaque pas de simulation (ici égal à $0,2 \mu s$), le composant FPGA reçoit les signaux, v_{dc} , v_{1om} , v_{2om} , v_{3om} , δ_1 , δ_2 et δ_3 , puis il exécute l'algorithme implémenté et transmet en retour les ordres de commande des interrupteurs de l'onduleur, notés $\delta_1 - \delta_8$ et les signaux de défaut, f_1 , f_2 et f_3 .



Figure III-15. Prototypage "FPGA in the Loop".

III.4.4. Résultats du prototype "FPGA in the Loop"

III.4.4.1 Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant défaillant

Afin de pouvoir comparer les résultats obtenus par prototypage "FPGA in the Loop" avec les résultats obtenus par simulation fonctionnelle (étape 1, simulation en mode continu) présentés à la section II.2.3.3.1., nous avons choisi le même défaut, c'est-à-dire un défaut "circuit-ouvert" de S_3 à l'instant $t = 135,5 \text{ ms}$ ($i_{\beta} > 0$). La figure III-16 présente les résultats obtenus pour notre prototype FPGA. On note ici encore que les formes d'ondes des courants de source et du filtre n'ont pas été affectées par la présence de ce défaut. Toutefois, nous remarquons que des pics apparaissent sur la forme d'onde du courant de source. Ces pics sont dus au retard de compensation des courants harmoniques car la période d'échantillonnage de la partie identification des courants de référence introduit un décalage temporel de $30 \mu\text{s}$ entre les courants harmoniques produits par l'onduleur et les courants harmoniques absorbés par la charge.

Pour ce prototype, le THD obtenu est égal à 2,7% alors qu'il était égal à 2,2% en mode continu (sans retard). Cette augmentation du THD montre que ce retard dégrade également la performance du FAP.

La figure III-17 présente les résultats obtenus après apparition du défaut et sur une durée de $500 \mu\text{s}$ autour de l'apparition du défaut. Cette figure montre que δ_3 est égal à 1 quand le semi-conducteur S_3 du haut du bras 3 devient défaillant (circuit-ouvert). De ce fait, le défaut est détecté $5 \mu\text{s}$ après l'apparition du défaut. Ce résultat confirme la validité de la modélisation et de l'implantation numérique de l'algorithme de "détection de défaut".

En comparant les figures II-12 et III-17, on peut voir le retard du courant i_{β} lors de ce prototypage "FPGA in the Loop" par rapport au courant i_{β} obtenu en mode continu.

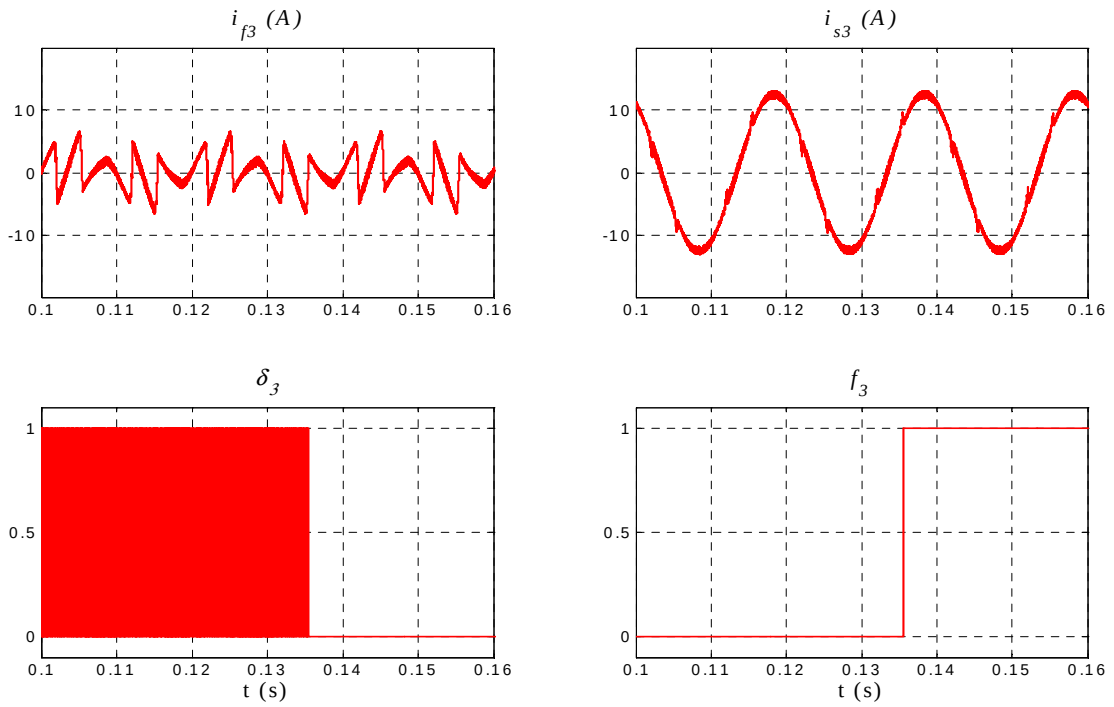


Figure III-16. Résultats du prototypage "FPGA in the Loop" : Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant S_3 , défaillant à l'instant $t = 135,5$ ms.

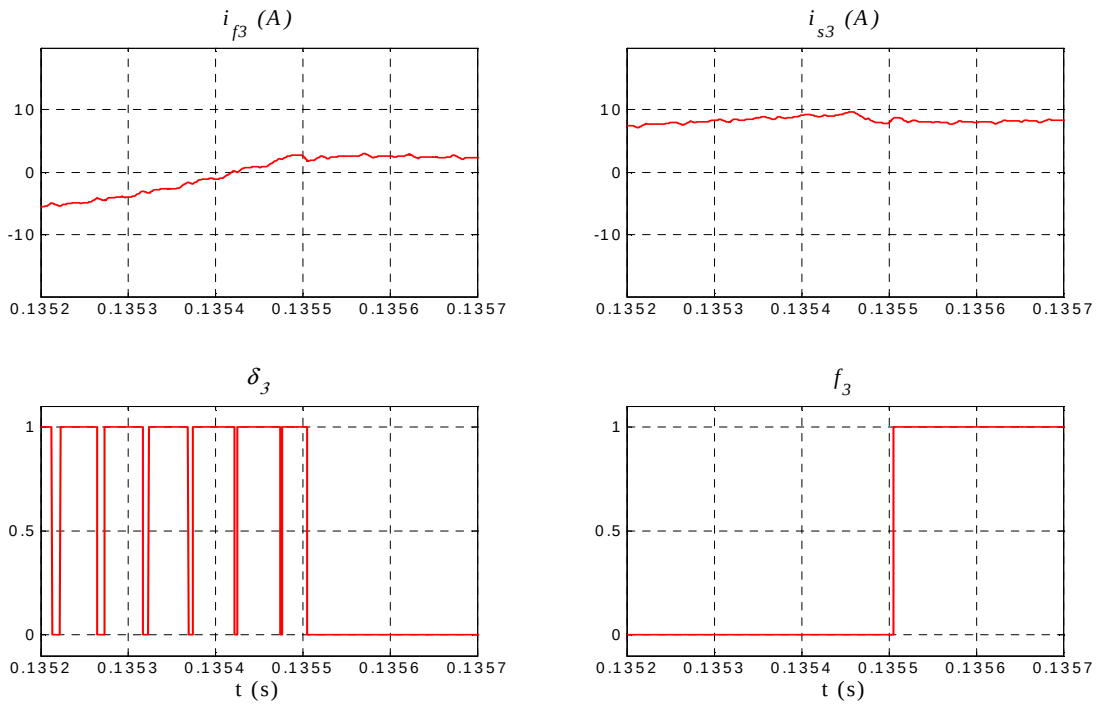


Figure III-17. Résultats du prototypage "FPGA in the Loop" pour une durée de $500 \mu s$ autour de l'apparition du défaut.

III.4.3.2 Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant défaillant

La figure III-18 présente les résultats obtenus par simulation mixte lorsqu'un défaut de type "circuit-ouvert" se produit au niveau de S_3 à l'instant $t = 135,3$ ms, alors que le courant i_{f3} est négatif. Ce défaut est identique à celui simulé à la section II.2.3.3.2. Ici encore, on constate que les formes d'ondes des courants de source et du filtre n'ont pas été perturbées par la présence de ce défaut.

La figure III-19 détaille les résultats de simulation sur une durée de $100 \mu s$ après apparition du défaut. On peut remarquer que le défaut ne peut pas être détecté tout de suite car le courant i_{f3} est négatif lors de l'apparition du défaut. Les effets du défaut apparaissent dès que le courant i_{f3} devient égal à zéro, soit à l'instant $t = 135,419$ ms. A cet instant, comme on peut le visualiser à la figure III-19, δ_1 et δ_2 sont égaux à 0, δ_3 est égal à 1 et la tension v_{on} est passée de 120 V à 250 V. Par conséquent, la valeur $|\mathcal{E}_{ko}|$ devient supérieure au seuil h . Cela provoque un changement d'état et le signal c_3 passe de 0 à 1 (voir la figure III-12). De ce fait, le compteur commence à compter. Toutefois, après $4 \mu s$, à l'instant $t = 135,423$ ms, δ_3 passe de 1 à 0 : à cet instant, le bras 3 fonctionne de nouveau correctement. Par conséquent, la tension v_{on} devient égale à 350 V et la machine d'état revient sur l'état normal, donc le signal c_3 passe à 0. Le signal de commande δ_3 devient à nouveau égal à 1 à l'instant $t = 135,426$ ms. Cela impose un nouveau changement d'état du signal c_3 . Après $5 \mu s$ la sortie du compteur, n_3 , est supérieure au seuil N_t et le signal de défaut f_3 passe alors de 0 à 1. Ce signal déclenche aussitôt la fermeture de l'interrupteur t_3 afin de permettre le remplacement du bras 3 par le bras redondant.

Les résultats ici obtenus confirment également la validité de la modélisation et de l'implantation numérique de l'algorithme de "détection de défaut".

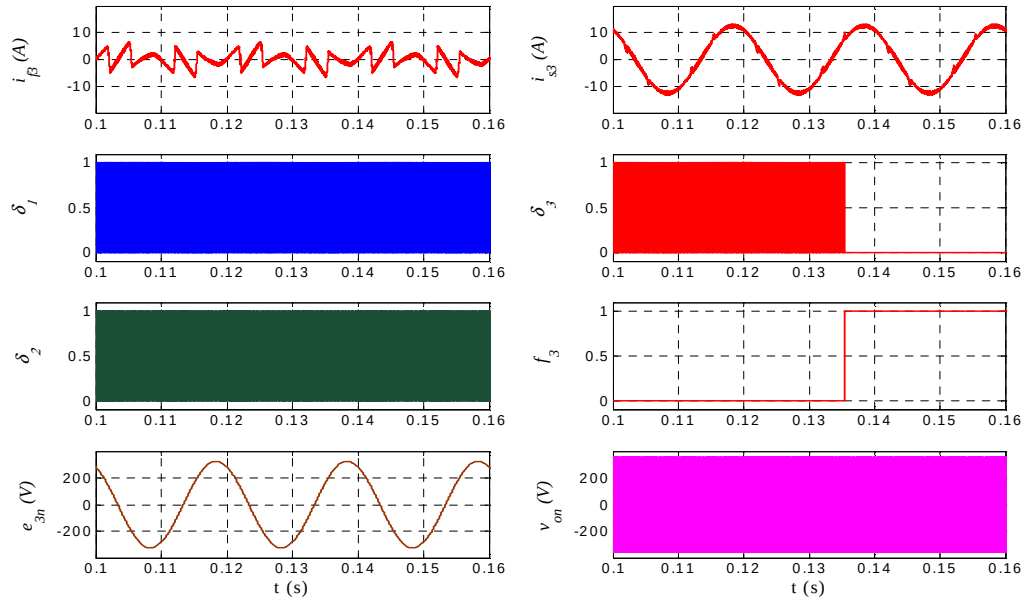


Figure III-18. Résultats du prototype "FPGA in the Loop" : Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant S_3 , défaillant à l'instant $t = 135,3$ ms.

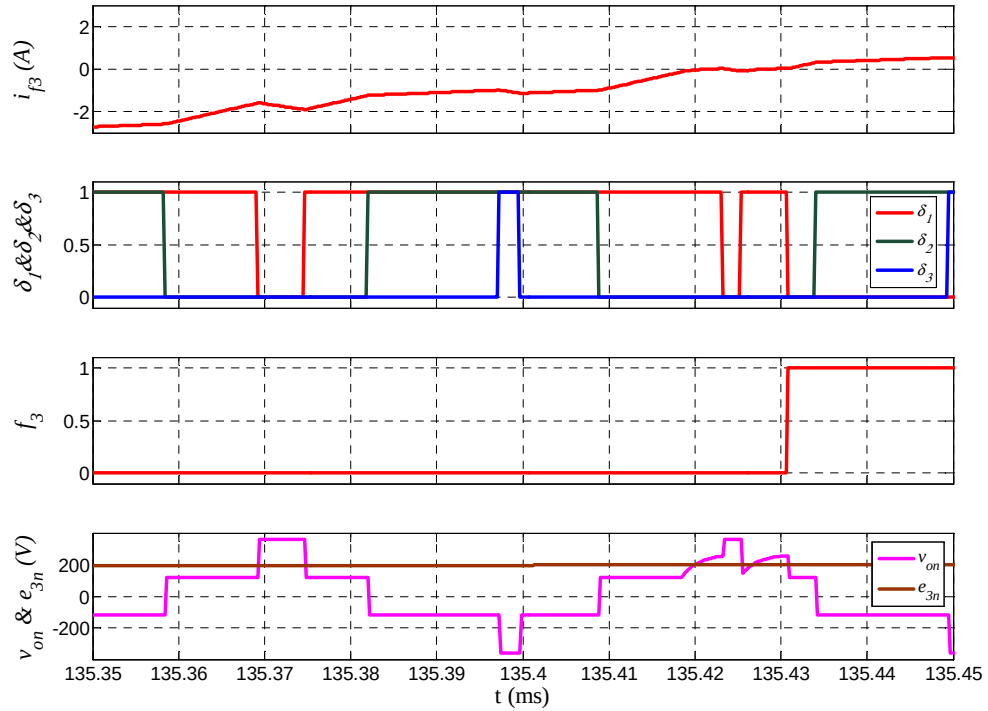


Figure III-19. Résultats du prototypage "FPGA in the Loop" sur une durée de $100 \mu s$ après l'apparition du défaut.

III.5. Validation expérimentale du FAP tolérant les défauts de semi-conducteurs et de drivers

Après la validation de l'algorithme de la "détection de défaut" par prototypage "FPGA in the Loop", la carte FPGA va maintenant pouvoir être insérée dans un environnement analogique et de puissance réel. La figure III-20 présente le principe du banc expérimental du FAP, utilisé pour la validation expérimentale de la configuration de convertisseur "fault tolerant" et de la méthode de détection de défaut des semi-conducteurs. Dans ce banc d'essai, le redresseur est un pont triphasé à diodes commercialisé par la société Semikron (référence SKD 51/14), connecté au réseau par l'intermédiaire d'une inductance triphasée de faible valeur et égale à 0.8 mH. La réalisation de l'onduleur "fault tolerant" à quatre bras a nécessité de modifier l'onduleur triphasé existant; il a été conçu à partir de modules commercialisés par la société Semikron (référence SKM50GB123D) incluant des diodes placées en antiparallèle des IGBTs. L'ouverture et la fermeture des IGBTs sont pilotées par des drivers SEMIKRON (reference SKHI 22A). Deux condensateurs d'une capacité de 2200 μ F chacun sont connectés en série du côté continu de l'onduleur. Cet onduleur est connecté au réseau par l'intermédiaire d'une inductance triphasée de 3 mH. Les parties identification des courants de référence et régulation de la tension continue sont réalisées à l'aide d'un système numérique de développement, commercialisé par la société dSPACE (carte de prototypage DS1104); la période d'échantillonnage est égale à 30 μ s. Une carte analogique réalise le contrôle des courants par "*hystérésis modulée*". Cette carte a été développée au sein de notre équipe de recherche et est décrite dans le manuscrit de Thèse de M. *Abdusalam* [Abdusalam, 2008]. Le signal triangulaire nécessaire pour réaliser le contrôleur de courant "*hystérésis modulée*" est délivré par un générateur de fonction; sa fréquence est égale à 20 kHz. Les mesures de tensions v_{dc} et v_{kom} sont réalisées à l'aide des capteurs de tension commercialisés par la société LEM (référence CV3-1200).

Dans le cadre de cette Thèse, la validation expérimentale du FAP tolérant les défauts de semi-conducteurs et de drivers a nécessité la conception et la réalisation d'une nouvelle carte d'interface, permettant de connecter la carte de développement Stratix DSP S80 au dispositif expérimental du FAP existant. La figure III-21 représente une photo du banc d'essai.

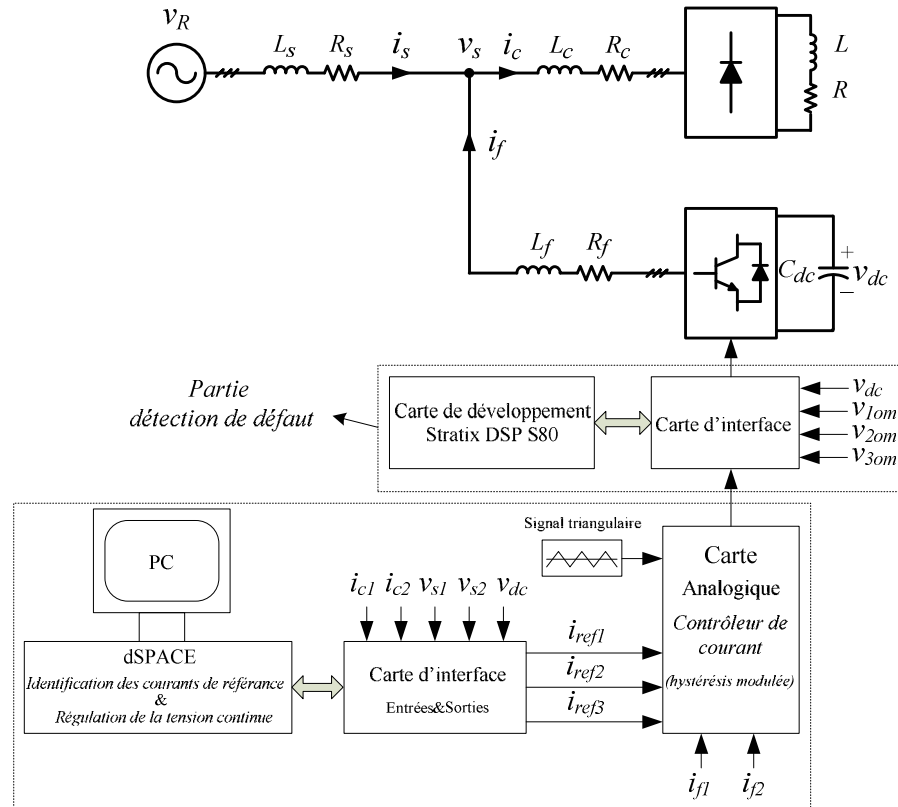


Figure III-20. Principe du banc d'essai expérimental.

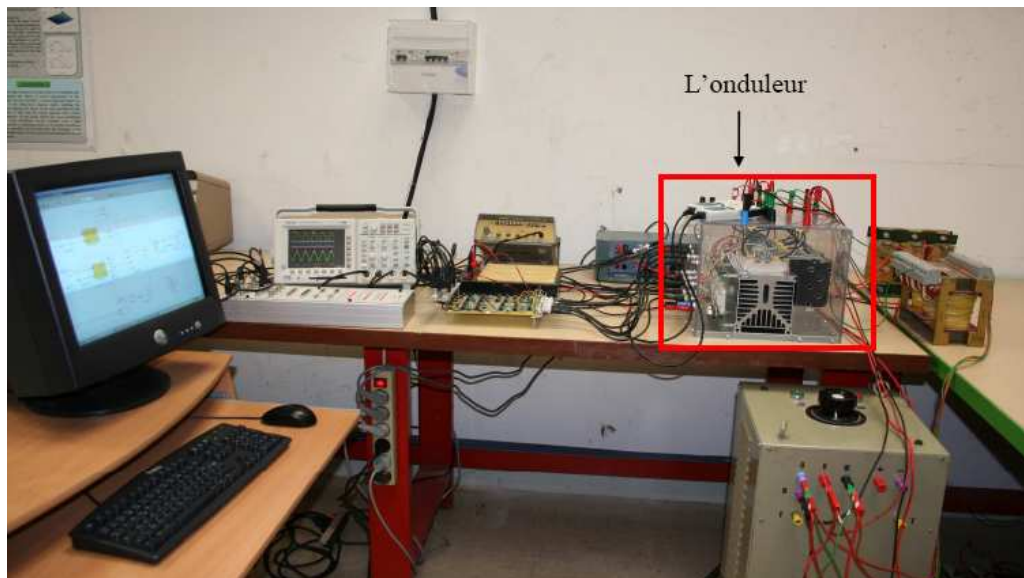


Figure III-21. Photo du banc d'essai expérimental.

III.5.1. Carte d'interface

La validation expérimentale de la méthode proposée pour la détection de défauts des interrupteurs du FAP nous a conduit à concevoir une nouvelle carte d'interface afin de convertir les signaux analogiques en signaux numériques, adapter les niveaux de tension et ainsi permettre d'insérer la carte FPGA dans le dispositif expérimental, développé dans notre laboratoire.

Nous avons choisi des CANs 12 bits de type ADS7810U de chez Analog Devices pour la conversion des signaux analogiques en signaux numériques. Le temps de conversion minimal de ce convertisseur est égal à 1,25 μ s et la gamme d'entrée analogique est de ± 10 V.

Les capteurs de tension utilisés (CV 3-1200) délivrent des tensions proportionnelles aux tensions mesurées avec un rapport de transformation 1200V/10V. Afin de ramener les tensions issues des capteurs dans la gamme d'entrée du CAN, nous avons utilisé un montage à base d'amplificateurs opérationnels de type AMP02E (société Analog Devices). Ces amplificateurs permettent d'amplifier le signal de sortie du capteur.

Afin de mémoriser les états logiques des sorties des CANs pendant la conversion, nous avons utilisé des composants SN74HC174N (société Texas Instruments) qui intègrent chacun six bascules de type D.

Pour adapter le niveau de tension des signaux numériques d'E/S, nous avons employé des composants ULN2003 (société STMicroelectronics). Le niveau nominal de tension pour les broches d'entrées/sorties numériques de notre carte de développement est égal à 3,3V.

Les différents éléments de la carte d'interface nécessitent différentes tensions d'alimentation. Ces niveaux de tension nécessaires pour alimenter les composants mis en œuvre sont résumés dans le tableau III-1. Pour obtenir ces tensions, nous avons utilisé des convertisseurs DC/DC (de marque TRACO POWER). Ils génèrent les tensions souhaitées à partir d'une alimentation continue d'entrée de 15V. La figure III-22 présente les différents constituants de cette carte et sa connexion avec la carte de développement Stratix DSP S80.

Tableau III-1. Différents niveaux de tensions de la carte d'interface.

Composants	Tension d'alimentation
Amplificateurs opérationnels, AMP02E	± 15 V
CANs, ADS7810U	± 5 V
Bascules, SN74HC174N	3,3V
E/S numériques, ULN2003	3,3V ou 15V

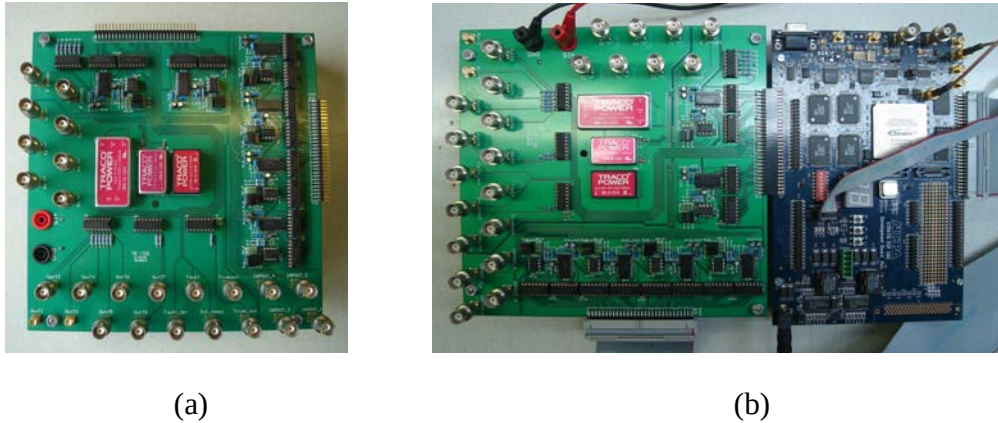


Figure III-22. (a) Carte d'interface, (b) Carte d'interface connectée à la carte de développement.

III.5.2. Implantation sur cible FPGA

Pour le prototypage "FPGA in the Loop", détaillé à la section III.3.2.3, la carte FPGA a été connectée au moyen de l'interface JTAG au PC. De ce fait, lors de ce prototypage, les entrées/sorties numériques n'ont pas été utilisées physiquement. Afin de connecter maintenant la carte FPGA à son environnement réel, on doit connecter ces entrées/sorties du FPGA à la carte d'interface. Pour cela, il faut assigner des pins spécifiques du FPGA à des ports d'entrée et de sortie de notre design. Tous les CANs placés sur la carte d'interface sont simultanément pilotés par le FPGA à la fréquence de 5 MHz (période égale à $0,2 \mu\text{s}$). Cette fréquence est générée à partir de l'oscillateur à quartz 80MHz, intégré à la carte FPGA, et à l'aide d'une PLL intégrée au FPGA.

Puisque le temps minimum nécessaire entre deux conversions pour les CANs de type ADS7810U est de $1,25 \mu\text{s}$, la conversion sera effectuée après sept coups d'horloge (c'est à dire $7 \times 0,2 \mu\text{s} = 1,4 \mu\text{s}$). Par conséquent, les données mémorisées par les composants SN74HC174N seront mises à jour chaque $1,4 \mu\text{s}$.

Nous avons également utilisé les deux boutons-poussoir, placés sur la carte de développement. L'un permet de commencer ou d'arrêter d'envoyer les ordres de commande vers les drivers et l'autre sert à générer le défaut. Nous avons également programmé un des 8 interrupteurs positionnables afin d'activer la détection de défaut.

Comme on a pu constater dans les résultats obtenus par prototypage "FPGA in the Loop", présentés à la section III.4.4, le temps de détection de défaut n'est pas limité par la méthode proposée car le composant FPGA est assez rapide pour permettre de réduire le temps de détection. Toutefois, le temps minimum de détection est limité par les spécifications des composants utilisés dans l'interface entre l'onduleur et le FPGA. Ce temps minimum de détection de défaut dépend essentiellement :

- du retard introduit par les capteurs de tension utilisés pour mesurer les tensions v_{kom} ;

- des caractéristiques et des performances des CANs et des autres composants de la carte d'interface;
- des temps de propagation et des temps morts générés par les drivers des modules IGBTs.

Le tableau III-2 consigne les retards maximum introduits par chaque composant, placé entre l'onduleur et la cible FPGA. Il faut noter que certains temps de retard mentionnés dans ce tableau, comme par exemple les retards liés aux modules IGBTs et à leurs drivers, n'interviennent que pendant les commutations. Par conséquent, afin d'éviter toute fausse détection de défaut suite à une commutation, ces retards doivent être pris en compte. Le seuil temporel N_t , utilisé dans la méthode proposée pour détection de défaut des interrupteurs (voir figure II-5), doit être choisi supérieur au retard maximum calculé et présenté dans le tableau III-2. Nous avons choisi la valeur du seuil N_t , utilisé dans l'unité de contrôle de la machine d'état (voir figures III-13 et III-14), égale à 150 (correspondant à 30 μ s).

Tableau III-2. Retard maximum introduit par chaque composant, placé entre l'onduleur et le FPGA.

Composants	Origine du retard	Temps de retard (ns)
Adaptateur de tension, ULN2003	Délai E/S	1000
Driver, SKHI 22A	Temps mort	4300
	Temps de la propagation	1150
Module IGBTs, SKM50GB123D	Délai de fermeture ($t_{on}=130$ ns)	445
	Délai d'ouverture ($t_{off}=445$ ns)	
Capteur de tension, CV 3-1200	Temps de retard	300
	Temps de montée (slew rate)	700
Amplificateur opérationnel, AMP02E	Temps de montée (slew rate)	1458
Convertisseur, ADS7810U	Temps minimal entre deux conversions	1400
Bascules, SN74HC174N	Délai E/S	1000
FPGA, EP1S80B956C6	Période d'échantillonnage	200
		Total = 13158

III.5.3. Résultats expérimentaux

Nous présentons dans cette section les résultats obtenus à partir du banc d'essai expérimental. Nous montrons d'abord l'influence des commutations sur la tension d'erreur, ensuite nous vérifions les performances de la méthode proposée.

III.5.3.1. Influence des commutations

Dans cette section, le FAP fonctionne normalement et aucun défaut ne se produit. Le but des résultats présentés ici est de démontrer les performances de la méthode de détection proposée, notamment son insensibilité aux commutations des interrupteurs de puissance. La figure III-23 présente l'évolution temporelle de la tension mesurée v_{3om} et celle de la tension estimée v_{3oes} . On peut voir le retard de la tension mesurée par rapport à la tension estimée. La figure III-24 présente, sur une durée de 1 ms, le signal de commande δ_3 , le signal c_3 (signal en sortie du premier comparateur de la figure II-5) et le signal de défaut f_3 . La figure III-25 présente un zoom de ces signaux sur une durée de 100 μ s. On peut noter que la durée de l'erreur lors de la fermeture des interrupteurs est inférieure à celle constatée lors de l'ouverture des interrupteurs. De plus, on peut noter que la durée totale de l'erreur pendant l'ouverture des interrupteurs est proche mais inférieure au retard maximum calculé et présenté dans le tableau III-2. Ceci est justifié par le fait que l'on avait alors additionné les retards maximum introduits par chaque composant pour chiffrer cette durée.

La figure III-24 atteste que pour la valeur du seuil N_t choisie (correspondant à 30 μ s), les commutations des interrupteurs n'ont aucune influence sur la détection de défaut, grâce à l'utilisation simultanée d'un "critère de tension" et d'un "critère temporel". Ainsi, le signal de défaut f_3 reste toujours égal à zéro pendant ces commutations étant donné que le FAP fonctionne normalement.

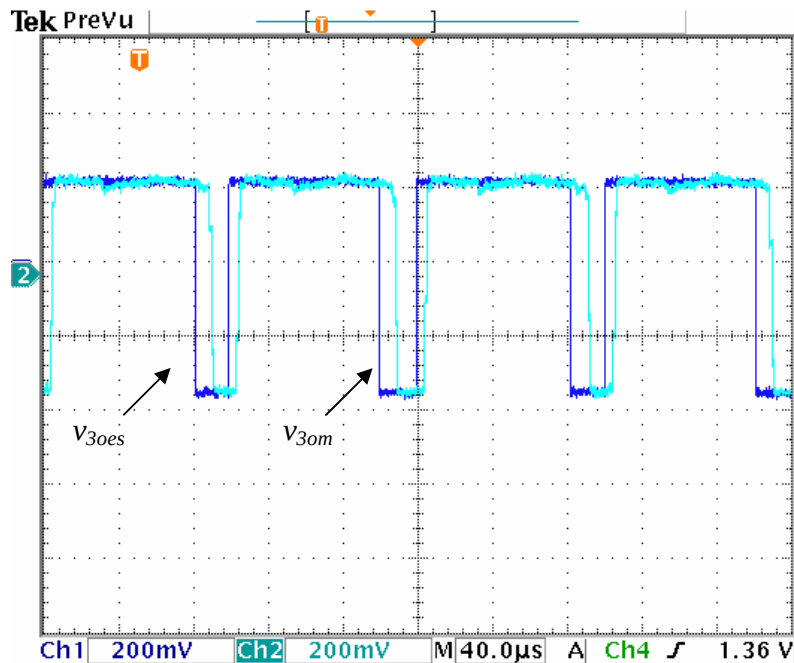


Figure III-23. Tensions v_{3om} et v_{3oes} (250V/div).

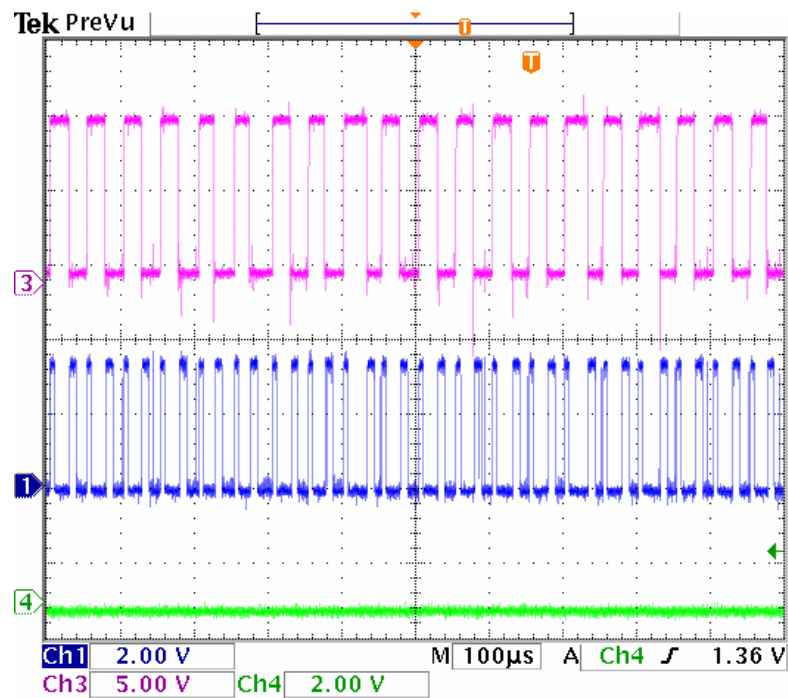


Figure III-24. De haut en bas : signal de commande δ_3 , signal c_3 et signal de défaut f_3 .

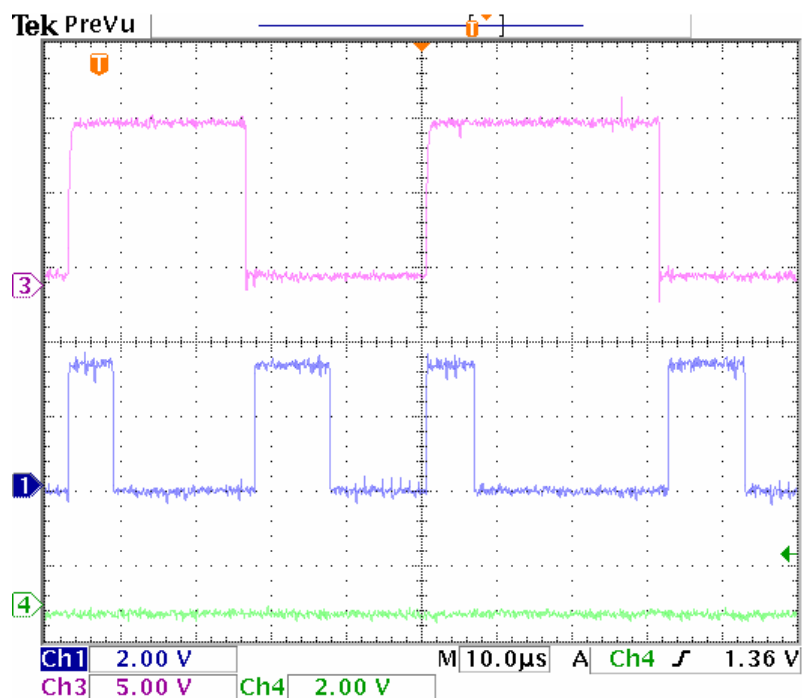


Figure III-25. Zoom sur une durée de 100 μ s de la figure III-24.

III.5.3.2. Défaut de type "circuit-ouvert" lorsqu'un courant positif traverse le composant défaillant

Dans cette section, nous présentons deux cas de défauts circuit-ouvert qui ont été créés au niveau de S_3 lorsque le courant i_{f3} est positif. Le défaut est généré à l'aide d'un des deux boutons-poussoirs de la carte de développement. Lorsque l'on appuie sur ce bouton-poussoir, le signal de commande δ_3 , en sortie de la carte FPGA, devient et reste égal à zéro. Le signal de commande δ_6 n'est pas modifié (voire figure III-26). Ces deux signaux sont alors envoyés au driver du bras 3; ainsi le défaut de type circuit ouvert est généré au niveau de S_3 . Les figures III-27 et III-28 présentent les résultats expérimentaux obtenus pour le défaut de type circuit-ouvert précédemment décrit, généré alors que le signal de commande δ_3 , délivré par la carte d'interface était égal à 1. La figure III-27 concerne, sur une durée de 0,04 s, les courants de source et du filtre pour la phase 3, le signal de détection de défaut f_3 et le signal de défaut s_d généré à l'aide du bouton-poussoir. La figure III-28 présente un zoom des résultats précédents sur une durée de 400 μ s. On peut remarquer que les formes d'ondes des courants de source et du filtre n'ont pas été affectées par la présence de ce défaut. De plus, le défaut a été effectivement détecté 30 μ s après son apparition.

La figure III-29 concerne notamment le signal de commande δ_3 , visualisé à l'oscilloscope (δ_{3v} à la figure III-26), sur une durée de 200 μ s. Pour obtenir simultanément les deux oscillogrammes des figures III-27 et III-29, deux oscilloscopes 4 canaux ont été utilisés; les triggers de ces deux oscilloscopes sont tous deux déclenchés sur le front montant du signal de défaut s_d . Comme le confirme la figure III-29, le défaut a été généré alors que le signal de commande δ_3 était égal à 1.

Après la détection du défaut, les ordres de commande δ_3 et δ_6 des interrupteurs du bras 3 sont mis à 0 et ces ordres précédemment appliqués à ce bras 3 sont alors imposés aux interrupteurs du bras redondant.

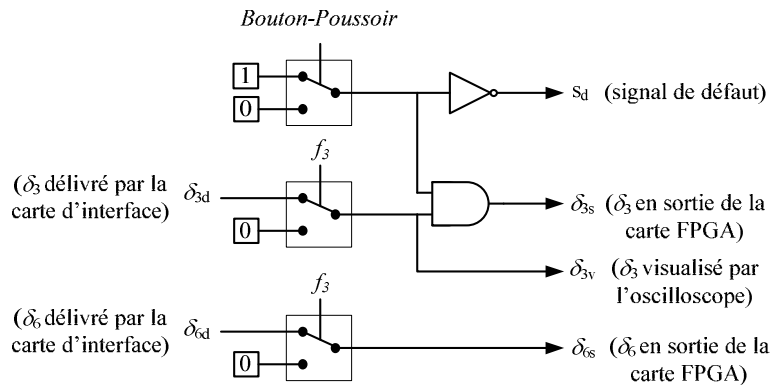


Figure III-26. Principe de la génération du signal de défaut.

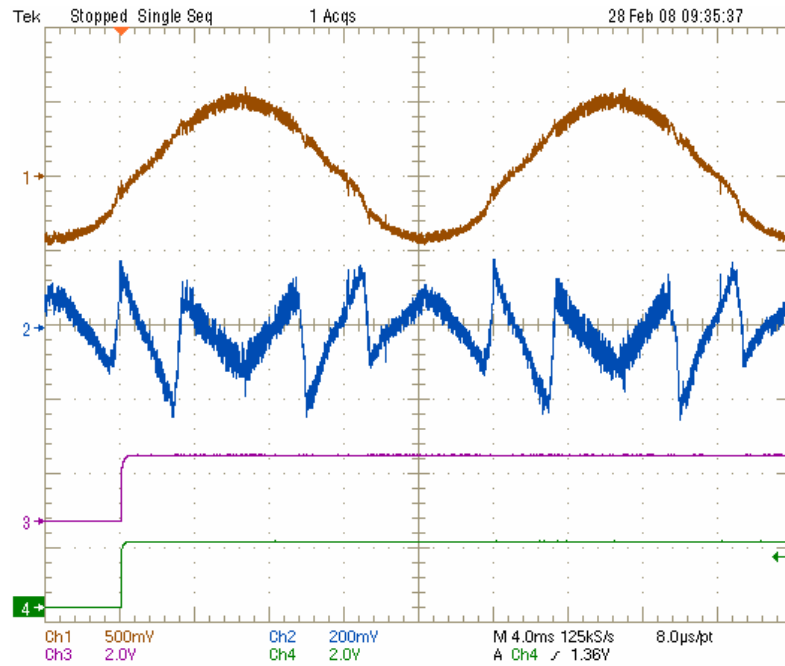


Figure III-27. De haut en bas : courant de source i_{s3} (15A/div), courant du filtre i_{f3} (6A/div), signal de détection de défaut f_3 (4V/div) et signal de défaut s_d (4V/div).

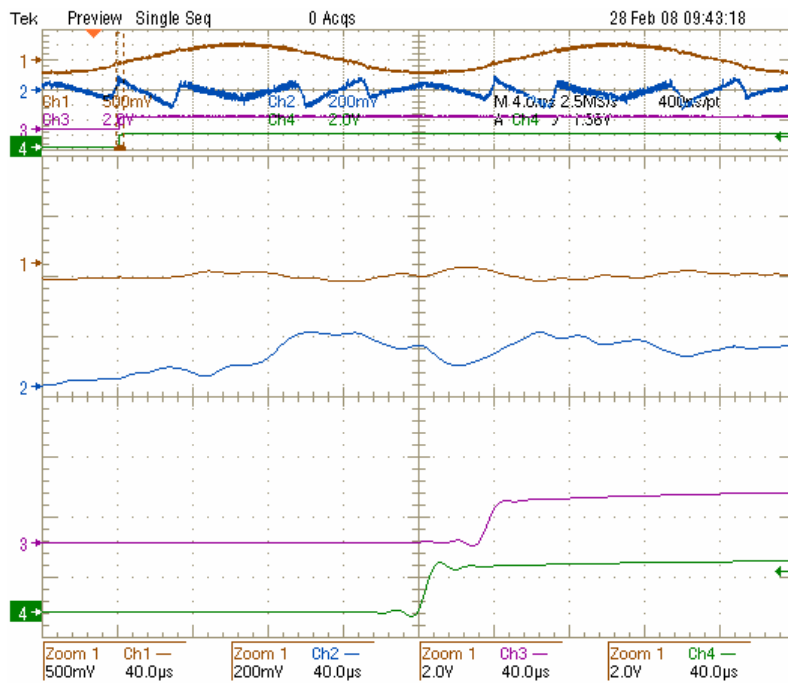


Figure III-28. Zoom sur une durée de 400 μ s de la figure III-27.

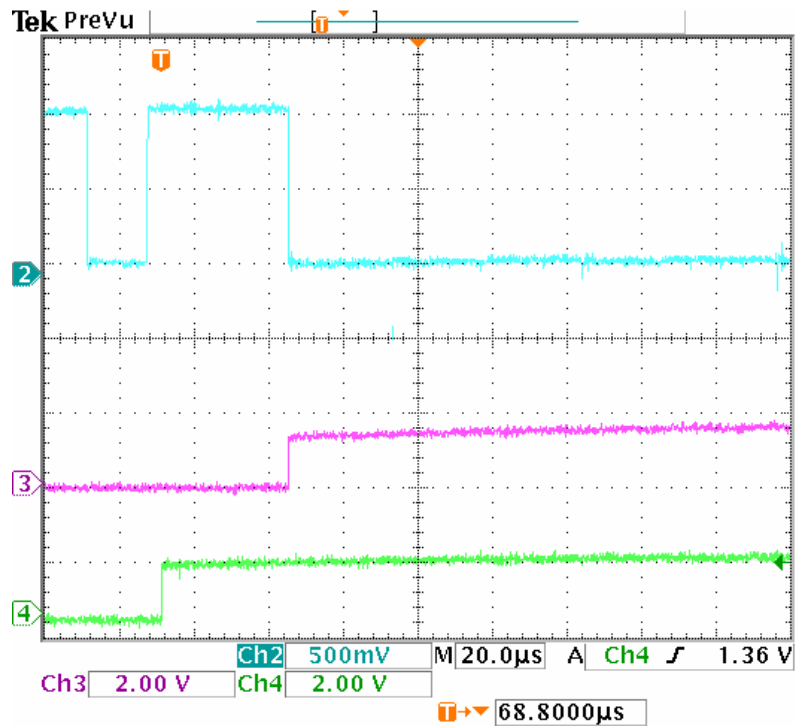


Figure III-29. Etude détaillée de la détection de défaut.

De haut en bas: signal de commande δ_3 avant et après l'apparition du défaut (7V/div), signal de détection de défaut f_3 (4V/div), signal de défaut s_d (4V/div).

Les figures III-30 et III-31 présentent les résultats expérimentaux obtenus dans un second cas de défaut de type circuit-ouvert, se produisant au niveau du même semi-conducteur S_3 . Ici encore et comme on peut le constater à la figure III-31, le défaut a été généré alors que le courant du filtre i_β était positif; ce défaut est détecté environ 85 μ s après sa génération (voir figure III-32). La figure III-32 concerne plus particulièrement le signal de commande δ_3 , visualisé par l'oscilloscope (δ_{3v} à la figure III-26). Comme on peut le voir sur cette figure, cette fois ci, lorsque le défaut a été créé, le signal de commande δ_3 était égal à zéro (zone 1 à la figure III-32). Par conséquent, le bras 3 fonctionnait alors correctement et aucun défaut ne devait être détecté. Après environ 7 μ s, δ_3 devient égal à 1 et reste à cette valeur environ 28 μ s (zone 2 à la figure III-32). Puisque ce temps est inférieur à 30 μ s, le défaut n'est pas détecté. Dans la zone 3, δ_3 redevient zéro et le bras 3 fonctionne alors à nouveau correctement. Ensuite, le signal de commande δ_3 passe à 1 pour la deuxième fois (zone 4 à la figure III-32). Ainsi, après 30 μ s, le défaut est effectivement détecté. Après la détection du défaut, les ordres de commande des interrupteurs du bras 3 sont mis à 0 et les ordres normalement destinés au driver du bras 3 sont appliqués au driver des interrupteurs du bras redondant. Par conséquent, après la détection du défaut, le signal de commande δ_3 reste égal à zéro.

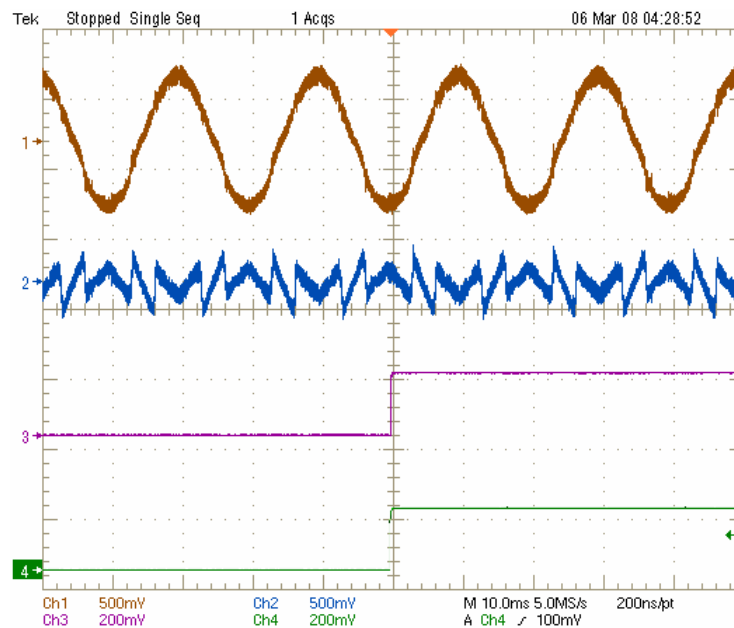


Figure III-30. De haut en bas : courant de source i_{s3} (15A/div), courant du filtre i_{β} (15A/div), signal de détection de défaut f_3 (4V/div) et signal de défaut s_d (4V/div).

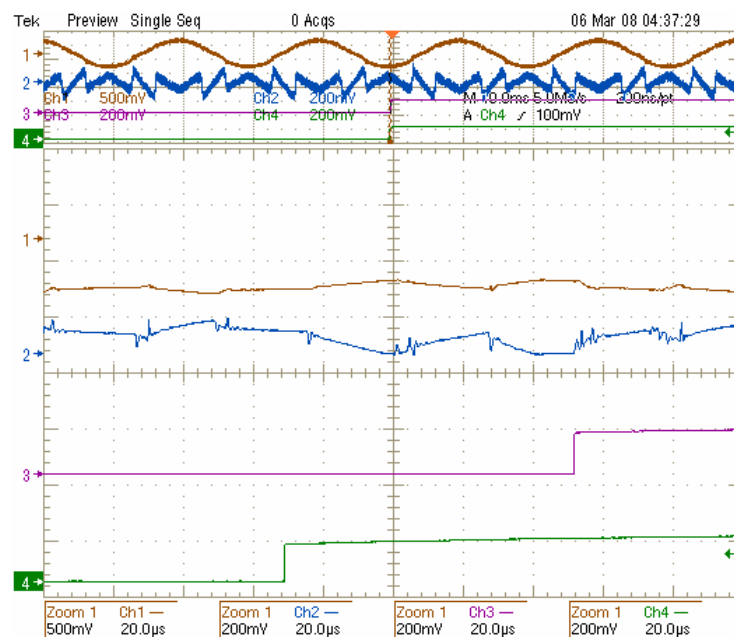


Figure III-31. Résultats expérimentaux agrandis sur une durée de 200 μ s.

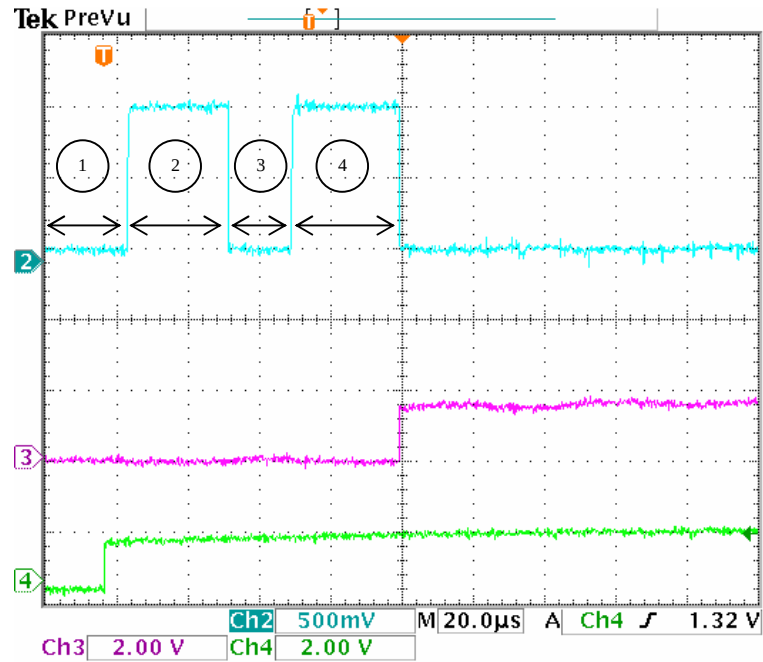


Figure III-32. Etude détaillée de la détection de défaut.

De haut en bas : signal de commande δ_3 avant et après l'apparition du défaut (7V/div), signal de détection de défaut f_3 (4V/div), signal de défaut s_d (4V/div).

III.5.3.3. Défaut de type "circuit-ouvert" lorsqu'un courant négatif traverse le composant défaillant

Comme cela a été expliqué au chapitre précédent, un défaut de type circuit-ouvert ne peut pas être détecté tout de suite lorsqu'un courant négatif traverse le composant défaillant alors que le défaut survient. En effet, la diode montée en anti-parallèle de l'interrupteur défectueux est alors passante et le semi-conducteur défaillant (alors ouvert) ne perturbe pas le bon fonctionnement des séquences de conduction du courant de phase entre cette diode et l'autre interrupteur du bas du bras défectueux. Les effets du défaut apparaissent dès lors que le courant de phase devient égal à zéro.

Les figures III-33 et III-34 illustrent les performances de la méthode proposée lorsqu'un défaut circuit-ouvert est généré au niveau du semi-conducteur du haut du bras 3 alors que le courant i_{β} est négatif. On remarque cette fois ci encore que les formes d'ondes des courants de source et du filtre n'ont pas été affectées par la présence du défaut. La figure III-34 présente les résultats agrandis sur une durée de 2 ms. On peut voir sur cette figure que, comme prévu, le défaut n'est pas détecté alors que le courant i_{β} est négatif. Nous constatons également que le courant i_{β} reste égal à zéro pendant environ 300 μ s avant la détection de défaut.

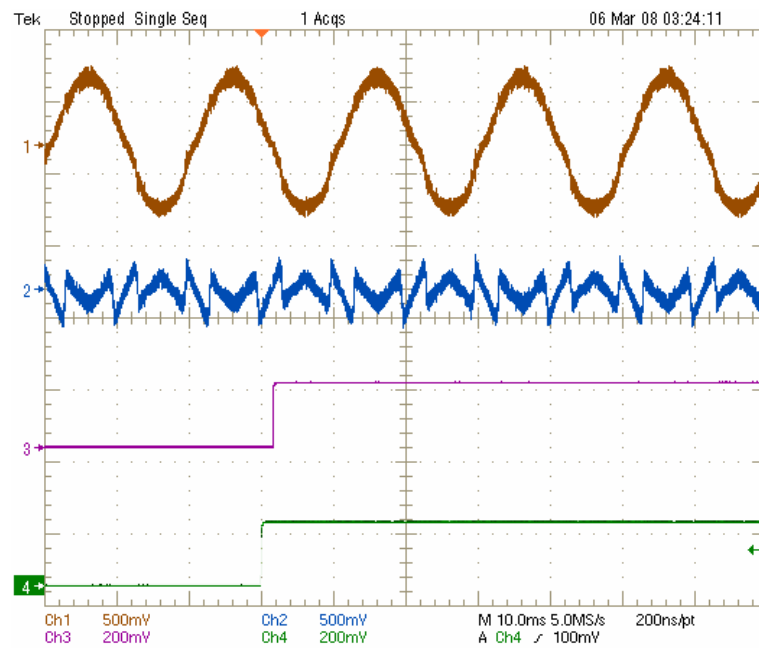


Figure III-33. De haut en bas : courant de source i_{s3} (15A/div), courant du filtre i_{f3} (15A/div), signal de détection de défaut f_3 (4V/div), signal de défaut s_d (4V/div).

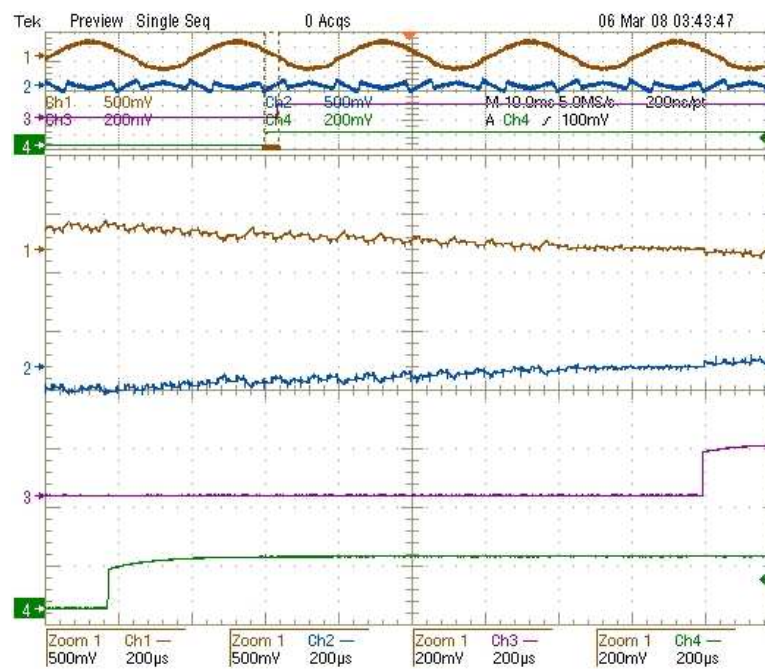


Figure III-34. Résultats expérimentaux agrandis pour une durée de 2 ms.

III.6. Conclusion

Dans ce dernier chapitre, nous avons d'abord présenté différentes méthodologies de conception et d'intégration de contrôleurs numériques pour les systèmes de conversion de l'énergie électrique. Ensuite, les apports et l'intérêt de l'utilisation de composants FPGA ont été discutés. La structure interne générale d'un FPGA a également été présentée. L'accent a été mis sur les apports des FPGAs, particulièrement dans le domaine d'application de l'électronique de puissance.

Nous avons ensuite proposé un nouveau flot de conception et de prototypage dit "FPGA in the loop". Ce flot de conception descendant (Top-Down) permet de concevoir des contrôleurs numériques à base de FPGA et de valider expérimentalement l'implantation d'algorithme de commande sur une cible FPGA. Ce flot de conception permet de mener, dans un premier temps, une étude fonctionnelle du système de conversion de l'énergie électrique, à l'aide de l'outil Matlab et des bibliothèques associées. Ensuite, le contrôleur numérique est modélisé et simulé dans son contexte réel, étape par étape, jusqu'à l'obtention d'une modélisation numérique synthétisable, en langage VHDL, qui sera physiquement implantée sur la cible FPGA choisie.

Les avantages majeurs de l'approche proposée résident dans la facilité de conception apportée, la rapidité du prototypage et son coût faible par rapport aux outils HIL temps réel. Malgré les avantages majeurs de l'approche proposée, certains inconvénients ont été mentionnés à la section III.3.2.3.

Dans ce chapitre, nous avons également présenté la modélisation et l'implantation numérique de la méthode de détection de défauts des interrupteurs, appliquée au cas du FAP triphasé et présentée au chapitre II. Une carte de développement de la société Altera, intégrant un composant FPGA Stratix EP1S80B956C6 a été mise en œuvre afin de réaliser le prototypage "FPGA in the Loop" pour ce FAP. Les résultats obtenus par prototypage "FPGA in the Loop" ont été exposés et examinés dans ce cas d'application. Après cette validation des performances du FAP "fault tolerant" par prototypage "FPGA in the Loop", nous avons mis en œuvre cette carte de développement FPGA dans un environnement réel à l'aide d'une carte interface, développée dans le cadre de ces travaux de Thèse. Les performances du FAP "fault tolerant" ont alors également été validées sur un banc d'essai expérimental.

Les résultats obtenus par prototypage "FPGA in the Loop" ainsi que les résultats expérimentaux confirment l'efficacité, la rapidité et la robustesse de la méthode proposée pour la détection de défauts des interrupteurs. On a constaté que les défauts éventuels peuvent être rapidement détectés sans risque de fausses détections dues aux commutations des semi-conducteurs.

En comparant les résultats obtenus par le prototypage "FPGA in the Loop" avec les résultats expérimentaux, on remarque que la valeur du seuil N_t utilisé dans le "*critère temporel*" doit être choisie avec la plus grande attention; dans le cas expérimental, elle doit être fixée selon

les spécifications des composants utilisés dans l'interface entre l'onduleur et la carte FPGA. La valeur de N_t peut cependant être aisément modifiée grâce à la reprogrammation du FPGA. Le temps de détection du défaut n'est donc pas limité par la méthode proposée.

Conclusion générale et perspectives

Conclusion générale et perspectives

La configuration et l'algorithme de commande conventionnels d'un convertisseur statique triphasé à structure tension non "fault tolerant" ne permettent pas d'assurer la continuité de service lors de défaillances. Ces défaillances surviennent généralement au niveau de la commande rapprochée du convertisseur (drivers), d'un des capteurs de courant ou d'un des composants de puissance commandables (IGBT, par exemple). Elles peuvent conduire au dysfonctionnement du système, voire nécessiter sa mise hors tension. Pour assurer la disponibilité d'une chaîne de conversion de l'énergie électrique comportant des convertisseurs statiques triphasés à structure tension en présence de telles défaillances, la mise en œuvre d'un système efficace et "fault tolerant" est indispensable. La détection, l'identification et la compensation des défauts sont les trois composantes principales d'un tel système.

Nous avons présenté dans ces travaux de recherche une topologie de convertisseur triphasé à structure tension "fault tolerant" garantissant la continuité de service, en mode normal, lors de défauts éventuels survenant au niveau d'un semi-conducteur de puissance ou d'un capteur de courant. Les analyses effectuées dans la partie consacrée à la tolérance des défauts de semi-conducteurs ont démontré que la méthode proposée réduit notablement le temps de détection par rapport aux autres méthodes, publiées dans la littérature scientifique. Cette méthode de détection est également insensible aux commutations des semi-conducteurs. Une analyse théorique complète de cette méthode a également été détaillée et commentée. Ensuite, un système de contrôle "fault tolerant" a été proposé afin de diagnostiquer et de compenser un capteur de courant défectueux. Une méthode hybride a été proposée pour la prédiction des courants de phase du convertisseur. Elle permet d'assurer une identification correcte du capteur défectueux, même si le défaut se produit alors que la valeur réelle du courant traversant ce capteur défaillant est faible. Cette nouvelle méthode est notamment utile dans les applications pour lesquelles les équations d'état ne permettent pas d'estimer les courants de phase du convertisseur au moyen d'un observateur. Les résultats obtenus par simulation dans le cas d'application du FAP ont permis de valider la continuité de service du convertisseur "fault tolerant" lors de défauts au niveau d'un semi-conducteur ou d'un capteur de courant. De plus, les performances du FAP "fault tolerant" lors de défauts de type "circuit-ouvert" au niveau d'un semi-conducteur ont été également validées sur un banc d'essai expérimental.

L'identification des courants de référence du FAP mise en œuvre dans le banc d'essai expérimental est réalisée par une nouvelle méthode. Au premier chapitre, nous avons montré analytiquement que cette méthode, appelée méthode "*pq-modifiée*", permet d'identifier les composantes harmoniques directes et inverses des courants de charge, quelles que soient les tensions de source. Nous avons également démontré que l'influence, sur les performances du filtrage, d'un déséquilibre des tensions de source est négligeable pour cette méthode. Pour la poursuite des courants de référence, la méthode dite "*hystérésis modulée*" a été choisie et étudiée. Cette méthode combine les avantages d'un contrôleur à hystérésis en régime transitoire et

bénéficie grâce à son signal triangulaire, d'un fonctionnement à fréquence fixe en régime permanent. Dans le premier chapitre, nous avons étudié le principe, le dimensionnement et l'effet des paramètres de cette méthode "*hystérésis modulée*" sur sa robustesse. Les résultats de simulation obtenus ont validé les performances du FAP triphasé mettant en œuvre les méthodes étudiées pour l'identification des courants de référence et le contrôle du courant par "*hystérésis modulée*".

Nous avons ciblé un composant numérique de type FPGA afin d'implanter la méthode de détection de défaut au niveau d'un semi-conducteur. Cette implantation matérielle sur FPGA apporte en outre de nombreux avantages: possibilité d'utiliser une faible période d'échantillonnage (ici $0,2\mu s$), sensibilité réduite aux perturbations, possibilité d'intégration complète du système de commande dans un unique composant FPGA et reprogrammation rapide. Nous avons proposé dans le chapitre III, un nouveau flot de conception et de prototypage dit "FPGA in the loop". Cette nouvelle approche met en œuvre les outils Matlab/SimPowerSystems et Altera DSP Builder afin de concevoir le contrôleur numérique sur FPGA. Ce prototypage permet également de valider l'implantation matérielle sur une cible FPGA. La richesse en composants numériques et analogiques des bibliothèques des outils utilisés, le noyau de simulation unique (Matlab/Simulink) et la possibilité de synthèse numérique sont en effet des avantages majeurs de cette approche et permettent de réduire le temps de développement. Les résultats obtenus par prototypage "FPGA in the loop" pour le convertisseur "fault tolerant" étudié ont été confirmés par les essais expérimentaux et permettent de valider les performances de ce prototypage et du flot de conception.

Comme perspectives associées à ce travail, plusieurs axes d'études et de recherches complémentaires peuvent être envisagés. Premièrement, il serait intéressant d'intégrer l'algorithme de commande du FAP et l'algorithme de détection de défaut dans un unique composant FPGA. De ce fait, une faible période d'échantillonnage pourrait être utilisée pour l'identification des courants de référence. Cela permettrait probablement d'améliorer encore davantage les performances du filtrage en terme de THD. De plus, le système dSPACE et la carte analogique pour *l'hystérésis modulée* ne seraient plus nécessaires, ce qui simplifierait la complexité matérielle du système de commande "fault tolerant".

Deuxièmement, lors du prototypage "FPGA in the loop" proposé, l'interface JTAG et la partie simulée par l'outil Matlab/SimPowerSystems peuvent ralentir la simulation, notamment dans le cas de systèmes complexes comportant plusieurs convertisseurs ou dans le cas des systèmes éoliens. On peut alors envisager deux solutions afin d'accélérer la simulation, en s'affranchissant dans les deux cas de l'interface JTAG : la première solution consiste à modéliser l'ensemble du système de conversion de l'énergie électrique sur une cible FPGA unique et la seconde solution consiste à utiliser un solveur plus performant pour les modèles analogiques ou de puissance. Pour la première solution, il est clair que si l'on ne dispose pas d'une bibliothèque riche en modèles de composants analogiques et de puissance, facilement exécutables sur cible

FPGA, le temps de développement peut alors être important. La deuxième solution pourrait consister à utiliser des solveurs spécifiques, tel que le solveur ARTEMIS commercialisé par la société OPAL-RT. ARTEMIS permet en effet de paralléliser et d'accélérer la simulation faite avec SimPowerSystems et les modèles de convertisseurs avec interpolation associés permettent une pas de simulation à 10 ou 20 μ s au lieu de 0,2 μ s. En utilisant cette solution, on pourrait donc s'attendre à accélérer la simulation par un facteur qui pourrait être important.

Enfin, dans la continuité de ces travaux de recherche, une étude de convertisseurs de tension multi-niveaux "fault tolerant" lors de défauts d'un semi-conducteur pourrait être envisagée. Différentes topologies avec ou sans bras redondant peuvent être considérées. Ces convertisseurs sont notamment mis en œuvre dans les systèmes éoliens de conversion de l'énergie pour lesquels la continuité de service devient une préoccupation majeure quant à la disponibilité de l'énergie électrique.

Publications et communications du doctorant

Publications et communications du doctorant

Publications :

1. A. Gaillard, S. Karimi, P. Poure, S. Saadate, "Fault tolerant back-to-back converter topology for wind turbine with doubly fed induction generator", *International Review of Electrical Engineering*, vol. 2, no. 4, pp. 629-637, July-August 2007.
2. S. Karimi, P. Poure, S. Saadate, "FPGA in the loop prototyping methodology for fully digital power electronics system control design", *International Review of Electrical Engineering*, vol. 3, no 2, pp. 281-289, April 2008.
3. S. Karimi, P. Poure, S. Saadate, E. Ghlipour, "FPGA-based fully-digital-controller for three phase shunt active filters", *International Journal of Electronics*, vol. 95, no. 8, pp. 805-818, August 2008.
4. S. Karimi, P. Poure, S. Saadate, "FPGA-based fully digital fast power switch fault detection and compensation for three-phase shunt active filters", *Elsevier Electric Power Systems Research*, vol. 78, no. 11, pp. 1933-1940, Novembre 2008.
5. S. Karimi, A. Gaillard, P. Poure, S. Saadate, "FPGA-based real time power converter failure diagnosis for wind energy conversion systems", *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4299-4308, December 2008.
6. S. Karimi, P. Poure, S. Saadate, " FPGA-based real time current sensor failure diagnosis for shunt active power filters", *International Journal of Electronics*, (accepted, article in press).
7. M. Abdusalam, P. Poure, S. Karimi, S. Saadate, "Improved harmonics isolation for active filter under distorted voltage conditions", *Elsevier Electric Power Systems Research*, (accepted, article in press).
8. S. Karimi, P. Poure, S. Saadate, "Fast power switch failure detection for fault tolerant voltage source inverters using FPGA", *IET Power Electronics*, (accepted, article in press).

Communications :

1. S. Karimi, P. Poure, S. Saadate, E. Ghlipour, "Current sensors and power switches fault detection and compensation for shunt active power filters", *IEEE, International Symposium on Industrial Electronics*, pp. 3157-3161, June 2007.
2. A. Gaillard, S. Karimi, P. Poure, S. Saadate, E. Ghlipour, "A fault converter topology for wind energy conversion system with doubly fed induction generator", *European Conference on Power Electronics and Applications, EPE'07*, Aalborg-Denmark, September 2007.

3. S. Karimi, P. Poure, Y. Berviller, S. Saadate, "A design methodology for power electronics digital control based on an FPGA in the Loop prototyping", *IEEE International Conference on Electronics, Circuits and Systems*, pp.701-704, December 2007.
4. S. Karimi, P. Poure, S. Saadate, "High performances reference current generation for shunt active filter under distorted and unbalanced conditions", *IEEE Power Electronics Specialists Conference*, pp. 195-201, June 2008.
5. S. Karimi, P. Poure, S. Saadate, "A fault tolerant three-leg shunt active filter using FPGA for fast switch failure detection", *IEEE Power Electronics Specialists Conference*, pp. 3342-3347, June 2008.
6. S. Karimi, P. Poure, S. Saadate, "Reference current generation without PLL for shunt active filter under distorted and unbalanced conditions", *IEEE, International Symposium on Industrial Electronics*, pp. 363-368, June- July 2008.
7. S. Karimi, P. Poure, S. Saadate, "FPGA-based hardware in the loop validation for fault tolerant three-phase active filter", *IEEE, International Symposium on Industrial Electronics*, pp. 2189-2194, June- July 2008.
8. J. Katrib, P. Poure, S. Karimi, S. Saadate, "Design methodology of VLSI power electronics digital controller based on Matlab-Modelsim co-simulation", *IEEE, International Symposium on Industrial Electronics*, pp. 1751-1756, June-July 2008.

Références bibliographiques

Références bibliographiques

- [Abdusalam, 2008] M. Abdusalam, "Structures et stratégies de commande des filtres actifs parallèle et hybride avec validations expérimentales", Thèse de doctorat, UHP-Nancy, France, 2008.
- [Abrahamsen, 2000] F. Abrahamsen, F. Blaabjerg, K. Ries, H. Rasmussen, "Fuse Protection of IGBT's against Rupture", *IEEE Nordic Workshop on Power and Industrial Electronics*, pp. 64-68, 2000.
- [Aime, 2007] M. Aime, G. Gateau, and T. Meynard, "Implementation of a peak current control algorithm within a field programmable gate array", *IEEE Transactions on Industrial Electronics*, vol. 54, no. 1, pp. 406–418, Feb. 2007.
- [Akagi, 1983] H. Akagi, Y. Kanazawa, A. Nabae, "Generalized theory of the instantaneous reactive power in three-phase circuits", *International power electronics conference*, pp. 1375-1386, Japan, 1983.
- [Akagi, 2006] H. Akagi, "Modern active filters and traditional passive filters", *Bulletin of the Polish Academy of Sciences, Technical Sciences*, vol. 54, no. 3, 2006.
- [Alali, 2000] M.A.E. Alali, S. Saadate, Y.A. Chapuis, F. Braun, "Energetic study of a shunt active conditioner compensating current harmonics, power factor and unbalanced", *EPE-PEMC*, vol. 5, pp. 211-216, September 2000.
- [Asiminoaei, 2005] L. Asiminoaei, F. Blaabjerg, S. Hansen, "Evaluation of harmonic detection methods for active power filter applications" *IEEE Applied Power Electronics Conference and Exposition*, vol. 1, pp. 635- 641, March 2005.
- [Aubepart, 2003] F. Aubepart, P. Poure, Y.A. Chapuis, C. Girerd, F. Braun, "HDL-based methodology for VLSI design of AC motor" *IEE Proceedings Circuits, Devices and Systems*, vol. 150, no. 1, pp. 38 – 44, Feb. 2003.
- [Bennett, 1996] S. M. Bennett, R. J. Patton, S. Daley, D. A. Newton, "Torque and flux estimation for a rail traction system in the presence of intermittent sensor faults", *UKACC, International Conference on Control*, vol. 1, pp.72-77, Sept. 1996.
- [Bennett, 1997] S. M. Bennett, R. J. Patton, S. Daley, "Rapid prototyping of a sensor fault tolerant traction control system", *IEE Colloquium on Fault Diagnosis in Process Systems*, Apr. 1997.
- [Bennett, 1999] S. M. Bennett, R. J. Patton, S. Daley, "Sensor fault-tolerant control of a rail traction drive", *Elsevier, Control Engineering Practice*, vol. 7, no. 2, pp.217-225, February 1999.
- [Benhabib, 2004] M. C. Benhabib, "Contribution à l'étude des différentes topologies et commandes des filtre actifs parallèles à structure tension : Modélisation, simulation et validation expérimentale de la commande", Thèse de doctorat, UHP-Nancy, France, 2004.

- [Benhabib, 2005] M. C. Benhabib, S. Saadate, "A new robust experimentally validated phase locked loop for power electronic control", *European Power Electronics journal*, vol. 15, no. 3, 2005.
- [Bhattacharya, 1991] S. Bhattacharya, D. M. Divan, B. Banerjee, "Synchronous frame harmonic isolator using active series filter", *EPE'91*, pp. 30-35, 1991.
- [Blaabjerg, 1997] F. Blaabjerg, J.K. Pedersen, "Single current sensor technique in the DC-Link of three-phase PWM-VS inverters. A review and the ultimate solution", *IEEE Transactions on Industry Applications*, vol. 33, no. 5, pp. 1241-1253, Sep.-Oct. 1997.
- [Blaabjerg, 2002] F. Blaabjerg, F. Iov, K. Ries, "Fuse protection of IGBT modules against explosions", *Journal of Power Electronics*, vol. 2, no. 2, pp. 88-94, April 2002.
- [Bode, 2001] G. H. Bode, D. G. Holmes, "Load independent hysteresis current control of three level single phase inverter with constant switching frequency", *IEEE Power Electronics Specialists Conference*, pp. 14-19, 2001.
- [Braun, 1997] D. Braun, D. Pixler, P. L. May, "IGBT Module Rupture Categorization and Testing", *Proceedings of IEEE Industry Applications Society Annual Meeting*, New Orleans, pp. 1259-1266, Oct. 1997.
- [Bruyant, 1999] N. Bruyant, "Etude et commande généralisées de filtres actifs parallèles, Compensation globale ou sélective des harmoniques, Régime équilibré ou déséquilibré", Thèse de doctorat, Université de Nantes, France, 1999.
- [Buso, 1998] S. Buso, L. Malesani, P. Mattavelli, "Comparison of current control techniques for active filter applications", *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp. 722-729, October 1998.
- [Chang, 2002] G.W. Chang, S. Tai-Chang, "A comparative study of active power filter reference compensation approaches", *IEEE Power Engineering Society Summer Meeting*, vol. 2, pp. 1017-1022, July 2002.
- [Chereau, 2007] V. Chereau, "Modulation de largeur d'impulsion et régulation numérique des courants" Thèse de Doctorat, Université de Nantes, France, 2007.
- [Detrey, 2007] J. Detrey, "Arithmétiques réelles sur FPGA, virgule fixe, virgule flottante et système logarithmique", Thèse de doctorat de l'École Normale Supérieure de Lyon, France, 2007.
- [Dufour, 2005] C. Dufour, S. Abourida, J. Belanger, "Hardware-In-the-Loop simulation of power drives with RT-LAB", *International Conference on Power Electronics and Drives Systems*, vol. 2, pp. 1646 – 1651, 2005.
- [Fukuda, 2002] S. Fukuda, Y. Furukawa, H. Kamiya, "An adaptive current control technique for active filters", *Power Conversion Conference*, pp. 789-794, 2002.

- [Jovanovic, 2008] S. Jovanovic, P. Poure, S. Saadate, S. Weber, "Design of a fully digital controller for a shunt three-phase active. filter using VHDL-AMS language", *International journal of electronics*, vol. 95, no. 10, pp. 1055-1071, October 2008.
- [Haddad, 1999] K. Haddad, G. Joos, "Three phase active filter topology based on a reduced switch count voltage source inverter", *IEEE Power Electronics Specialists Conference*, vol. 1, pp. 236-241, Aug. 1999.
- [Harakawa, 2005] M. Harakawa, H. Yamasaki, T. Nagano, S. Abourida, C. Dufour, J. Bélanger, "Real-Time simulation of a complete PMSM drive at 10 μ s time step", *International Power Electronics Conference, IPEC'05*, April 2005.
- [Gateau, 2007] G. Gateau, A. M. Lienhardt, and T. Meynard, "Digital sliding mode observer implementation using FPGA", *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, Aug. 2007.
- [Kale, 2005] M. Kale, E. Ozdemir, "An adaptive hysteresis band current controller for shunt active power filter", *Electric Power Systems Research*, vol. 73, no. 2, pp. 113-119, February 2005.
- [Karimi, 2007] S. Karimi, P. Poure, Y. Berviller, S. Saadate, "A design methodology for power electronics digital control based on an FPGA in the Loop prototyping", *IEEE International Conference on Electronics, Circuits and Systems*, pp.701-704, December 2007.
- [Karimi, 2008-1] S. Karimi, P. Poure, S. Saadate, "FPGA-based fully digital fast power switch fault detection and compensation for three-phase shunt active filters", *Elsevier Electric Power Systems Research*, vol. 78, no. 11, pp. 1933-1940, Novembre 2008.
- [Karimi, 2008-2] S. Karimi, A. Gaillard, P. Poure, S. Saadate, "FPGA-based real time power converter failure diagnosis for wind energy conversion systems", *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4299-4308, December 2008.
- [Karimi, 2008-3] S. Karimi, P. Poure, S. Saadate, " FPGA-based real time current sensor failure diagnosis for shunt active power filters", *International Journal of Electronics*, (accepted, article in press).
- [Karimi, 2008-4] S. Karimi, P. Poure, S. Saadate, "High performances reference current generation for shunt active filter under distorted and unbalanced conditions", *IEEE Power Electronics Specialists Conference*, pp. 195-201, June 2008.
- [Karimi, 2008-5] S. Karimi, P. Poure, S. Saadate, "Reference current generation without PLL for shunt active filter under distorted and unbalanced conditions", *IEEE, International Symposium on Industrial Electronics*, pp. 363-368, June- July 2008.

- [Karimi, 2008-6] S. Karimi, P. Poure, S. Saadate, "A fault tolerant three-leg shunt active filter using FPGA for fast switch failure detection", *IEEE Power Electronics Specialists Conference*, pp. 3342-3347, June 2008.
- [Karimi, 2008-7] S. Karimi, P. Poure, S. Saadate, "FPGA-based hardware in the loop validation for fault tolerant three-phase active filter", *IEEE, International Symposium on Industrial Electronics*, pp. 2189-2194, June- July 2008.
- [Karimi, 2008-8] S. Karimi, P. Poure, S. Saadate, "FPGA in the loop prototyping methodology for fully digital power electronics system control design", *International Review of Electrical Engineering, IREE*, vol. 3, no 2, pp. 281-289, April 2008.
- [Karimi, 2008-9] S. Karimi, P. Poure, S. Saadate, E. Ghlipour, "FPGA-based fully-digital-controller for three phase shunt active filters", *International Journal of Electronics*, vol. 95, no. 8, pp. 805-818, August 2008.
- [Kastha, 1994] D. Kastha, B. KJ. Bose, "Investigation of fault modes of voltage-fed inverter system for induction motor drives", *IEEE Transactions on Industry Applications*, vol. 30, no. 4, pp. 1028-1038, Jul.-Aug.1994.
- [Katrib, 2008] J. Katrib, P. Poure, S. Karimi, S. Saadate, "Design methodology of VLSI power electronics digital controller based on Matlab-Modelsim co-simulation", *IEEE, International Symposium on Industrial Electronics*, pp. 1751-1756, June-July 2008.
- [Kazmierkowski, 1998] M.P. Kazmierkowski, L. Malesani, "Current control techniques for three-phase voltage-source PWM converters: a survey", *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp. 691-703, October 1998.
- [Lienhardt, 2006] A.M. Lienhardt, G. Gateau, T.A. Meynard, "Cosimulation tool for FPGA-based algorithm validation" *IEEE International Conference on Industrial Technology*, Dec. 2006.
- [Mendes, 1999] A. M. S. Mendes, A. J. M. Cardoso, "Fault diagnosis in a rectifier – inverter system used in variable speed AC drive, by the average current Park's vector approach", *European Power Electronics Conference*, Lausanne, pp. 1-9, 1999.
- [Munteanu, 2006] I. Munteanu, J. Guiraud, S. Bacha, D. Roye, A. I. Bratcu, "Méthodologie de simulation temps réel Hardware-In-the-Loop, application aux systèmes éoliens", *6^{ème} Conférence Francophone de MOdélisation et SIMulation, MOSIM'06*, avril 2006.
- [Monmasson, 2002] E. Monmasson, and Y.A. Chapuis, "Contribution of FPGAs to the control of electrical system, a review", *IEEE Industrial Electronic Society Newsletter*, vol. 49. no. 4, pp.8-15, 2002.
- [Naouar, 2007] M.-W. Naouar, E. Monmasson, A. A. Naassani, I. Slama-Belkhodja, N. Patin, "FPGA-based current controllers for AC machine drives-a review", *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1907-1925, Aug. 2007.

- [Ould Abdeslam, 2006] D. Ould Abdeslam, P. Wira, J. Mercklé, Y. A. Chapuis, D. Flieller, "Stratégie neuromimétique d'identification et de commande d'un filtre actif parallèle" *Revue des Systèmes, Série Revue Internationale de Génie Electrique (RS-RIGE)*, vol. 9, no. 1, pp. 35-64, 2006.
- [Ordóñez, 2006] R. Ordóñez, C. Karimi, M. Oueidat, D. Sadarnac, "Comparison of reference current generation techniques for non-active power compensation under distorted and unbalanced conditions", *IECON'06*, pp. 2297-2302, Nov. 2006.
- [Parsa, 2003] L. Parsa, H. A. Toliyat, "A self reconfigurable electric motor controller for hybrid electric vehicle applications", *IECON'03*, vol. 1, pp. 919-924, Nov. 2003
- [Peuget, 1998] R. Peuget, S. Courtine, J. Rognon, "Fault detection and isolation on a PWM inverter by knowledge-based model", *IEEE Transactions on Industry Applications*, vol. 34, pp. 1318-1325, 1998.
- [Rahman, 2003] K. M. Rahman, M. R. Khan, M. A. Choudhury, "Implementation of programmed modulated carrier HCC based on analytical solution for uniform switching of voltage source inverters", *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 188-197, January 2003.
- [Ribeiro, 2001] R.L.A. Ribeiro, C.B. Jacobina, E.R.C. da Silva, A.M.N. Lima, "A fault tolerant induction motor drive system by using a compensation strategy on the PWM-VSI topology" *IEEE Power Electronics Specialists Conference*, vol. 2, pp. 1191-1196, 2001.
- [Riberio, 2002] R.L.A. Ribeiro, F. Profumo, C.B. Jacobina, G. Griva, E.R.C. da Silva, "Two fault tolerant control strategies for shunt active power filter systems", *IEEE International Conference on Industrial Electronics*, pp.792 – 797, 2002.
- [Rodriguez, 2007] J. J. Rodriguez-Andina, M. J. Moure, M. D. Valdes, "Features, design tools, and application domains of FPGAs", *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1810-1823, Aug. 2007.
- [Rothenhagen, 2007] K. Rothenhagen, F.W. Fuchs, "Current Sensor Fault Detection and Reconfiguration for a Doubly Fed Induction Generator" *IEEE, Power Electronics Specialists Conference*, pp. 2732-2738, June 2007.
- [Routimo, 2007] M. Routimo, M. Salo, H. Tuusa, "Comparison of voltage-source and current-source shunt active power filters", *IEEE Transactions on Power Electronics*, vol. 22, no.2, pp. 636-643, March 2007.
- [Salem Nia, 1996] A. Salem Nia, "Contribution à l'étude théorique et expérimental d'un filtre actif parallèle à commande analogique et numérique temps réel", Thèse de doctorat, Institut National Polytechnique de Lorraine, Nancy, France, 1996.

- [Shamsi-Nejad, 2007] M.A. Shamsi-Nejad, S. Pierfederici, J. P. Martin, F. Meibody-Tabar, "Study of an hybrid current controller suitable for DC–DC or DC–AC applications", *IEEE Transactions on Power Electronics*, vol. 22, no. 6, pp. 2176-2186, Nov. 2007.
- [Shamsi-Nejad, 2008] M.-A. Shamsi-Nejad, B. Nahid-Mobarakeh, S. Pierfederici, F. Meibody-Tabar, "Fault tolerant and minimum loss control of double-star synchronous machines under open phase conditions", *IEEE Transactions on Industrial Electronics*, vol. 55, no. 5, pp. 1956-1965, May 2008.
- [Shu, 2008] Z. Shu, Y. Guo, J. Lian, "Steady-state and dynamic study of active power filter with efficient FPGA-based control algorithm", *IEEE Transactions on Industrial Electronics*, vol. 55, no. 4, pp. 1527-1536, April 2008.
- [Singh, 1999] B. Singh, K. Al-Haddad, A. Chandra, "A review of active filters for power quality improvment", *IEEE Transactions on Industrial Electronics*, vol. 46, no. 5, pp. 960-971, October 1999.
- [Vallon, 2003] J. Vallon, "Introduction à l'étude de la fiabilité des cellules de commutation à IGBT sous fortes contraintes", Thèse de l'Institut National Polytechnique de Toulouse, France, 2003.
- [Wang, 2004] H.wang, S.Pekarek, B. Fahimi, E. Zivi, J. Ciezki, "Improvement of fault tolerance in AC motor drives using a digital delta-hysteresis modulation scheme", *IEEE Power Electronics Specialists Conference*, vol. 2, pp. 944-949, June 2004.
- [Woo, 2001] C. L. Woo, K. L Taeck , S. H. Dong, "Comparison of Single-Sensor Current Control in the DC Link for Three-Phase Voltage-Source PWM Converters", *IEEE Transactions on Industrial Electronics*, vol. 48, no.3, pp. 491-505, June 2001.
- [Ying. 2006] L. Ying; N. Ertugrul, "An observer-based three-phase current reconstruction using DC link measurement in PMAC motors", *International Power Electronics and Motion Control Conference*, vol. 1, pp. 1-5, Aug. 2006.
- [Zeng, 2004] Q. Zeng, L. Chang, P. Song, "SVPM-based current controller with grid harmonic compensation for three-phase grid-connected VSI", *IEEE Power Electronics Specialists Conference*, pp. 2494-2500, 2004.

Résumé

Les convertisseurs statique à structure tension sont des éléments essentiels de nombreux systèmes d'électronique de puissance tels que les variateurs de vitesse des machines alternatives, les alimentations sans interruption et les filtres actifs. Les défaillances d'un convertisseur, qu'elles proviennent d'un des composants de puissance commandables ou d'un des capteurs mis en œuvre, conduisent à la perte du contrôle des courants de phase. Ces défaillances peuvent provoquer de graves dysfonctionnements du système, voire conduire à sa mise hors tension. Par conséquent, afin d'empêcher la propagation de défauts aux autres composants et assurer la continuité de service en présence de défaut, des méthodes efficaces et rapides de détection et de compensation de défauts doivent être mises en œuvre.

Dans ces travaux de thèse nous avons étudié un convertisseur triphasé à structure tension "fault tolerant". Ce convertisseur assure la continuité de service, en mode normal, en présence de défauts éventuels d'un semi-conducteur ou d'un capteur de courant. Dans ces travaux, nous avons choisi comme cas d'application le filtre actif parallèle (FAP) triphasé afin de valider la continuité de service du convertisseur "fault tolerant" lors de défauts. Les résultats expérimentaux montrent les performances et efficacités du convertisseur "fault tolerant" proposé. Pour réduire autant que possible le temps de détection du défaut, nous avons ciblé un composant numérique de type FPGA (Field Programmable Gate Array). Nous avons également proposé dans ce mémoire un nouveau flot de conception et de prototypage dit "FPGA in the loop" qui permette de réduire le temps de développement.

Mots clés

Continuité de service, fault tolerant, FPGA, filtre actif parallèle, Hardware in the Loop.