

# Contribution à l'étude des convertisseurs statiques AC-DC-AC tolérants aux défauts

Mahmoud Shahbazi

▶ **To cite this version:**

Mahmoud Shahbazi. Contribution à l'étude des convertisseurs statiques AC-DC-AC tolérants aux défauts. Autre. Université de Lorraine, 2012. Français. NNT : 2012LORR0074 . tel-01749235

**HAL Id: tel-01749235**
**https://hal.univ-lorraine.fr/tel-01749235**

Submitted on 29 Mar 2018

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4
Code de la Propriété Intellectuelle. articles L 335.2- L 335.10
http://www.cfcopies.com/V2/leg/leg_droi.php
http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm

**Université de Lorraine**

Ecole Doctorale « Informatique - Automatique - Electrotechnique - Electronique - Mathématiques »
Département de Formation Doctorale « Electrotechnique - Electronique »

# THESE

Présentée à

## L'Université de Lorraine

En vue de l'obtention du titre de

## DOCTEUR de l'Université de Lorraine
**Spécialité : Génie Electrique**

par

## Mahmoud SHAHBAZI

# CONTRIBUTION A L'ETUDE DES CONVERTISSEURS STATIQUES AC-DC-AC TOLERANTS AUX DEFAUTS

Soutenue publiquement le 17 septembre 2012

## Membres du Jury :

| | | |
|---|---|---|
| Président : | | |
| | Mohammed MACHMOUM | Professeur, IREENA, Saint-Nazaire |
| Rapporteurs : | | |
| | Seddik BACHA | Professeur, G2ELab, Grenoble |
| | Bruno FRANCOIS | Professeur, L2EP, Lille |
| Examinateurs : | | |
| | Pascal BOOS | Ingénieur R&D, Socomec, Benfeld |
| | Mostafa PARNIANI | Professeur, SUT, Téhéran |
| | Mohammad Reza ZOLGHADRI | Professeur, SUT, Téhéran |
| | Shahrokh SAADATE | Professeur, GREEN, UL |
| | Philippe POURE | Maître de conférences, Lien, UL |

*Thèse préparée aux Laboratoires GREEN (Groupe de Recherche en Electrotechnique et Electronique de Nancy) et LIEN (Laboratoire d'Instrumentation Electronique de Nancy)*

**Laboratoire GREEN, Lorraine INP, 2 avenue de la Forêt de Haye 54506 Vandœuvre-lès-Nancy**
**Laboratoire LIEN, Faculté des Sciences et Technologies de l'Université de Lorraine, 54516 Vandœuvre-lès-Nancy**

*A mes parents,*

*A ma sœur Parvin,*

*et mes frères Masoud et Morad.*

# Remerciements

Ces travaux de thèses ont été effectués dans le cadre d'une collaboration scientifique entre l'Université de Technologie de Sharif (SUT) à Téhéran et l'Université de Lorraine (UL), plus précisément au sein du Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN) et du Laboratoire d'Instrumentation Electronique de Nancy (LIEN).

J'exprime mes sincères remerciements à Monsieur **Shahrokh SAADATE**, Professeur à l'UL., Directeur du GREEN et Directeur de cette thèse, pour son soutien et la confiance qu'il m'a constamment témoignée. Il m'a notamment permis de mener mes travaux de recherche dans les meilleures conditions possibles.

Je remercie profondément Monsieur **Philippe POURE**, Maître de Conférences à l'UL (Laboratoire LIEN) et co-directeur de cette thèse, pour ses conseils pertinents et avisés, et tout particulièrement pour l'aide qu'il m'a apportée lors de la rédaction de ce manuscrit.

Je remercie également Monsieur **MohammadReza ZOLGHADRI**, Professeur à SUT et mon Directeur en Iran, pour sa disponibilité, pour ses conseils avisés et pour avoir accepté de participer en France à mon jury de thèse.

Je remercie Monsieur **Mohamed MACHMOUM**, Professeur à Polytech'Nantes à Saint Nazaire, pour m'avoir fait l'honneur de présider mon jury.

J'adresse également mes remerciements à Messieurs **Seddik BACHA**, Professeur à l'Université Joseph Fourier de Grenoble et **Bruno François**, Professeur à l'Ecole Centrale de Lille, qui ont accepté d'être les rapporteurs de ces travaux de recherche.

Je remercie également Messieurs **Mostafa PARNIANI**, Professeur à SUT, Iran, et **Pascal BOOS**, Responsable du service R&D de Socomec à Benfeld (67), pour leur participation à mon jury.

Merci à tous mes collègues et amis du GREEN et LIEN. Je leur exprime ma profonde sympathie et leur souhaite beaucoup de bonheur et de réussite dans leurs vies personnelle et professionnelle futures.

Je souhaite remercier mes amis, tout particulièrement Monsieur **Ehsan JAMSHIDPOUR** et Madame **Mohana AFSHARIAN,** pour leurs encouragements lors de mon séjour en France.

Je tiens tout particulièrement à remercier le Service de Coopération et d'Action Culturelle (SCAC) de l'Ambassade de France à Téhéran pour l'attribution de la bourse d'étude ; J'adresse également mes remerciements à la Région Lorraine pour son soutien financier via le CPER 2009-2013 « Modélisation, Informations et Systèmes Numériques », Thème « Sécurité et Sûreté des Systèmes », sans lequel les nombreuses validations expérimentales menées lors de ces travaux n'auraient pas pu avoir lieu.

Mon dernier remerciement, mais non des moindres, s'adresse à mes parents, ma sœur et mes frères, qui depuis si longues années, m'ont encouragé et soutenu dans la poursuite de mes études.

# Table des matières

**Introduction** ..... 1

**Chapitre 1 : Convertisseur 6 bras tolérant aux défauts avec bras redondant** ..... 7

1.1 Introduction ..... 9

1.2 Topologie de convertisseur 6 bras avec bras redondant ..... 10

1.3 Système éolien fault tolerant étudié ..... 11

1.3.1 Systèmes éoliens de conversion de l'énergie ..... 11

1.3.2 Description du système éolien ..... 12

1.3.3 Modélisation de la partie électrique du système éolien ..... 12

1.4 Méthode de détection de défaut ..... 19

1.4.1 Principe général de méthode de détection de défaut d'interrupteurs supposés idéaux ..... 20

1.4.2 Critère temporel de détection de défaut – interrupteurs non idéaux ..... 24

1.5 Choix technologique et la méthodologie de l'implantation du contrôle et de la détection de défaut ..... 26

1.5.1 Introduction ..... 26

1.5.2 Choix de la cible numérique ..... 27

1.5.3 Méthodologie de prototypage ..... 28

1.5.4 Choix technologique pour l'implantation du contrôle et de la détection de défaut ..... 31

1.6 Validation du système éolien « fault tolerant » avec redondance basé sur une MADA 33

1.6.1 Paramètres du système éolien modélisé et simulé ..... 33

1.6.2 Résultats de Modélisation/Simulation ..... 33

1.6.3 Prototypage "FPGA in the Loop" ..... 42

1.6.4 Validation expérimentale ..... 45

1.7 Conclusion ..... 59

**Chapitre 2 : Convertisseur 6 bras tolérant aux défauts sans bras redondant** ..... 61

2.1 Introduction ..... 63

2.2 Topologie de Convertisseur 6/5 bras ..... 64

2.2.1 Génération des ordres de commande ..... 64

2.2.2 Etude comparative des convertisseurs 5 et 6 bras ..... 69

2.3 Contrôleur reconfigurable tolérant aux défauts ..... 70

2.3.1 Alimentation d'une charge triphasée RL ..... 70

2.3.2 Système éolien basé sur une MADA ..... 72
2.4 Détection de défaut ..... 74
2.5 Optimisations de la méthode de détection de défaut ..... 74
2.5.1 Réduction du nombre de capteurs de tension basée sur la mesure des tensions composées ..... 75
2.5.2 Réduction du nombre de capteurs de tension dans le cas spécifique du convertisseur 6/5 bras ..... 79
2.6 Validation du convertisseur 6/5 bras “fault tolerant” ..... 80
2.6.1 Paramètres des systèmes étudiés ..... 81
2.6.2 Résultats de Modélisation/Simulation ..... 81
2.6.3 Résultats du prototypage “FPGA in the Loop” ..... 89
2.6.4 Résultats Expérimentaux sur bancs de tests ..... 92
2.7 Conclusion ..... 101

**Chapitre 3 : Convertisseur 5 bras sans redondance tolérant aux défauts** ..... 103

3 Convertisseur tolérant au défaut a 5/4 bras ..... 105
3.1 Introduction ..... 105
3.2 Topologie de Convertisseur cinq bras sans redondance tolérant aux défauts ..... 106
3.2.1 Structure du convertisseur fault tolerant ..... 106
3.2.2 Fonctionnement avant défaut en convertisseur cinq bras ..... 108
3.2.3 Fonctionnement après défaut en convertisseur 4 bras ..... 108
3.2.4 Capacité de production de tension de la topologie 4 bras ..... 112
3.3 Contrôleur reconfigurable ..... 114
3.4 Validation fonctionnelle par Modélisation/Simulation ..... 114
3.4.1 Paramètres du système ..... 115
3.4.2 Résultats de Modélisation/Simulation ..... 115
3.4.3 Validation par prototypage “FPGA in the Loop” ..... 120
3.4.4 Validation expérimentale sur banc de test ..... 123
3.5 Conclusion ..... 126

**Conclusion générale et perspectives** ..... 129

**Publications et communications du doctorant** ..... 137

**Références bibliographiques** ..... 141

# Glossaire

ASIC.....Application Specific Integrated Circuit

CAN.....Convertisseur Analogique Numérique

CCM.....Convertisseur Côté MADA

CCR.....Convertisseur Côté Réseau

DSP.....Digital Signal Processor

FPGA.....Field Programmable Gate Array

FOC.....Field Oriented Control

GUI.....Graphical User Interface

HIL.....Hardware In the Loop

HDL.....Hardware Description Language

IGBT.....Insulated Gate Bipolar Transistor

ISR.....Interrupt Service Routine

JTAG.....Joint Test Action Group

LUT.....Look Up Table

MADA.....Machine Asynchrone à Double Alimentation

MCC.....Machine à Courant Continu

RTL.....Register Transfer Level

THD.....Total Harmonic Distortion

UPS.....Uninterrupted Power Supply

VLSI.....Very Large Scale Integration

VOC.....Voltage-oriented control

ZSS.....Zero Sequence Signal

# Nomenclature

*Liste non-exhaustive des principaux paramètres et variables*

| | | |
|---|---|---|
| $C$ | condensateur du bus continu | F |
| $c_k$ | signal issu du premier comparateur de la détection de défaut pour le bras *k* | - |
| $C_{em}$ | couple électromagnétique de la MADA | N.m |
| $D_i$ | diodes connectées en antiparallèle de $S_i$ | - |
| $DD_{ij}\ i,j \in \{a,b,c\}$ | blocs de Détection de Défaut dans méthode 1 d'optimisation | - |
| $D_{ij}\ i,j \in \{a,b,c\}$ | issues des blocs de Détection de Défaut dans méthode 1 | - |
| $i_{sd}$ et $i_{sq}$ | courants statoriques dans le repère de Park | A |
| $i_{rd}$ et $i_{rq}$ | courants rotoriques dans le repère de Park | A |
| $f_k$ | signal de défaut issu du deuxième comparateur de la détection de défaut pour le bras *k* | - |
| $G_c$ | gain des convertisseurs | - |
| $h$ | seuil de l'erreur de tension pour la détection de défaut | V |
| $J_m$ | moment d'inertie de la MADA | kg.m2 |
| $J_t$ | moment d'inertie de la turbine | kg.m2 |
| $L_s$ | inductance cyclique statorique | H |
| $L_r$ | inductance cyclique rotorique | H |
| $L_m$ | inductance magnétisante | H |
| $L_{fs}$ | inductance de fuite statorique | H |
| $L_{fr}$ | inductance de fuite rotorique | H |
| $L_f$ | inductance du filtre RL | H |
| $m$ | rapport de transformation rotor/stator | - |
| $M$ | indice de modulation | - |
| $n_i$ | point neutres au côté *i* du convertisseur | - |
| $n_k$ | signal issu du compteur de la détection de défaut pour le bras *k* | - |
| $N_t$ | seuil de l'erreur temporel pour la détection de défaut | - |
| $p$ | nombre de paires de pôles | - |

| | | |
|---|---|---|
| $P_{ccr}$ | puissance active du CCR vue du réseau | W |
| $Q_{ccr}$ | puissance réactive du CCR vue du réseau | W |
| $P_s$ | puissance active statorique | W |
| $Q_s$ | puissance réactives statorique | VAr |
| $R_c$ | résistance de charge | Ω |
| $R_s$ | résistance de bobinage statorique de la MADA | Ω |
| $R_r$ | résistance de bobinage rotorique de la MADA | Ω |
| $R_f$ | résistance du filtre RL | Ω |
| $S_i$ | interrupteur numéro "*i*" | - |
| $T$ | période de la MLI | s |
| $T_k$ | ordre de commande envoyé à l'interrupteur placé en haut du bras *k* | - |
| $\overline{T_k}$ | ordre de commande complémentaire de $T_k$ | s |
| $T_h$ | période d'horloge des compteurs | s |
| $U_s$ | valeur efficace des tensions composées statoriques | V |
| $v_{k1}$ $(k \in \{a,b,c\})$ | tensions simples au côté *1* du convertisseur | V |
| $v_{k2}$ $(k \in \{a,b,c\})$ | tensions simples au côté *2* du convertisseur | V |
| $v_{sd}$ et $v_{sq}$ | tensions statoriques dans le repère de Park | V |
| $v_{rd}$ et $v_{rq}$ | tensions rotoriques dans le repère de Park | V |
| $V$ | valeur maximale des tensions triphasées simples sinusoïdales | V |
| $V_{dc}$ | tension du bus continu | V |
| $V_{ll}$ | valeur maximale de la tension composée | V |
| $v_{ko}$ | tension de pôle du bras *k* | V |
| $V_{ij}$ | tension composée entre les bras *i* et *j* | V |
| $V_{ijes}$ | tension composée estimée entre les bras *i* et *j* | V |
| $V_{ijm}$ | tension composée mesurée entre les bras *i* et *j* | V |
| $v_{ko,es}$ | tension de pôle estimée du bras *k* | V |
| $v_{ko,m}$ | tension de pôle mesurée du bras *k* | V |
| $v_{zssi}$ | signal ZSS pour le côté "*i*" | V |
| $\varphi_{sd}$ et $\varphi_{sq}$ | flux statoriques dans le repère de Park | Wb |
| $\varphi_{rd}$ et $\varphi_{rq}$ | flux rotoriques dans le repère de Park | Wb |
| $\varphi_s$ | vecteur flux statorique | Wb |
| $\theta_s$ | angle de Park des grandeurs statoriques | rad |
| $\theta_r$ | angle de Park des grandeurs rotoriques | rad |

| | | |
|---|---|---|
| $\theta_e$ | angle électrique entre les bobinages rotorique et statorique de la MADA..... | rad |
| $\varepsilon_{ko}$ | différence entre les tensions de pôles mesurées et estimées pour le bras *k*..... | V |
| $\sigma$ | coefficient de dispersion de la MADA ..... | - |
| $\tau_i$ | largeurs d'impulsion ..... | s |
| $\omega_s$ | pulsation statorique de la MADA ..... | rad/s |
| $\omega_r$ | pulsation rotorique de la MADA..... | rad/s |

# Table des illustrations


Figure 1-1 : Convertisseur 6 bras avec bras redondant pour système éolien basé sur une MADA. ....10

Figure 1-2 : Système éolien à vitesse variable basé sur une MADA. ....12

Figure 1-3 : Angles de Park des grandeurs statoriques et rotoriques. ....15

Figure 1-4 : Contrôle des courants rotoriques. ....17

Figure 1-5 : Commande du CCM. ....17

Figure 1-6 : Vue détaillée du CCR. ....18

Figure 1-7 : Commande du CCR. ....19

Figure 1-8 : Circuit équivalent par phase des convertisseurs CCM et CCR. ....20

Figure 1-9 : Circuit équivalent pour le bras k après un défaut de type circuit-ouvert au niveau de $S_x$. ....21

Figure 1-10 : (a)- Circuit équivalent de la phase $x_1$ lors d'un défaut de type "court-circuit". (b)- Parcours du courant de court-circuit juste après l'apparition du défaut. (c)- Parcours du courant de court-circuit lorsque le temps de rupture des fusibles est supérieur au temps de détection du défaut. ....22

Figure 1-11 : Schéma de principe de la détection de défaut. ....24

Figure 1-12 : Détection de défaut intégrant le critère temporel. ....25

Figure 1-13 : Principe de fonctionnement du compteur temporel de la détection de défaut. ....25

Figure 1-14 : Flot de conception pour le prototypage "FPGA in the Loop". ....29

Figure 1-15 : Prototypage "FPGA in the loop" ....31

Figure 1-16 : Implantation matérielle du contrôle à tolérance de pannes pour système éolien avec redondance basé sur une MADA. ....32

Figure 1-17 : Puissances actives et réactives statoriques, puis rotoriques et tension du bus continu lors d'un défaut circuit ouvert de $S_3$. ....34

Figure 1-18 : Puissances active et réactive statoriques, puis rotoriques et tension du bus continu lors d'un défaut circuit ouvert de $S_3$ avec détection de défaut et reconfiguration. ....35

Figure 1-19 : (a) Ordre de commande de l'interrupteur $S_3$ et (b) tension de pôle mesurée $v_{c1om}$ lors d'un défaut de type circuit ouvert de $S_3$. ....36

Figure 1-20 : (a) Signal d'erreur $c_{c1}$ entre tensions de pôle mesurée et estimée (b) évolution du compteur temporel de l'algorithme de détection de défaut. ....37

Figure 1-21 : Courants statoriques et rotoriques de la MADA. ..... 37

Figure 1-22 : (a) Courant de phase $i_{c1}$ côté CCM et (b) courant $i_{Trc1}$ à travers le triac $Tr_{c1}$. ..... 38

Figure 1-23 : Défaut « circuit ouvert » au niveau du CCR, sans détection de défaut ni reconfiguration ..... 39

Figure 1-24 : Défaut « circuit ouvert » au niveau du CCR, avec détection de défaut et reconfiguration. ..... 40

Figure 1-25 : Défaut « circuit ouvert » au niveau du CCR, avec détection de défaut et reconfiguration ..... 41

Figure 1-26 : Défaut « circuit ouvert » au niveau du CCR, avec détection de défaut et reconfiguration ..... 41

Figure 1-27 : Prototypage « FPGA in the Loop » : Puissances active et réactive statoriques pour un défaut « circuit ouvert » au niveau du CCM. ..... 43

Figure 1-28 : Prototypage « FPGA in the Loop » : Tension $V_{dc}$ aux bornes du bus continu pour un défaut « circuit ouvert » au niveau du CCM. ..... 43

Figure 1-29 : Prototypage « FPGA in the Loop » : Ordres de commande appliqués à l'interrupteur $S_3$ ..... 43

Figure 1-30 : Prototypage « FPGA in the Loop » : Evolution du compteur temporel de l'algorithme de détection de défaut. ..... 44

Figure 1-31 : Prototypage « FPGA in the Loop » : Evolution temporelle des courants rotoriques. ..... 44

Figure 1-32 : Prototypage « FPGA in the Loop » : Evolution temporelle des courants statoriques. ..... 44

Figure 1-33 : Prototypage « FPGA in the Loop », Défaut « circuit ouvert » au niveau du CCM : Evolution temporelle du courant à travers le triac et du courant de la phase $c_1$ . ..... 45

Figure 1-34 : Banc de test expérimental. ..... 46

Figure 1-35 : (a) Carte d'interface entre les mesures des grandeurs électriques et la carte FPGA, (b) Carte d'interface entre la sortie MLI de dSPACE et les drivers des IGBTs. ..... 47

Figure 1-36 : (a) Vue externe du système dSPACE, (b) Boitier d'interfaçage. ..... 48

Figure 1-37 : Environnement Controldesk et interface graphique. ..... 49

Figure 1-38 : Evolution temporelle de la puissance active statorique et de sa référence. ..... 50

Figure 1-39 : Evolution temporelle du courant rotorique $i_{rq}$ et de sa référence $i_{rq}^{*}$. ..... 50

Figure 1-40 : Evolution temporelle du courant à travers une phase du rotor ..... 51

Figure 1-41 : Evolution temporelle de la tension $V_{dc}$ aux bornes du bus continu. ..... 51

Figure 1-42 : Evolution temporelle de la puissance réactive statorique et de sa référence, à puissance active statorique constante. ..... 51

Figure 1-43 : Evolution temporelle du courant $i_{rd}$ et de sa référence $i_{rd}^{*}$. .....52
Figure 1-44 : Evolution temporelle de la tension $V_{dc}$ aux bornes du bus continu. .....52
Figure 1-45 : Evolution temporelle du courant à travers une phase du rotor. .....52
Figure 1-46 : Vitesse de rotation de la MADA pendant l'accélération. .....53
Figure 1-47 : Evolution temporelle des puissances active et réactive statorique lors d'une rampe de vitesse de rotation de la MADA. .....53
Figure 1-48 : Evolution temporelle des courants rotoriques lors d'une rampe de vitesse de rotation de la MADA. .....53
Figure 1-49 : Puissances active et réactive statoriques avant et après apparition d'un défaut au niveau du CCM (mode hypo-synchrone). .....54
Figure 1-50 : Courants rotoriques lors d'un défaut au niveau du CCM (mode hypo-synchrone). .....54
Figure 1-51 : Détection de défaut et reconfiguration pour un défaut « circuit ouvert » au niveau du CCM en mode hypo-synchrone. .....55
Figure 1-52 : Détection de défaut et reconfiguration pour un défaut du CCM quand le courant traverse la diode antiparallèle au moment de défaut. .....55
Figure 1-53 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCM (mode hyper-synchrone). .....56
Figure 1-54 : Courants rotoriques lors d'un défaut au niveau du CCM (mode hyper-synchrone). .....56
Figure 1-55 : Détection de défaut et reconfiguration pour un défaut « circuit ouvert » au niveau du CCM en mode hypo-synchrone. .....56
Figure 1-56 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hypo-synchrone). .....57
Figure 1-57 : Courants rotoriques lors d'un défaut au niveau du CCR (mode hypo-synchrone). .....57
Figure 1-58 : Courants de phase en sortie du CCR avant et après un défaut circuit ouvert au niveau du CCR (mode hypo-synchrone). .....57
Figure 1-59 : Détection de défaut et reconfiguration pour un défaut « circuit ouvert » au niveau du CCR en mode hypo-synchrone .....58
Figure 1-60 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone). .....58
Figure 1-61 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone). .....58
Figure 1-62 : Courants de phase en sortie du CCR avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone). .....59
Figure 1-63 : Détection de défaut et reconfiguration pour un défaut « circuit ouvert » au niveau du CCR en mode hyper-synchrone. .....59

Figure 2-1 : Convertisseur 6/5 bras ..... 65
Figure 2-2 : Convertisseur à 5 bras avec le bras c ($c_1$, $c_2$) mutualisé. ..... 66
Figure 2-3 : Génération des ordres de commande. ..... 68
Figure 2-4 : Exemple de génération des références de tension pour un convertisseur 5 bras ..... 68
Figure 2-5 : Convertisseur 6/5 bras utilisé pour l'alimentation d'une charge RL triphasée équilibrée. ..... 71
Figure 2-6 : Contrôleur reconfigurable pour le convertisseur 6/5 bras sur charge RL. ..... 71
Figure 2-7 : Convertisseur 6/5 bras dans un système éolien basé sur une MADA. ..... 73
Figure 2-8 : Contrôleur reconfigurable pour convertisseur 6/5 bras dans le cas d'une chaîne éolienne avec MADA. ..... 73
Figure 2-9 : Détection de défaut. ..... 74
Figure 2-10 : Réduction du nombre de capteurs de tension dans le cas du convertisseur du côté 1 de la topologie « fault tolerant » de la Figure 2-1. ..... 75
Figure 2-11 : « Méthode 1 » pour la détection de défaut d'un convertisseur triphasé. ..... 76
Figure 2-12 : Principe de la détection de défaut dans chaque bloc $DD_{ij}$ où $i, j \in \{1,2,3\}$ ..... 76
Figure 2-13 : Machine d'état du bloc « Identification du défaut ». ..... 77
Figure 2-14 : Schéma de principe de la méthode 2. ..... 78
Figure 2-15 : Principe du bloc « Détection de défaut ». ..... 78
Figure 2-16 : Principe du bloc « Identification du défaut ». ..... 79
Figure 2-17 : Méthode 3 - Positionnement des 3 capteurs de tension dans le cas du convertisseur 6/5 bras fault tolerant. ..... 80
Figure 2-18 : Méthode 3 - Principe de la détection de défaut dans le cas du convertisseur 6/5 bras fault tolerant ..... 80
Figure 2-19 : Ordres de commande appliqués à $S_3'$ et sortie du compteur temporel de la détection de défaut pour un défaut généré sur $S_3'$ à t=0,5 s. ..... 82
Figure 2-20 : Courants d'entrée côté source AC avant et après détection de la défaillance de $S_3$ à t=0,5 s et reconfiguration du convertisseur 6/5 bras. ..... 82
Figure 2-21 : Courants traversant la charge RL lors de la défaillance de $S_3'$ à t=0,5 s. ..... 83
Figure 2-22 : Tension aux bornes du bus continu lors de la défaillance de $S_3'$ à t=0,5 s. ..... 83
Figure 2-23 : Courant à travers le triac $T_c$ et courant $i_{c2}$ de la phase rendue défaillante lors de la défaillance de $S_3'$ à t=0,5 s. ..... 83
Figure 2-24 : Sortie du compteur temporel de la détection de défaut pour un défaut généré sur $S_3'$ à t=2,5 s. ..... 84
Figure 2-25 : Courants rotoriques de MADA lors de la défaillance de $S_3'$ à t=2,5 s. ..... 84

Figure 2-26 : Courants de phase côté CCR lors de la défaillance de $S_3'$ à t=2,5 s. .....84

Figure 2-27 : Tension aux bornes du bus continu lors de la défaillance de $S_3'$ à t=2,5 s. .....85

Figure 2-28 : Puissances active et réactive statoriques lors de la défaillance de $S_3'$ à t=2,5s. .....85

Figure 2-29 : Courants traversant la charge RL lors de la défaillance de $S_2$ à t=0,072s . .....86

Figure 2-30 : Comparaison des performances des méthodes 1 et 2 lors de la défaillance de $S_2$ à t=0,072s. .....86

Figure 2-31 : Comparaison des performances des méthodes 1 et 2 lors de la défaillance de $S_2$ à t=0,0723s. .....87

Figure 2-32 : Méthode 3 - Sortie du compteur temporel de la détection de défaut pour un défaut généré au niveau de $S_3'$ à t=0,5 s. .....88

Figure 2-33 : Méthode 3 - Courants traversant la charge RL lors de la défaillance de $S_3'$ à t=0,5 s. .....88

Figure 2-34 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s – de haut en bas : Sortie du compteur temporel de la détection de défaut et ordres de commande appliqués à $S_3'$. .....89

Figure 2-35 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : courants d’entrée côté source AC. .....90

Figure 2-36 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : courants à travers la charge RL. .....90

Figure 2-37 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : tension aux bornes du bus continu. .....90

Figure 2-38 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S3'$ à t=0,5 s : courant à travers le triac $T_c$ et courant à travers la phase défaillante. .....90

Figure 2-39 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=2,5 s : Sortie du compteur temporel de la détection de défaut. .....91

Figure 2-40 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=2,5 s : Courants rotoriques de MADA. .....91

Figure 2-41 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=2,5 s : Courants de phase côté CCR. .....91

Figure 2-42 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=2,5 s : Tension aux bornes du bus continu. .....92

Figure 2-43 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=2,5 s : Puissances active et réactive statoriques. .....92

Figure 2-44 : Cas de l’alimentation d’une charge RL triphasée par le convertisseur 6/5 bras fault tolerant : Photographie du banc de test. .....93

Figure 2-45 : Résultats expérimentaux : Défaillance de type circuit ouvert de l’interrupteur $S_6'$. .....94

Figure 2-46 : Résultats expérimentaux : Défaillance de type circuit ouvert de l'interrupteur $S_6'$ alors que le courant de phase $i_{c2}$ traverse la diode $D_6'$ montée en antiparallèle sur $S_6'$ (a) ..... 94

Figure 2-47 : Défaut de type « circuit ouvert » de l'interrupteur $S_3'$ : Courants de phase côté CCR. ..... 96

Figure 2-48 : Défaut de type « circuit ouvert » de l'interrupteur $S_3'$ : Courants rotoriques côté CCM. ..... 96

Figure 2-49 : Défaut de type « circuit ouvert » de l'interrupteur $S_3'$ : Puissances active et réactive statoriques. ..... 97

Figure 2-50 : Défaut de type « circuit ouvert » de l'interrupteur $S_3'$ : Tension du bus continu. ..... 97

Figure 2-51 : Défaut de type « circuit ouvert » de l'interrupteur $S_3'$ ..... 97

Figure 2-52 : Défaut de type « circuit ouvert » de l'interrupteur $S_3$ : Courants de phase rotoriques côté CCM. ..... 98

Figure 2-53 : Défaut de type « circuit ouvert » de l'interrupteur $S_3$ : Puissances active et réactive statoriques. ..... 98

Figure 2-54 : Défaut de type « circuit ouvert » de l'interrupteur $S_3$ : Tension aux bornes du bus continu. ..... 98

Figure 2-55 : Défaut de type « circuit ouvert » de l'interrupteur $S_3$ ..... 99

Figure 2-56 : Comparaison des signaux de détection de défaut pour les méthodes 1 et 2 . .... 100

Figure 2-57 : Comparaison des signaux de détection de défaut pour les méthodes 1 et 2 lors d'un défaut circuit ouvert de $S_1$ ..... 100

Figure 2-58 : Détection de défaut selon la « méthode 3 » . ..... 101

Figure 3-1 : Convertisseur à quatre bras ..... 106

Figure 3-2 : Topologie 5 bras tolérante aux défauts sans redondance. ..... 107

Figure 3-3 : Cas 1 - Topologie reconfigurée lorsque le bras 1 est défaillant. ..... 109

Figure 3-4 : Cas 1 – Etablissement des tensions de référence et des ordres de commande des bras sains lorsque le bras 1 est défaillant. ..... 109

Figure 3-5 : Cas 2 - Topologie reconfigurée lorsque le bras commun numéro $c$ est défaillant. ..... 110

Figure 3-6 : Cas 3 - Topologie reconfigurée lorsque le bras $b_2$ est défaillant. ..... 111

Figure 3-7 : Algorithme général pour la génération des tensions de référence et ordres de commande. ..... 112

Figure 3-8 : Contrôleur reconfigurable pour le convertisseur 5 bras fault tolerant sans redondance. ..... 114

Figure 3-9 : Cas 1 - Défaillance du bras numéro 1 : signal « défaut » et détection du défaut. ..... 116

Figure 3-10 : Cas 1 - Défaillance du bras numéro 1 : Courant d'entrée $i_{a1}(t)$ de la phase "$a_1$" et courant $i_{b2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s). .....116

Figure 3-11 : Cas 1 - Défaillance du bras numéro 1 : Tensions simples de part et d'autre du bus continu. .....117

Figure 3-12 : Cas 1 - Défaillance du bras numéro 1 : Tension aux bornes du bus continu. .....117

Figure 3-13 : Cas 2 - Défaillance du bras mutualisé : signal « défaut » et détection du défaut. .....118

Figure 3-14 : Cas 2 - Défaillance du bras mutualisé : Courant $i_{c1}(t)$ côté source et courant $i_{c2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s). .....118

Figure 3-15 : Cas 2 - Défaillance du bras mutualisé : Tension aux bornes du bus continu. .....118

Figure 3-16 : Cas 3 - Défaillance du bras numéro 5 : signal « défaut » et détection du défaut. .....119

Figure 3-17 : Cas 3 - Défaillance du bras 5 : Courant $i_{a1}(t)$ côté source et courant $i_{b2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s). .....119

Figure 3-18 : Cas 3 - Défaillance du bras 5 : Tension aux bornes du bus continu. .....119

Figure 3-19 : Prototypage « FPGA in the Loop » - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: signal « défaut » et détection du défaut (défaut à t=0,405s). .....120

Figure 3-20 : Prototypage « FPGA in the Loop » - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: Courants $i_{a1}(t)$ et $i_{b2}(t)$ (défaut à t=0,405s). .....120

Figure 3-21 : Prototypage « FPGA in the Loop » - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s).....121

Figure 3-22 : Prototypage « FPGA in the Loop » - Cas 2 - Défaillance l'interrupteur $S'_{3,3}$ du bras commun : signal « défaut » et détection du défaut (défaut à t=0,405s). .....121

Figure 3-23 : Prototypage « FPGA in the Loop » - Cas 2 - Défaillance l'interrupteur $S'_{3,3}$ du bras commun : Courants $i_{c1}(t)$ et $i_{c2}(t)$ (défaut à t=0,405s). .....121

Figure 3-24 : Prototypage « FPGA in the Loop » - Cas 2 - Défaillance l'interrupteur $S'_{3,3}$ du bras commun : Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s). .....122

Figure 3-25 : Prototypage « FPGA in the Loop » - Cas 3 - Défaillance l'interrupteur $S'_2$ du bras $b_2$ : signal « défaut » et détection du défaut (défaut à t=0,405s).....122

Figure 3-26 : Prototypage « FPGA in the Loop » - Cas 3 - Défaillance l'interrupteur $S'_2$ du bras $b_2$ : Courants $i_{a1}(t)$ et $i_{b2}(t)$ (défaut à t=0,405s). .....122

Figure 3-27 : Prototypage « FPGA in the Loop » - Cas 3 - Défaillance l'interrupteur $S'_2$ du bras $b_2$ : Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s).....123

Figure 3-28 : Banc d'essai expérimental.....124

Figure 3-29 : Cas 1 - Défaut circuit ouvert de l'interrupteur $S_4$ du bras $a_1$ .....125

Figure 3-30 : Cas 2 - Défaut circuit ouvert de l'interrupteur $S'_{3,3}$ du bras c .....126

Figure 3-31 : Cas 3 - Défaut circuit ouvert de l'interrupteur $S'_2$ du bras $b_2$. .....126

# Table des tableaux

Tableau 1-1 : Etude d'un défaut de type "circuit-ouvert" au niveau du bras $x_1$. .....22

Tableau 1-2 : Cas d'un défaut de type "court-circuit" du bras *k*. .....23

Tableau 1-3 : Paramètres du système éolien étudié. .....33

Tableau 1-4 : Retard maximum introduit par chaque composant placé entre les convertisseurs et le FPGA.....47

Tableau 1-5 : Paramètres du banc de test expérimental. .....49

Tableau 2-1 : Paramètres du système assurant l'alimentation d'une charge RL triphasée par le convertisseur 6/5 bras .....81

Tableau 3-1 : Capacités de production de tension avant et après défaut. .....114

Tableau 3-2 : Paramètres du système étudié. .....115

# Introduction

# Introduction

Les convertisseurs statiques triphasés AC/DC/AC à structure tension sont largement utilisés dans de nombreuses applications de puissance telles que les alimentations sans interruption, les variateurs de vitesse pour machines alternatives et les systèmes éoliens de conversion de l'énergie. Pour tous ces systèmes dédiés à la production ou à la mise en forme de l'énergie électrique, leur continuité de service, leur fiabilité et leurs performances sont aujourd'hui des préoccupations majeures. On peut notamment mentionner ici que ces convertisseurs sont particulièrement sensibles aux défauts pouvant survenir au niveau d'un de leurs composants de puissance. Une telle défaillance peut conduire à la perte partielle, voire totale, du contrôle des courants de phase : elle peut donc provoquer de grave dysfonctionnement du système et tout défaut non détecté et non compensé peut rapidement mettre en danger l'ensemble du système de puissance. Par conséquent, afin d'empêcher la propagation d'un défaut aux autres composants et afin d'assurer la continuité de service en toutes circonstances lors d'une défaillance d'un des interrupteurs du convertisseur, des méthodes efficaces et rapides de détection et de compensation de défaut doivent être mises en œuvre.

L'objectif principal de ces travaux de thèse est l'étude de topologies de convertisseurs statiques AC/DC/AC à tolérance de pannes lors de la défaillance d'un de leurs interrupteurs. Les trois topologies proposées et étudiées peuvent intégrer ou non de la redondance; dans tous les cas, elles doivent permettre d'assurer la continuité de service du système de puissance en mode normal. Les travaux de recherche présentés dans ce mémoire ont été menés dans le cadre d'une collaboration entre les deux laboratoires GREEN (Groupe de Recherche en Electrotechnique et Electronique de Nancy) et LIEN (Laboratoire d'Instrumentation Electronique de Nancy) de l'Université de Lorraine. Plus particulièrement, cette collaboration implique l'équipe " Comportement dynamique des systèmes électriques" du laboratoire GREEN et l'équipe "Architectures numériques" du laboratoire LIEN. Ces travaux reposent sur une expertise des laboratoires dans le domaine de la sûreté de fonctionnement des systèmes électriques et s'inscrivent dans la continuité des travaux de recherche menés sur ce sujet depuis 2006. Par ailleurs, ces travaux de recherche ont également été soutenus scientifiquement et financièrement depuis 2007 par le Contrat de Projet Etat Région "Modélisation, Information et Systèmes Numériques" (MISN – 2007/2013), thème "Sécurité et Sûreté des Systèmes", lors du précèdent projet POMADEOL (Plateforme modulaire dédiée à l'énergie éolienne – 2007/2009) et lors du projet Ecosur2 (2010-2013) en cours actuellement et plus spécifiquement consacré à la production sûre de l'énergie électrique pour habitats intelligents. Cette thèse s'inscrit également dans le contexte d'une convention de collaboration scientifique, signée en décembre 2005, entre l'Université de Technologie de Sharif (SUT) à Téhéran et l'Université Henri Poincaré Nancy 1.

Ce mémoire de thèse comporte trois chapitres, dédiés à chacune des trois topologies de convertisseurs proposées et étudiées. Pour chaque topologie, la structure du convertisseur "fault tolerant" est d'abord présentée et étudiée. L'algorithme de détection et de compensation du défaut est également examiné. La topologie du convertisseur est ensuite validée dans l'environnement Matlab/Simulink pour l'application choisie, à savoir l'alimentation d'une charge RL par une source AC et/ou une chaine éolienne de conversion de l'énergie basée sur une Machine à Double Alimentation (MADA). Une fois le système de puissance "fault tolerant" fonctionnellement validé, l'algorithme proposé pour la détection et la compensation du défaut est implanté sur une cible FPGA de la famille ALTERA. Afin de réduire autant que possible le temps de détection du défaut d'un interrupteur, nous avons fait ce choix de cibler un composant numérique à logique câblée de type FPGA (Field Programmable Gate Array) pour y implanter l'algorithme de détection et de compensation du défaut. En outre, cette implantation matérielle sur cible FPGA apporte de nombreux avantages supplémentaires : reprogrammation rapide, possibilité de réduire fortement la période d'échantillonnage, sensibilité réduite aux perturbations, et enfin la possibilité d'intégration complète du système de commande dans un unique composant. En effet, selon le cas, le système de commande pourra effectivement être implanté sur cette même cible FPGA. De plus, afin d'éviter et de corriger les éventuelles erreurs lors de l'implantation des algorithmes de détection et de compensation du défaut sur la cible FPGA, pouvant entrainer par la même la destruction du banc de puissance, nous avons mis en œuvre un flot de conception original basé sur un prototypage dit "FPGA in the Loop". Ce prototypage permet de valider l'implantation sur le FPGA avant la connexion de ce dernier dans un environnement réel de puissance. Le prototypage "FPGA in the Loop" permet ainsi de valider le composant FPGA alors programmé en le plaçant dans une boucle de simulation incluant un PC qui émule le comportement du reste du système de puissance étudié. Le FPGA alors programmé est ainsi validé par prototypage "FPGA in the Loop" avant d'être validé au niveau de bancs de tests expérimentaux, spécifiquement mis en œuvre lors de ces travaux de thèse.

Chaque chapitre comportera successivement trois types de résultats : les résultats issus de la modélisation/simulation dans l'environnement Matlab, les résultats du prototypage "FPGA in the Loop" et les résultats expérimentaux. Cette approche permet alors de valider, de la simulation à l'expérimentation, les topologies et algorithmes de détection proposés. Le flot de conception basé sur le prototypage "FPGA in the Loop" permet d'optimiser le temps de développement et permet également de détecter à chaque étape les éventuelles erreurs pouvant être commises lors de la conception.

Au premier chapitre, nous présentons une topologie "fault tolerant" de convertisseur AC/DC/AC, classiquement appelée "back-to-back". Elle est tolérante à la défaillance d'un de ses interrupteurs et comporte un bras redondant. Elle est nommée "convertisseur 6 bras avec bras redondant" dans ce mémoire. Ces travaux s'inscrivent dans la continuité des recherches menées ces dernières années au sein des laboratoires GREEN et LIEN. Dans un premier temps, l'étude présentée dans ce chapitre complète les études théoriques antérieures, menées récemment lors des travaux de thèse de Monsieur Arnaud GAILLARD. L'application principalement concernée par cette topologie de convertisseur

est la conversion de l'énergie éolienne basée sur une génératrice de type MADA. En effet, les systèmes éoliens sont des applications pour lesquelles la production d'énergie électrique est directement liée aux bénéfices économiques qui en découlent. Ainsi, la continuité de service est l'une des préoccupations majeures de ce type d'application. Le système éolien avec MADA est d'abord modélisé et son contrôle en mode sans défaillance est présenté. Ensuite, un contrôleur reconfigurable "fault tolerant" est examiné : il comporte notamment une partie dédiée à la détection et à la compensation de la défaillance d'un des interrupteurs du convertisseur. Les résultats de modélisation/ simulation obtenus sous Matlab sont commentés et valident fonctionnellement le « convertisseur 6 bras avec bras redondant » ainsi, que son contrôleur "fault tolerant". La méthodologie de prototypage rapide basée sur l'approche "FPGA in the Loop" est ensuite expliquée dans ce chapitre. De même, le choix technologique de la logique câblée pour l'implantation du contrôle et de la détection de défaut sur FPGA y est commenté et justifié. Les résultats du prototypage "FPGA in the Loop" sont également commentés et l'implantation numérique sur FPGA de la détection de défaut est ainsi validée. Nous présentons ensuite le banc d'essai expérimental qui a été conçu et réalisé lors de cette thèse : il intègre un contrôleur dSPACE pour le contrôle du convertisseur et une carte de développement FPGA pour la détection de défaut et la reconfiguration du "convertisseur 6 bras avec bras redondant". Les résultats expérimentaux ainsi obtenus permettent de conclure et de valider les travaux de recherche théoriques précédemment menés dans notre laboratoire, mettant en œuvre ce « convertisseur 6 bras avec bras redondant ». Dans la continuité de ces travaux, la suite de ce mémoire de thèse sera consacrée à l'étude de structures de convertisseurs AC/DC/AC "fault tolerant", mais cette fois sans redondance.

Au deuxième chapitre, nous présentons un convertisseur AC/DC/AC "fault tolerant" à six bras et sans redondance. Pour cette topologie, après l'apparition d'un défaut au niveau de l'un des interrupteurs, une reconfiguration appropriée du convertisseur permet d'assurer sa continuité de service avec les 5 bras sains dont on dispose encore. Par ailleurs, un contrôleur reconfigurable "fault tolerant", spécifique et approprié, est nécessaire pour garantir la reconfiguration rapide et efficace du système, non seulement au niveau de la topologie du convertisseur mais également au niveau de sa commande qui doit être rapidement modifiée lors du passage d'une topologie 6 bras à une topologie 5 bras. Deux applications sont étudiées pour ce convertisseur : dans un premier temps, l'alimentation d'une charge RL triphasée, puis un système éolien de conversion de l'énergie basé sur une MADA. Plusieurs possibilités d'optimisation de la méthode de détection de défaut sont également présentées et évaluées dans ce chapitre : elles peuvent s'appliquer de manière générale aux topologies de convertisseur AC/DC/AC et l'une d'entre elle est spécifique au convertisseur 6 bras sans redondance, faisant spécifiquement l'objet de ce chapitre. Cette dernière permet notamment de réduire à trois le nombre de capteurs de tension additionnels, nécessaires à la détection du défaut d'un des interrupteurs. Comme au chapitre précèdent, l'ensemble des résultats issus de la modélisation/simulation dans l'environnement Matlab, du prototypage "FPGA in the Loop" et des tests expérimentaux sont présentés et commentés. Ces derniers permettent de conclure ce chapitre quant à la validation de la topologie de convertisseur AC/DC/AC

"fault tolerant" à six bras, sans redondance.

Le chapitre 3 est consacré à une nouvelle topologie de convertisseur AC/DC/AC "fault tolerant" sans redondance, comportant un nombre réduit d'interrupteurs. Il s'agit ici d'un convertisseur statique fonctionnant avec cinq bras sains en mode normal, capable de fonctionner avec ses quatre bras sains, suite à sa reconfiguration après détection de la défaillance d'un de ses interrupteurs. Cette topologie innovante s'inscrit dans une démarche de développement de convertisseurs AC/DC/AC "fault tolerant", initiée par une topologie 6 bras avec redondance et suivie d'une topologie 6 bras sans redondance, pour laquelle nous avons validé expérimentalement qu'une structure à 5 bras pouvait assurer, sous certaines conditions, les performances nominales après reconfiguration. Néanmoins, ici encore, il est nécessaire de développer spécifiquement un contrôleur reconfigurable rapide et "fault tolerant" : en effet, la commande des interrupteurs sains doit être rapidement modifiée lors du passage d'une topologie 5 bras à une topologie 4 bras. Cette topologie de convertisseur 5 bras "fault tolerant" présente néanmoins une première spécificité, suite à l'apparition d'un défaut : selon la localisation du défaut, la reconfiguration peut conduire à trois topologies 4 bras différentes. L'étude des 3 cas possibles est présentée dans ce mémoire. Au fil de ce chapitre 3, l'ensemble des résultats issus de la modélisation/simulation dans l'environnement Matlab, du prototypage "FPGA in the Loop" et des essais expérimentaux sont présentés et commentés. Ces derniers permettent de conclure ce chapitre par la validation de la topologie de convertisseur AC/DC/AC "fault tolerant" à 5 bras, sans redondance.

# 1. Convertisseur 6 bras tolérant aux défauts avec bras redondant

## 1.1 Introduction

La tolérance aux défauts des convertisseurs statiques lors de la défaillance d'un de leurs interrupteurs de puissance est une préoccupation majeure actuelle pour un grand nombre d'applications. Ces structures sont communément qualifiées de "fault tolerant". De nombreuses topologies de convertisseurs "fault tolerant" à structure tension ont été étudiées dans la littérature scientifique ces dernières années. Elles sont mises en œuvre dans un grand nombre d'applications de puissance. Mendes et Cardoso ont présenté une topologie deux niveaux qui est réalisée en connectant le point neutre de la machine au point milieu du condensateur du bus continu, après reconfiguration [Mendes2006]. Une autre topologie a été étudiée dans le cas de commandes de machines triphasées dans [Welchko2004]. Elle est basée sur la connexion du point neutre de la machine à un bras supplémentaire. Toutefois, le point neutre de la machine n'est pas toujours disponible. Par ailleurs, deux topologies de convertisseur avec et sans bras redondant pour l'alimentation des machines asynchrones sont étudiées dans [Ribeiro2004]. Dans le premier cas, le bras supplémentaire remplace le bras défaillant après reconfiguration du convertisseur, ainsi la structure du convertisseur reste inchangée après l'occurrence d'un défaut. Dans le deuxième cas, la phase défectueuse est reliée au point milieu du bus continu, et le convertisseur continue à fonctionner comme une topologie de "pont en H". Ces deux structures sont intéressantes et ont été étudiées lors de travaux passés au sein de notre laboratoire [Karimi2009-2]. Plus récemment, de nombreuses publications traitent de la tolérance de pannes des convertisseurs multi-niveaux [Barriuso2009] [Ceballos2011], [Li2012], des convertisseurs matriciels [Kwak2010], [Kwak2012], [Li2012-2] et des convertisseurs DC/DC [Ambusaidi2010], [Pei2012]. Ces travaux récents témoignent d'un engouement sur ce sujet de convertisseurs à tolérance de panne. Ce chapitre est plus particulièrement consacré à l'étude d'une topologie de convertisseur AC/DC/AC, dite "back-to-back", tolérante à la défaillance d'un de ses interrupteurs et comportant un bras redondant. Dans la suite de ce chapitre, cette topologie sera dénommée "convertisseur 6 bras avec bras redondant". Elle a déjà fait l'objet de travaux de recherche passés récents au sein de notre laboratoire. Dans un premier temps, l'étude présentée dans ce mémoire complète les études théoriques antérieures, menées principalement lors des travaux de thèse de Monsieur Arnaud GAILLARD [Gaillard2010]. Ensuite, les résultats théoriques obtenus par modélisation puis simulation, seront validés expérimentalement.

Une des applications principalement concernées par cette topologie de "convertisseur 6 bras avec bras redondant" est la conversion de l'énergie éolienne basée sur une génératrice de type Machine Asynchrone à Double Alimentation (MADA). En effet, les systèmes éoliens sont des applications pour lesquelles la production d'énergie électrique est directement liée aux bénéfices économiques qui en découlent. Ainsi, sécurité, fiabilité et continuité de service sont des préoccupations majeures de ce type d'application. Pour cette raison, un nombre important de publications récentes traite du fonctionnement "fault tolerant" des chaines de conversion des éoliennes :

- Diagnostic de défaut du convertisseur et reconfiguration [Karimi2008], [Sae-Kok2010], [Duan2011],
- Détection de défaut des capteurs [Rothenhagen2009-1], [Rothenhagen2009-2], [Galvez-Carrillo2011],
- Surveillance de l'état du système éolien [Amirat2009], [Hameed2009].

Les objectifs des travaux de recherche présentés dans ce premier chapitre sont d'être capables de détecter aussi rapidement que possible le défaut d'un interrupteur, puis de reconfigurer le convertisseur afin de garantir la continuité de service et donc une production continue de l'énergie électrique. Nos travaux de recherche seront présentés ici dans le contexte d'une chaîne éolienne de conversion avec MADA, mais peuvent être utilisés dans d'autres applications aussi.

## 1.2 Topologie de convertisseur 6 bras avec bras redondant

La topologie "convertisseur 6 bras avec bras redondant" est présentée à la Figure 1-1. Sur cette figure, le convertisseur est mis en œuvre dans une chaîne de conversion de l'énergie éolienne, basée sur une MADA. Il est connecté entre le réseau électrique et le rotor de la MADA. Un bus continu sépare les deux côtés du convertisseur, côté réseau et côté rotor. On peut ainsi considérer que cette topologie 6 bras comporte en réalité 2 convertisseurs 3 bras, le Convertisseur Côté MADA et le Convertisseur Côtés Réseau, qui seront respectivement notés CCM et CCR dans la suite de ce mémoire.

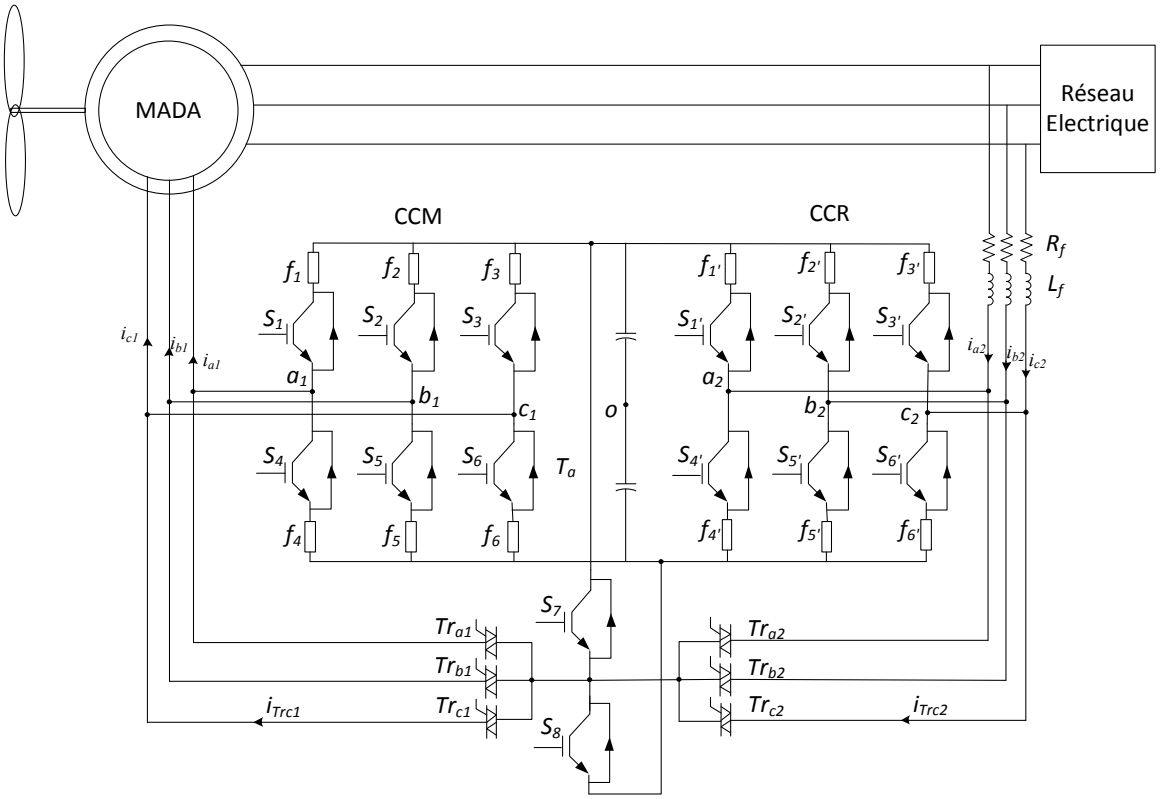



Figure 1-1 : Convertisseur 6 bras avec bras redondant pour système éolien basé sur une MADA.

La topologie présentée à la Figure 1-1 est basée sur la topologie classique "back-to-back" avec un bras redondant additionnel qui peut être potentiellement connecté à l'un des 2 côtés du convertisseur à l'aide d'interrupteurs bidirectionnels en tension et en courant (triacs par exemple). Ce bras redondant est composé de deux interrupteurs de puissance $S_7$ et $S_8$ et il remplacera l'un des six autres bras lors de l'apparition d'un défaut sur l'un des 12 autres interrupteurs. Pour cette structure avec redondance, la topologie reste donc inchangée après reconfiguration (topologie classique "back-to-back") suite à la défaillance d'un interrupteur.

Lors du contrôle de la chaîne éolienne de conversion de l'énergie basée sur une MADA (Figure 1-1), le rôle du CCR est de contrôler la tension du bus continu et d'injecter ou absorber de la puissance réactive au réseau. Quant au CCM, il génère côté rotor les tensions permettant de contrôler les puissances active et réactive du stator. Les détails du contrôle de ce système éolien avec MADA font l'objet de la section suivante.

## 1.3 Système éolien fault tolerant étudié

Cette section est dédiée à l'étude détaillée du système éolien présenté à la Figure 1-1. Dans un premier temps, l'avantage d'un tel système de conversion de l'énergie éolienne est brièvement commenté. Ensuite, les différents éléments de la chaîne sont décrits. Enfin, sa modélisation et son contrôle sont présentés.

### 1.3.1 Systèmes éoliens de conversion de l'énergie

Les turbines éoliennes sont classiquement réparties en deux grandes catégories : turbines à vitesse fixe et à vitesse variable. Les premières turbines étaient essentiellement à vitesse fixe, mais les turbines actuelles sont à vitesse variable. Alors que les turbines à vitesse fixe fonctionnent de manière optimale pour une seule vitesse de vent, les turbines à vitesse variable peuvent extraire le maximum de la puissance disponible au niveau du vent, quelle que soit sa vitesse, dans la limite de leur puissance nominale. C'est l'une des raisons pour laquelle ces turbines sont principalement utilisées aujourd'hui. De plus, les chaînes de conversion à vitesse variable permettent de réduire les oscillations de puissance et les contraintes mécaniques au niveau des pales et du système mécanique de la turbine. Cela conduit naturellement à une meilleure qualité de l'énergie électrique produite [Abad2011].

Différents types de génératrices sont utilisés dans les turbines à vitesse variable. Dans le cas de machines asynchrones à cage ou de machines synchrones, un convertisseur de puissance AC/AC est placé entre la machine et le réseau électrique. Une autre possibilité est d'utiliser une MADA comme génératrice. Celle-ci fait l'objet de l'application visée par le "convertisseur 6 bras avec bras redondant" ici étudié. Dans ce cas, le stator est directement connecté au réseau et le rotor est alimenté par un convertisseur bidirectionnel AC/DC/AC. Ce système est actuellement le plus utilisé pour la production d'électricité à partir de l'énergie éolienne. Son intérêt majeur réside dans la réduction du dimensionnement du convertisseur de puissance à environ 30% de la puissance nominale

de la machine, pour une plage de variation de vitesse de +/- 30% autour de sa vitesse de synchronisme [Multon2004]. On peut également noter son rendement élevé en mode hyper-synchrone. Ses inconvénients majeurs sont la présence d'un multiplicateur de vitesse dans la chaîne mécanique et la présence de bagues/balais au niveau de la MADA. Néanmoins, le surcoût engendré par la maintenance due à l'emploi d'un multiplicateur de vitesse et du système bagues/balais est alors compensé par l'économie réalisée sur les convertisseurs, comparé à un système éolien pour lequel les convertisseurs seraient dimensionnés à la puissance nominale de la génératrice. Parmi les entreprises les plus remarquables qui mettent en œuvre ce type de turbines, on peut citer DeWind, Gamesa, GE Wind Energy, Nordex, REPOWER et Vestas.

### 1.3.2 Description du système éolien

Le système éolien à vitesse variable avec MADA est schématisé à la Figure 1-2. La turbine entraine la MADA via un multiplicateur. La MADA est connectée au réseau électrique, directement par son stator mais également au travers du convertisseur à IGBT connecté au rotor. Les CCM et CCR sont le plus souvent commandés en MLI [Abed2011]-[Mirecki2005]-[Baroudi2007]. Néanmoins, il convient de mentionner qu'il est également possible de contrôler les puissances active et réactive statoriques par la méthode dite du "contrôle direct de la puissance" (en anglais Direct Power Control ou DPC) [Kazemi2010] [Zhi2010], [Nian2011].

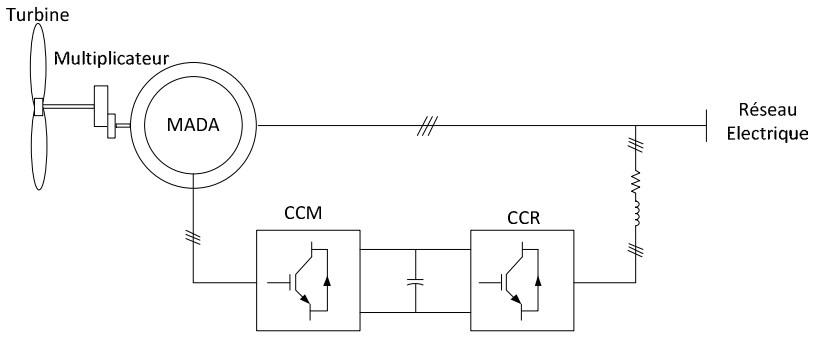



Figure 1-2 : Système éolien à vitesse variable basé sur une MADA.

Un fonctionnement en mode hypo ou hyper-synchrone est possible grâce à la bidirectionnalité des convertisseurs [Muller2002]. Le fonctionnement en mode hyper-synchrone permet de transférer de l'énergie électrique du stator vers le réseau mais également du rotor vers le réseau, ce qui confère au système éolien un rendement élevé [Datta2002], [Petersson2005]. De plus, le facteur de puissance au point de raccordement de l'éolienne avec le réseau électrique peut également être imposé via le contrôle des puissances réactives au niveau des 2 convertisseurs, CCM et CCR. Nous allons maintenant présenter la modélisation de la MADA et le contrôle de ses convertisseurs.

### 1.3.3 Modélisation de la partie électrique du système éolien

Dans cette section, la modélisation de la partie électrique du système éolien est présentée. Il convient de noter que pour mener à bien notre étude portant sur la tolérance

de pannes du convertisseur statique, le comportement dynamique de la turbine n'est pas été pris en compte lors de notre étude. En effet, nos travaux portent principalement sur la détection du défaut d'un interrupteur et la reconfiguration du convertisseur, afin d'en assurer la continuité de service. Ainsi, la modélisation de la partie mécanique (turbine) de la chaîne éolienne ne sera pas abordée dans ce mémoire. Cette partie mécanique sera modélisée par une puissance constante à l'entrée de la turbine et un moment d'inertie et un coefficient de frottement pour l'ensemble de la MADA et de la turbine [Gaillard2010].

#### *1.3.3.1 Modélisation de la MADA*

Une modélisation détaillée de la MADA peut entre autre être consultée dans le mémoire de thèse de Monsieur Arnaud GAILLARD [Gaillard2010]. Afin de ne pas alourdir ce mémoire, la modélisation de la MADA dans le repère de Park, en vue de sa commande vectorielle, est brièvement reprise ici. Le modèle utilisé est basé sur les hypothèses simplificatrices classiques suivantes :

- entrefer constant,
- distribution spatiale sinusoïdale des forces magnétomotrices dans l'entrefer,
- circuit magnétique non saturé et à perméabilité constante,
- effet des encoches négligé,
- influences de l'effet de peau et de l'échauffement non prises en compte,
- pas de régime homopolaire puisque le neutre n'est pas connecté.

Ces choix signifient entre autres que les flux sont additifs, que les inductances propres sont constantes et qu'il y a une variation sinusoïdale des inductances mutuelles entre les enroulements statoriques et rotoriques en fonction de l'angle électrique de leurs axes magnétiques.

Les équations des tensions statoriques et rotoriques de la MADA dans le repère de Park sont les suivantes [Gaillard2010], [Vas1998] :

$$v_{sd} = R_s i_{sd} + \frac{d\varphi_{sd}}{dt} - \dot{\theta}_s \varphi_{sq} \tag{1-1}$$

$$v_{sq} = R_s i_{sq} + \frac{d\varphi_{sq}}{dt} - \dot{\theta}_s \varphi_{sd} \tag{1-2}$$

$$v_{rd} = R_r i_{rd} + \frac{d\varphi_{rd}}{dt} - \dot{\theta}_r \varphi_{rq} \tag{1-3}$$

$$v_{rq} = R_r i_{rq} + \frac{d\varphi_{rq}}{dt} - \dot{\theta}_r \varphi_{rd} \tag{1-4}$$

Avec :

- $v_{sd}$ et $v_{sq}$ : les tensions statoriques dans le repère de Park,
- $v_{rd}$ et $v_{rq}$ : les tensions rotoriques dans le repère de Park,
- $R_s$ et $R_r$: les résistances respectives des bobinages statorique et rotorique,

- $i_{sd}$ et $i_{sq}$ : les courants statoriques dans le repère de Park,
- $i_{rd}$ et $i_{rq}$ : les courants rotoriques dans le repère de Park,
- $\varphi_{sd}$ et $\varphi_{sq}$ : les flux statoriques dans le repère de Park,
- $\varphi_{rd}$ et $\varphi_{rq}$ : les flux rotoriques dans le repère de Park,
- $\theta_s$ et $\theta_r$ : les angles de Park respectifs des grandeurs statoriques et rotoriques.

Les flux statoriques et rotoriques d'axes *d* et *q* s'expriment par :

$$\varphi_{sd} = L_s i_{sd} + mL_m i_{rd} \tag{1-5}$$

$$\varphi_{sq} = L_s i_{sq} + mL_m i_{rq} \tag{1-6}$$

$$\varphi_{rd} = L_r i_{rd} + mL_m i_{sd} \tag{1-7}$$

$$\varphi_{rq} = L_r i_{rq} + mL_m i_{sq} \tag{1-8}$$

où :

$$L_s = L_{fs} + L_m \tag{1-9}$$

$$L_r = L_{fr} + m^2 L_m \tag{1-10}$$

Avec :

- $L_s$ : l'inductance cyclique statorique,
- $L_r$ : l'inductance cyclique rotorique,
- $L_m$ : l'inductance magnétisante,
- $L_{fs}$ : l'inductance de fuite statorique,
- $L_{fr}$ : l'inductance de fuite rotorique.
- $m$ : le rapport de transformation rotor/stator, équivalent au rapport des nombres de spires rotoriques et statoriques.

Les angles de Park relatifs aux grandeurs statoriques et rotoriques sont liés, d'après la Figure 1-3, par la relation :

$$\theta_s = \theta_e + \theta_r \tag{1-11}$$

où $\theta_e$ est l'angle électrique entre les bobinages statorique et rotorique.

Les puissances actives et réactives statoriques et rotoriques et le couple électromagnétique, noté $C_{em}$, s'expriment par :

$$P_s = v_{sd} i_{sd} + v_{sq} i_{sq} \tag{1-12}$$

$$Q_s = v_{sq} i_{sd} - v_{sd} i_{sq} \tag{1-13}$$

$$P_r = v_{rd} i_{rd} + v_{rq} i_{rq} \tag{1-14}$$

$$Q_s = v_{rq} i_{rd} - v_{rd} i_{rq} \tag{1-15}$$

$$C_{em} = p(\varphi_{sd} i_{sq} - \varphi_{sq} i_{sd}) = p\frac{mL_m}{L_s}(\varphi_{sq} i_{rq} - \varphi_{sd} i_{rq}) \tag{1-16}$$

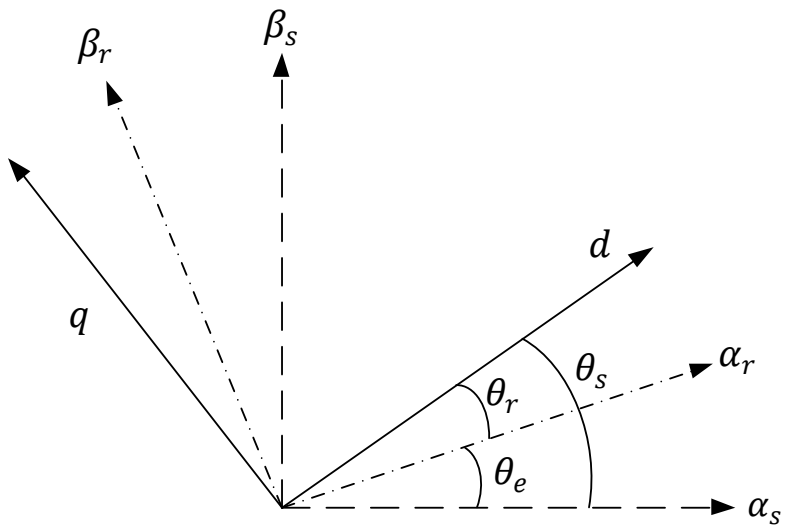



Figure 1-3 : Angles de Park des grandeurs statoriques et rotoriques.

En négligeant la résistance statorique $R_s$, en choisissant le référentiel *dq* lié au champ tournant statorique [Poitiers2003] [Gaillard2010] et en plaçant le vecteur flux statorique $\varphi_s$ sur l'axe *d*, on obtient :

$$\begin{cases} \varphi_{sd} = \varphi_s \\ \varphi_{sq} = 0 \end{cases} \tag{1-17}$$

$$\begin{cases} v_{sd} = 0 \\ v_{sq} = V_s\sqrt{3} = U_s \end{cases} \tag{1-18}$$

Une simplification des équations de la MADA dans le repère *dq* peut alors être obtenue à partir des équations (1-1) - (1-4) :

$$v_{sd} = 0 \tag{1-19}$$

$$v_{sq} = U_s = \omega_s \varphi_{sd} \tag{1-20}$$

$$v_{rd} = R_r i_{rd} + \frac{d\varphi_{rd}}{dt} - \omega_r \varphi_{rq} \tag{1-21}$$

$$v_{rq} = R_r i_{rq} + \frac{d\varphi_{rq}}{dt} - \omega_r \varphi_{rd} \tag{1-22}$$

où $\omega_r$ est la pulsation des grandeurs rotoriques.

A partir des équations (1-5) et (1-6), on obtient les expressions des courants statoriques :

$$i_{sd} = \varphi_{sd} - \frac{mL_m i_{rd}}{L_s} \tag{1-23}$$

$$i_{sq} = -\frac{mL_m i_{rq}}{L_s} \tag{1-24}$$

En remplaçant ces équations dans (1-7) et (1-8), on obtient :

$$\varphi_{rd} = \sigma L_r i_{rd} + \frac{mL_m}{L_s}\varphi_{sd} \tag{1-25}$$

$$\varphi_{rq} = L_r i_{rq} - \frac{(mL_m)^2}{L_s} i_{rq} = \sigma L_r i_{rq} \tag{1-26}$$

où $\sigma = 1 - \frac{(mL_m)^2}{L_s L_r}$ est le coefficient de dispersion de la MADA.

A partir des équations (1-21), (1-22), (1-25) et (1-26), nous établissons :

$$v_{rd} = R_r i_{rd} + \sigma L_r \frac{di_{rd}}{dt} + e_{rd} \tag{1-27}$$

$$v_{rq} = R_r i_{rq} + \sigma L_r \frac{di_{rq}}{dt} + e_{rq} + e_{\phi} \tag{1-28}$$

où

$$e_{rd} = -\sigma L_r \omega_r i_{rq} \tag{1-29}$$

$$e_{rq} = \sigma L_r \omega_r i_{rd} \tag{1-30}$$

$$e_{\phi} = \frac{\omega_r mL_m}{L_s}\varphi_{sd} \tag{1-31}$$

On peut également établir les expressions suivantes pour le couple électromagnétique et les puissances active et réactive statoriques :

$$C_{em} = -\frac{pmL_m}{L_s}\varphi_{sd} i_{rq} \tag{1-32}$$

$$P_s = -\frac{v_{sq} mL_m}{L_s}\, i_{rq} \tag{1-33}$$

$$Q_s = \frac{v_{sq}\varphi_{sd}}{L_s} - \frac{v_{sq} mL_m}{L_s} i_{rd} \tag{1-34}$$

Cette modélisation de la MADA illustre le couplage entre les puissances active et réactive statoriques et les courants rotoriques. En utilisant une méthode de découplage appropriée lors de la commande des courants rotoriques, on peut contrôler effectivement les courants rotoriques et donc les puissances statoriques. La Figure 1-4 illustre le principe de contrôle des courants rotoriques. Le courant rotorique de référence d'axe *q* est issu du contrôle de la puissance active. Le courant rotorique de référence d'axe *d* est, quant à lui, issu du contrôle de la puissance réactive statorique.

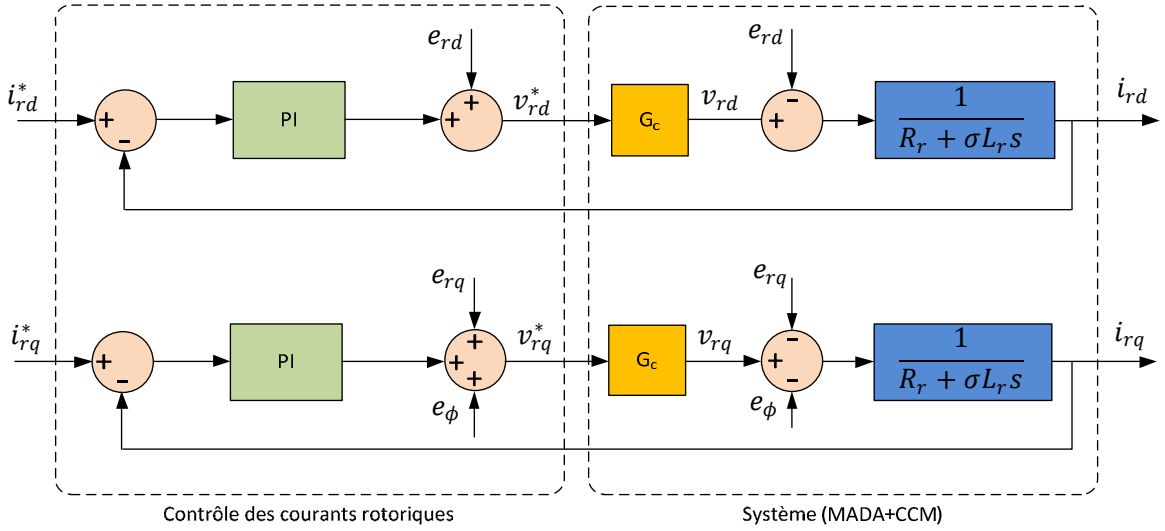



Figure 1-4 : Contrôle des courants rotoriques.

### 1.3.3.2 *Contrôle du CCM*

La Figure 1-5 représente le schéma bloc de la commande du CCM. Cette commande permet de contrôler indépendamment les courants rotoriques d'axes *d et q*, donc les puissances active et réactive statoriques de la MADA.

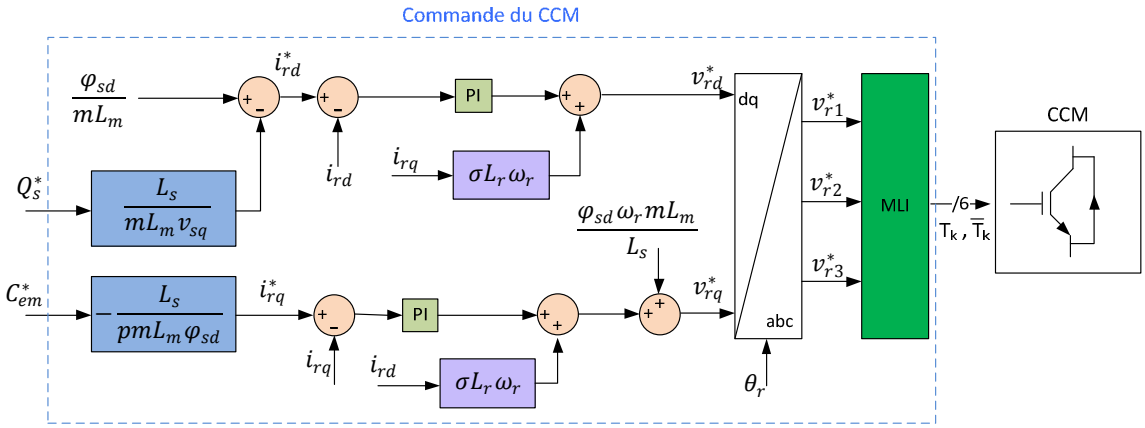



Figure 1-5 : Commande du CCM.

Une fois la puissance active ou le couple électromagnétique de référence établi, on peut alors calculer la référence de courant rotorique $i_{rq}^*$. Il en est de même pour le courant $i_{rd}^*$ qui est lié à la puissance réactive statorique de référence (Figure 1-5) :

$$i_{rq}^* = -\frac{L_s}{pmL_m\varphi_{sd}} C_{em}^* = -\frac{L_s}{v_{sq}mL_m} P_s^* \quad (1\text{-}35)$$

$$i_{rd}^* = \frac{\varphi_{sd}}{mL_m} - \frac{L_s}{mL_m v_{sq}} Q_s^* \quad (1\text{-}36)$$

### 1.3.3.3 Contrôle du CCR

Dans la littérature scientifique, différentes méthodes de contrôle sont proposées pour les redresseurs triphasés conventionnels. Une méthode simple et bien connue consiste à contrôler les tensions du réseau; elle est détaillée dans [Malinowski2001] et [Gaillard 2010] et brièvement rappelée ici.

La Figure 1-6 présente une vue détaillée du CCR, avec :

- $V_{dc}$ : la tension du bus continu (tension aux bornes du condensateur),
- $S_i', D_i'$ : respectivement les transistors IGBT et les diodes connectées en antiparallèle ($i \in \{1-6\}$),
- $R_f$ $et$ $L_f$ : respectivement la résistance et l'inductance du filtre RL,
- $v_k$ ($k \in \{a_2, b_2, c_2\}$): les tensions simples modulées par le CCR,
- $v_{sk}$ : les tensions simples du réseau électrique,
- $i_k$ : les courants circulant à travers le filtre RL.

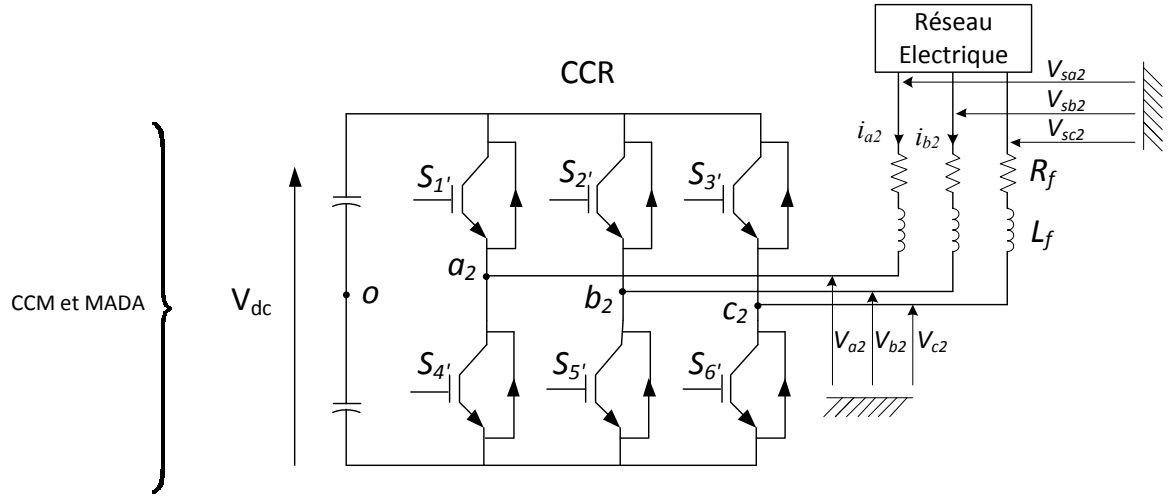



Figure 1-6 : Vue détaillée du CCR.

Dans le repère *dq* lié au champ tournant statorique, on peut écrire :

$$v_{fd} = -R_f i_{fd} - L_f \frac{di_{fd}}{dt} + e_{fd} \tag{1-37}$$

$$v_{fq} = -R_f i_{fq} - L_f \frac{di_{fq}}{dt} + e_{fq} \tag{1-38}$$

où :

$$e_{fd} = \omega_s L_f i_{fq} \tag{1-39}$$

$$e_{fq} = -\omega_s L_f i_{fd} + v_{sq} \tag{1-40}$$

Ici, les indices *fd* et *fq* indiquent les variables dans le repère *dq* du côté du filtre.

Ce modèle montre qu'à l'aide d'un découplage approprié, on peut contrôler indépendamment les courants $i_{fd,q}$ d'axes *d* et *q*. D'autre part, en négligeant les pertes dans les résistances $R_f$, les équations des puissances active et réactive vues du réseau

prennent la forme suivante :

$$P_{ccr} = v_{sq} i_{fq} \tag{1-41}$$

$$Q_{ccr} = v_{sq} i_{fd} \tag{1-42}$$

Le schéma bloc général de la commande du CCR est présenté à la Figure 1-7.

La modélisation de la MADA et le contrôle des convertisseurs CCM et CCR du système éolien ont maintenant été rappelés. Nous allons alors nous intéresser à la première étape nécessaire pour rendre ce système éolien avec MADA tolérant à la défaillance d'un de ses interrupteurs : la détection du défaut. Elle fait l'objet de la section suivante.

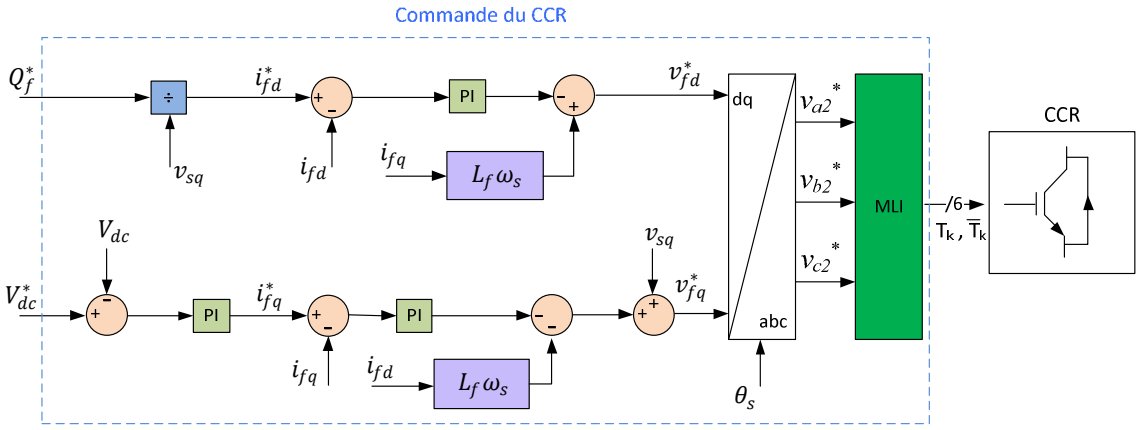



Figure 1-7 : Commande du CCR.

## 1.4 Méthode de détection de défaut

Pour tout système "fault tolerant", la détection de défaut est une étape essentielle. En effet, il est indispensable de détecter le défaut et de le localiser, préalablement à toute action garantissant la continuité de service [Zhang2008]. Ces dernières années, plusieurs études ont porté plus spécifiquement sur la détection de défaut dans les convertisseurs statiques. Dans [Yazdani2011], la défaillance d'un interrupteur d'un convertisseur cascade multiniveaux a été étudiée. Elle est basée sur la comparaison entre les tensions AC générées et leurs références. La détection d'un défaut de type circuit ouvert dans les convertisseurs matriciels est examinée dans [Cruz2011]; le diagnostic est basé sur les erreurs éventuelles au niveau des tensions modulées des interrupteurs bidirectionnels du convertisseur. Quant au cas des convertisseurs conventionnels à deux niveaux, la plupart des méthodes publiées dans la littérature scientifique utilise les trois courants de phase du convertisseur triphasé pour détecter le défaut [Zidani2008], [Sleszynski2009], [Masrur 2010], [Diallo2005]. Ces méthodes sont généralement dépendantes de l'application ciblée et requièrent une durée de l'ordre d'un cycle fondamental pour détecter le défaut. D'autres méthodes sont également proposées dans la littérature pour permettre une détection plus rapide du défaut d'un interrupteur. Dans la publication [Ribeiro2003], des

capteurs de tension additionnels sont utilisés pour la détection de défaut; ces capteurs permettent de mesurer les tensions dites “de pôle” et les performances de la méthode présentée garantissent la détection du défaut en un quart de cycle fondamental. Ces méthodes basées sur les tensions de pôle estimées et mesurées sont détaillées dans [Kim2009a] et [Trabelsi2012]. Très récemment, une méthode dite “model based” a été proposée pour la détection d’un défaut de type “circuit ouvert” dans un bras de convertisseur, en observant la tension émetteur-collecteur des interrupteurs IGBTs [An2011]. Dans [Rodriguez-Blanco2011] et dans le cas de convertisseurs à IGBTs, une autre approche se basant sur l’observation de la tension de grille est développée. Pour ces deux derniers cas, les méthodes de détection sont implantées de manière analogique.

Lors des recherches précédemment effectuées dans notre laboratoire, une méthode de détection rapide, basée sur FPGA, a été développée. Elle est robuste au regard des commutations des interrupteurs. Cette méthode repose sur deux critères, associés pour chacun d’entre eux à un seuil : l’erreur entre tensions de pôles estimées et mesurées (critère “tension”) et la durée pendant laquelle cette erreur persiste (critère “temporel”). L’avantage de cette méthode, outre la rapidité de la détection du défaut, est qu’elle est utilisable pour tout convertisseur statique et tout type d’interrupteurs. C’est cette méthode qui sera utilisée dans ce premier chapitre. Son principe est résumé à la section suivante.

### 1.4.1 Principe général de méthode de détection de défaut d’interrupteurs supposés idéaux

La Figure 1-8 représente le circuit équivalent par phase du CCM et du CCR. Sur cette figure apparaissent la résistance des enroulements rotoriques $R_r$, l’inductance cyclique rotorique $L_r$ et la force électromotrice $e_{x1m}$ pour la connexion du CCM au rotor de la MADA. Apparaissent également l’inductance $L_f$ et la résistance $R_f$ du filtre RL servant à connecter le CCR au réseau ainsi que la tension $e_{x2n}$ au point de raccordement du réseau.

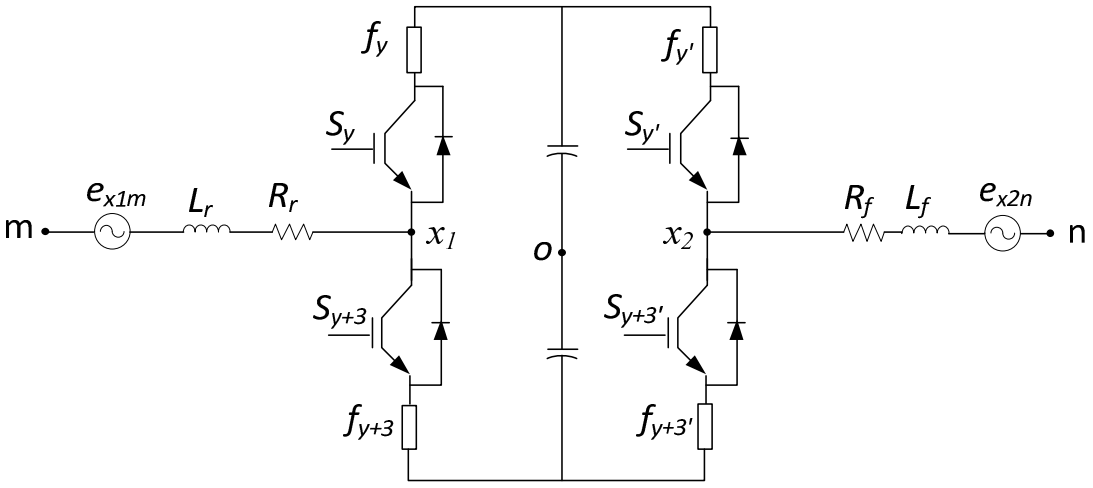



Figure 1-8 : Circuit équivalent par phase des convertisseurs CCM et CCR.

La méthode de détection de défaut présentée dans cette section est basée sur les travaux

de recherche menés au sein du laboratoire. Elle repose sur la comparaison directe entre les tensions de pôles, mesurées et estimées, des convertisseurs. Ces tensions sont notées ci-après $v_{ko}$ $(k = x_i\ o\grave{u}\ (x\ \epsilon\{a,b,c\}, i\epsilon\{1,2\})$. Les tensions estimées et mesurées sont respectivement notées avec un indice "es" et un indice "m". Les tensions estimées sont établies selon la relation :

$$v_{ko,es} = \frac{(2.T_k - 1) \times V_{dc}}{2} \tag{1-43}$$

$T_k \in \{0,1\}$ est l'ordre de commande envoyé à l'interrupteur placé en haut du bras $k$ (noté $S_y$ avec $y \in \{1,2,3,1',2',3'\}$ à la Figure 1-8). $V_{dc}$ représente la tension du bus continu. $T_k = 0$ indique que l'interrupteur est commandé à l'ouverture alors que $T_k = 1$ signifie que l'interrupteur est commandé à la fermeture. Les commandes des 2 interrupteurs de chaque bras sont complémentaires et aucun temps mort n'est envisagé.

Le défaut d'un interrupteur peut être détecté par l'analyse de la différence entre ces tensions mesurées et estimées. L'erreur de tension est alors calculée par :

$$\varepsilon_{ko} = v_{ko,m} - v_{ko,es} \tag{1-44}$$

Dans un premier temps, si nous supposons les interrupteurs idéaux, on peut alors conclure que dans des conditions normales de fonctionnement (sans défaut), les tensions $v_{ko,m}$ et $v_{ko,es}$ sont égales et par conséquent, le signal d'erreur $\varepsilon_{ko}$ doit toujours être égal à zéro.

Considérons maintenant un défaut de type circuit-ouvert au niveau d'un des interrupteurs, par exemple au niveau de $S_y$, placé côté CCM (Voir Figure 1-8). Le circuit équivalent pour le bras $x_1$ avec $x \in \{a,b,c\}$ est alors présenté à la Figure 1-9.

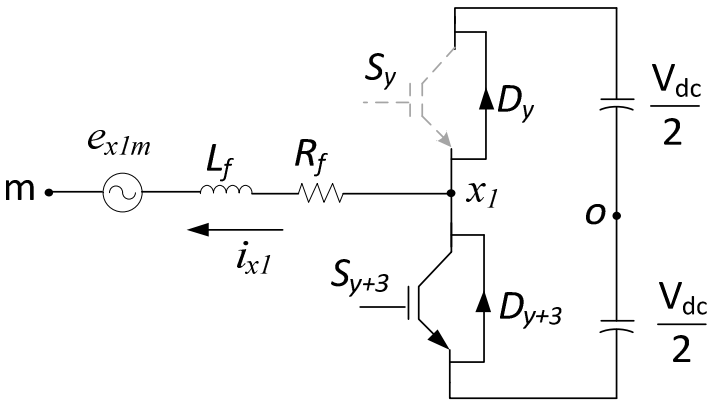



Figure 1-9 : Circuit équivalent pour le bras $x_1$ après un défaut de type circuit-ouvert au niveau de $S_y$.

Dans cette situation de défaut, si $i_{x1} > 0$ et $T_{x1} = 1$, la diode $D_{y+3}$ conduira au lieu de l'interrupteur défaillant $S_y$. Par conséquent, la tension de pôle mesurée sera égale à $v_{x1o,m} = -V_{dc}/2$, tandis que la tension de pôle estimée sera égale à $v_{x1o,es} = V_{dc}/2$ ((1-43)). Donc, l'erreur de tension sera égale à $\varepsilon_{x1o} = -V_{dc}$ et le défaut peut alors être détecté.

Par contre, si $i_{x1} < 0$ et $T_{x1} = 1$, c'est la diode $D_y$ qui conduit. La tension $v_{x1om}$ sera

donc égale à $V_{dc}/2$ . Cela signifie que dans cette situation, le convertisseur fonctionne normalement. Ainsi, le défaut ne peut pas être détecté. Le Tableau 1-1 rassemble les expressions analytiques de l'erreur de tension juste après l'apparition du défaut, en fonction de la valeur de $T_{x1}$. Une analyse très détaillée de toutes les conditions possibles après un tel défaut de type circuit-ouvert est fournie dans les récentes publications de notre laboratoire et n'est pas rappelée ici. Le lecteur intéressé pourra notamment en trouver les détails dans [Karimi2009-2]. Dans tous les cas, un défaut de type circuit-ouvert au niveau d'un interrupteur pourra être effectivement détecté.

Tableau 1-1 : Etude d'un défaut de type "circuit-ouvert" au niveau du bras $x_1$.

| $i_{x1}$ | $T_{x1}$ | $D_y$ | $D_{y+3}$ | $v_{x1o,m}$ | $v_{x1o,es}$ | $\varepsilon_{x1o}$ |
|---|---|---|---|---|---|---|
| >0 | 1 | bloquée | passante | $-V_{dc}/2$ | $V_{dc}/2$ | $-V_{dc}$ |
| >0 | 0 | bloquée | passante | $-V_{dc}/2$ | $-V_{dc}/2$ | 0 |
| <0 | 1 | passante | bloquée | $V_{dc}/2$ | $V_{dc}/2$ | 0 |
| <0 | 0 | passante | bloquée | $-V_{dc}/2$ | $-V_{dc}/2$ | 0 |

Nous allons maintenant considérer un défaut de type court-circuit au niveau du bras $x_1$. Supposons alors que l'interrupteur $S_y$ du bras $x_1$ est anormalement bloqué à l'état fermé. Ce défaut réduit la phase $x_1$ du système au circuit équivalent présenté à la Figure 1-10(a). Le Tableau 1-2 rassemble les expressions analytiques de l'erreur de tension $\varepsilon_{x1o}$ juste après l'apparition du défaut, en fonction de la valeur de $T_{x1}$.

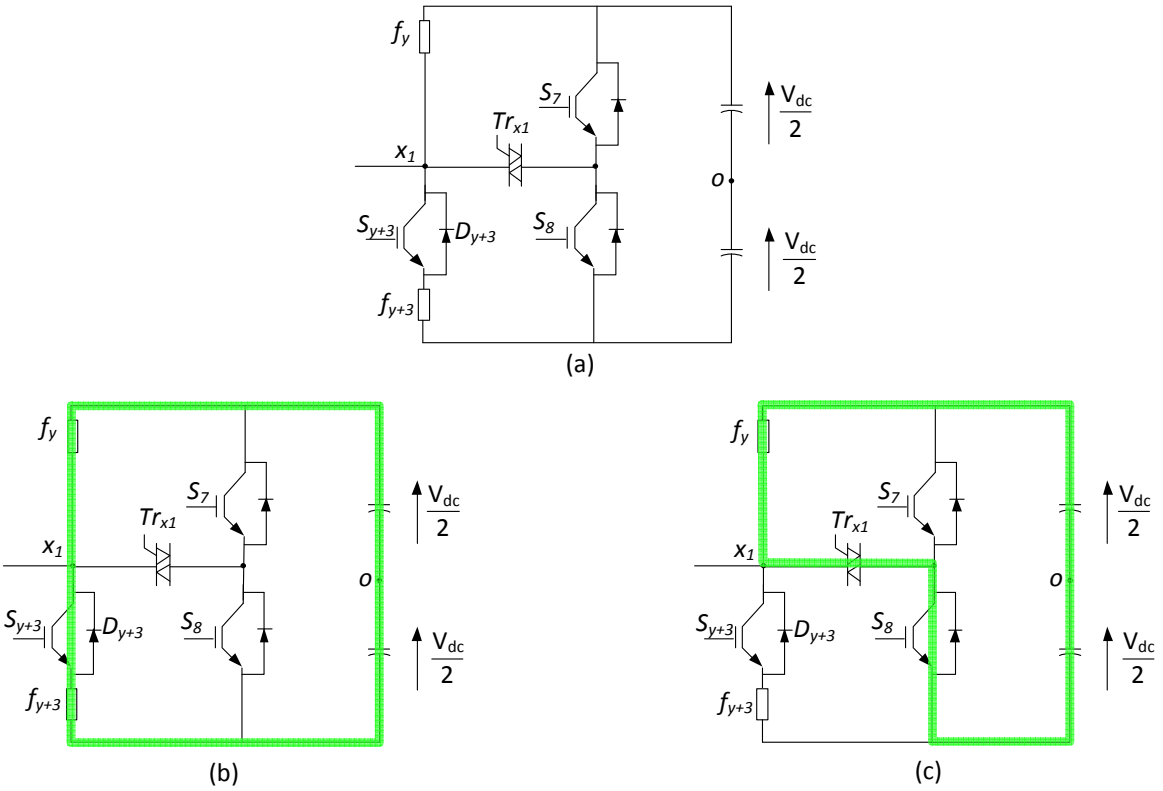



Figure 1-10 : (a)- Circuit équivalent de la phase $x_1$ lors d'un défaut de type "court-circuit".
(b)- Parcours du courant de court-circuit juste après l'apparition du défaut.
(c)- Parcours du courant de court-circuit lorsque le temps de rupture des fusibles est supérieur au temps de détection du défaut.

Tableau 1-2 : Cas d'un défaut de type "court-circuit" du bras *k*.

| $T_{x1}$ | $v_{x1o,m}$ | $v_{x1o,es}$ | $\varepsilon_{x1o}$ |
|---|---|---|---|
| 1 | $V_{dc}/2$ | $V_{dc}/2$ | 0 |
| 0 | 0 | $-V_{dc}/2$ | $V_{dc}/2$ |

Lorsque $T_{x1}$ est égal à '1', le bras k fonctionne correctement et l'erreur de tension est à juste titre égale à zéro. Par contre, lorsque $T_{x1}$ est égal à '0', les condensateurs du bus continu sont mis en court-circuit par le bras k défaillant (Figure 1-10(b) , Figure 1-10(c)). Dans ce cas, le courant de court-circuit n'est limité que par l'impédance du circuit, qui est relativement faible. Pour que ce courant ne dépasse pas les limites admissibles pour les interrupteurs et ne conduise à leurs destructions, une protection rapide, fiable et adaptée doit être mise en œuvre afin d'isoler le bras $x_1$ défectueux. C'est le rôle des fusibles $f_y$ et $f_{y+3}$ . Ces fusibles font parties de la topologie "fault tolerant". L'efficacité des fusibles au niveau des onduleurs de tension a été examinée par Abrahamsen et al. [Abrahamsen 2000]. De plus, plusieurs tests de court-circuit d'un IGBT ont été effectués pour étudier le phénomène de rupture du fusible et examiner dans quelle mesure le fusible protège l'IGBT [Braun1997], [Abrahamsen2000] et [Blaabjerg2002]. Ces auteurs ont démontré qu'un fusible rapide, connecté en série avec un IGBT, peut protéger efficacement cet IGBT contre les surintensités.

Par ailleurs, les commandes rapprochées (ou "drivers") de chacun des bras du convertisseur intègrent un circuit de détection de défaut de type court-circuit. Le driver détecte rapidement le défaut et commande à l'ouverture les interrupteurs du bras en court-circuit en imposant leurs ordres de commande à zéro. La méthode implantée dans les drivers pour détecter le court-circuit d'un bras est basée sur un principe identique pour tous les drivers industriels : la mesure des chutes de tension aux bornes des interrupteurs [Vallon2003]. Le temps de réponse de cette protection, égal à quelques microsecondes, est généralement paramétrable et réglable par des composants discrets, externes au driver. Ce temps de réponse doit être choisi supérieur au temps de rupture des fusibles lors de la mise en œuvre expérimentale de la topologie "fault tolerant" Figure 1-1. Cette coordination entre les fusibles et la protection intégrée au driver permet d'assurer la coupure du courant de court-circuit par les fusibles avant que la protection interne au driver ne s'active.

Lors du court-circuit du bus continu, deux cas peuvent se produire selon les valeurs relatives du temps de rupture des fusibles et du temps nécessaire à la détection du défaut. Si le temps de rupture des fusibles est inférieur à celui nécessaire à la détection du défaut, le bras défectueux est isolé par au moins un des deux fusibles avant même que le défaut n'ait été détecté. En effet, en pratique, les deux fusibles $f_y$ et $f_{y+3}$ ne cassent pas exactement au même instant et l'un des deux coupe en premier le courant de court-circuit. Étant donné que les deux fusibles choisis ont les mêmes caractéristiques nominales, ils ont sensiblement les mêmes courbes de fusion et de rupture totale, à la dispersion près. Pratiquement, lorsque le premier fusible a mis fin au court-circuit, le filament du second

est déjà rompu mais un arc électrique peut subsister. Lorsque cet arc électrique prend fin (annulation du courant), le second fusible sera définitivement et inévitablement cassé. Ainsi, le courant traversant le bras défectueux devient égal à zéro. Cette condition correspond aux trois situations mentionnées dans [Karimi2009-2] pour lesquelles le courant $i_{x1}$ reste égal à zéro ($D_y$ et $D_{y+3}$ sont bloquées). Si le temps de rupture des fusibles est supérieur à celui nécessaire à la détection du défaut, le défaut est détecté avant l'isolation par les fusibles du bras défectueux. Aussitôt, un module dit "de reconfiguration" met à '0' les commandes des deux interrupteurs du bras k défectueux, applique les deux ordres de commande du bras défectueux, établis avant la détection du défaut, aux interrupteurs du bras redondant et commande à la fermeture l'interrupteur bidirectionnel $Tr_{x1}$. Dans ce cas, le court-circuit du bus continu n'a pas encore été éliminé et il se prolonge via l'interrupteur bidirectionnel $Tr_{x1}$ (Figure 1-10 (c)). Cette situation conduit à la destruction du fusible $f_y$ (voir Figure 1-10 (c)), et permet ainsi de garantir la continuité de service.

### 1.4.2 Critère temporel de détection de défaut – interrupteurs non idéaux

Dans les sections précédentes, nous avons considéré que les interrupteurs étaient idéaux. Dans cette hypothèse, un éventuel défaut d'un interrupteur peut alors être détecté à l'aide d'une simple comparaison entre la tension mesurée $v_{ko,m}$ et la tension estimée $v_{ko,es}$ $(k = x_i \; ou \; (x \; \epsilon\{a,b,c\}, i\epsilon\{1,2\})$. Cependant, en réalité et en fonctionnement normal, l'erreur de tension $\varepsilon_{ko}$ n'est pas nulle à chaque instant en raisons des chutes de tensions aux bornes des interrupteurs, des effets des commutations et des temps morts des drivers. Ainsi, en pratique, le signal d'erreur $\varepsilon_{ko}$ est constitué de pics. Si l'on ne filtre pas ces pics, un défaut peut alors être détecté lors d'une commutation alors qu'il n'en est pas un. La méthode développée dans notre laboratoire met en œuvre un critère temporel supplémentaire permettant d'effectuer ce filtrage. Pour la méthode proposée, présentée à la Figure 1-11, la valeur absolue de l'erreur de tension est appliquée, dans un premier temps, à un comparateur avec une valeur de seuil égal à "h", pour déterminer si la différence entre les tensions mesurées et estimée est suffisamment grande pour être considérée comme un défaut. La sortie de ce comparateur, notée $c_k$, est égale à 0 si $|\varepsilon_k| < h$ et égale à 1 si $|\varepsilon_k| \geq h$. Par conséquent, en fonctionnement normal, le signal en sortie de ce premier comparateur a une forme d'onde carrée de faible rapport cyclique et de fréquence égale au double de la fréquence de commutation des interrupteurs (Figure 1-12) [Karimi2009-1], [Karimi2009-2], [Gaillard2010].

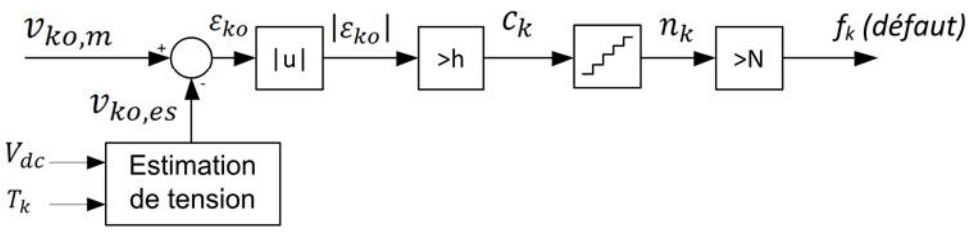



Figure 1-11 : Schéma de principe de la détection de défaut.

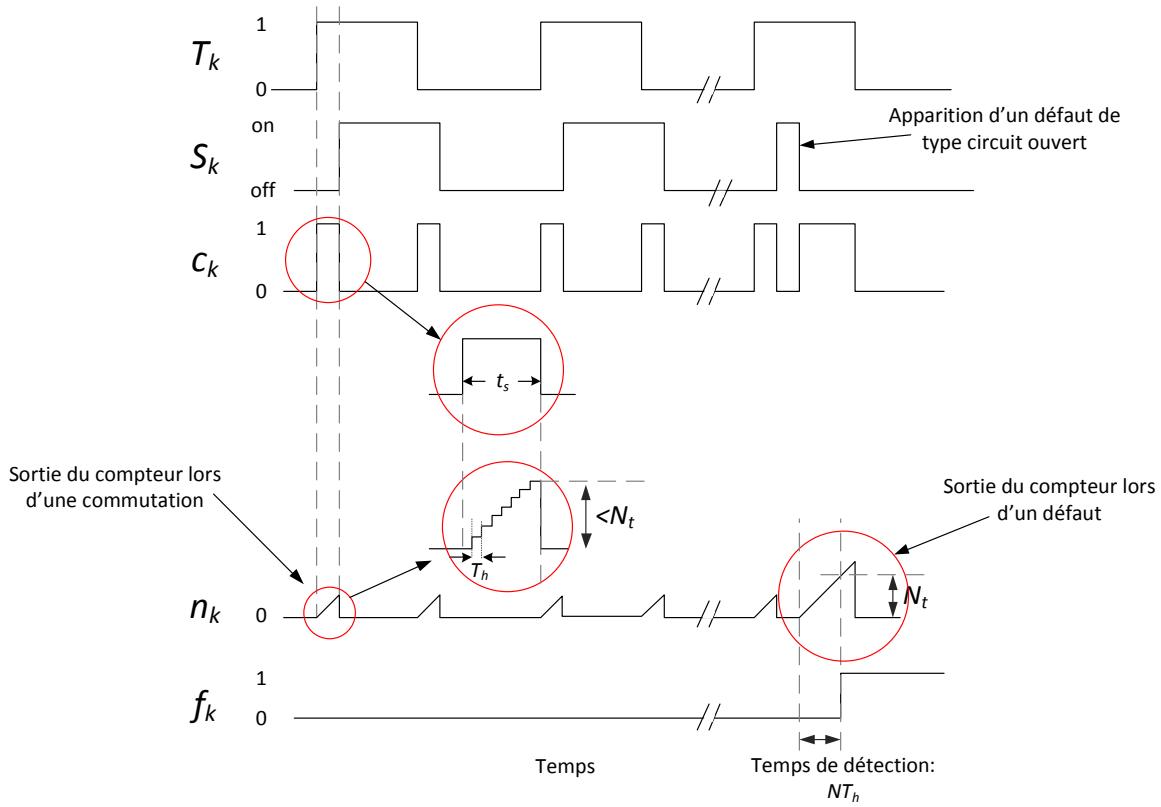



Figure 1-12 : Détection de défaut intégrant le critère temporel.

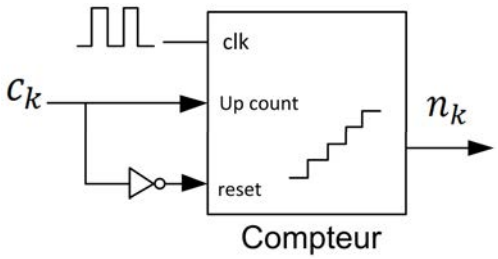



Figure 1-13 : Principe de fonctionnement du compteur temporel de la détection de défaut.

Lors d'une implantation numérique, pour réaliser ce test temporel, on mesure la durée pendant laquelle le signal $c_k$ est égal à 1 ($t_s$ sur la Figure 1-12) à l'aide d'un compteur. La Figure 1-13 illustre le principe de fonctionnement du compteur. La sortie du compteur est égale au nombre de période de l'horloge $T_h$ pendant lesquelles le signal $c_k$ est égal à 1, si ce compteur est remis à zéro après chaque front descendant du signal $c_k$. Ainsi, le signal $c_k$ est dans un premier temps transformé en un signal de type "dent de scie", noté $n_k$. La valeur maximale de $n_k$ est proportionnelle, modulo la période d'horloge $T_h$, à la durée pendant laquelle la tension de pôle estimée est différente de la tension réelle mesurée (Figure 1-12).

Ainsi, tout défaut éventuel d'un interrupteur peut être détecté en utilisant simultanément un "critère temporel" et un "critère de tension". Pour ce faire, le signal $n_k$ issu du compteur est appliqué à l'entrée d'un second comparateur de seuil noté $N_t$. Ce seuil doit être choisi supérieur à la valeur maximale de $n_k$ lors du fonctionnement normal du convertisseur. En effet, la valeur maximale de $n_k$ dépend effectivement des spécifications

des composants utilisés, en particulier des temps morts imposés par les drivers (nous expliquerons en détail le choix de $N_t$ à la section 1.6.4.1). Grâce à la méthode présentée à la Figure 1-11, nous évitons toute fausse détection de défaut suite à une commutation mais nous pouvons néanmoins détecter un défaut en quelques dizaines de micro-secondes, sachant que la durée exacte nécessaire à la détection du défaut est fixée par la valeur de $N_t$. Le signal d'erreur $f_k$, en sortie du module de détection de défaut, est utilisé pour isoler le bras défaillant, déclencher l'interrupteur bidirectionnel $Tr_k$ et arrêter la détection de défaut.

Après avoir présenté à la section 1.3.3 le contrôle du système éolien, puis la détection de défaut dans cette section, nous allons maintenant envisager leur implantation matérielle afin de valider expérimentalement le système éolien "fault tolerant" avec redondance, proposé dans cette première partie du mémoire.

## 1.5 Choix technologique et méthodologie d'implantation du contrôle et de la détection de défaut

### 1.5.1 Introduction

Le nombre de contrôleurs numériques destinés au contrôle des systèmes de conversion de l'énergie électrique ne cesse d'augmenter, de même que leur complexité. Ainsi, de plus en plus d'efforts sont consacrés à la conception, la vérification et la simulation des ces contrôleurs numériques afin de réduire leur temps de développement. Les récents progrès des technologies numériques et des outils logiciels associés permettent de concevoir des contrôleurs numériques intégrés de plus en plus complexes, compacts et à haute performance. Grâce aux dispositifs dits VLSI actuellement disponibles, comme par exemple les composants FPGA et ASIC, des contrôleurs entièrement numériques peuvent être réalisés. Ainsi, un contrôleur numérique, voire un système de commande, qui était auparavant implanté sur une carte électronique, peut dorénavant être intégré sur une puce unique, offrant l'avantage d'être compact et de supporter un très grand nombre de traitements arithmétiques. De plus, l'utilisation de composants reprogrammables tels que les FPGAs permet le développement et le prototypage rapide de contrôleurs numériques, sans modification matérielle significative [Rodriguez2007]. Néanmoins, la complexité croissante des algorithmes à implanter dans ces contrôleurs numériques et les contraintes du marché ("*time to market*") exigent l'utilisation de méthodologies de conception particulièrement adaptées et efficaces. Dans certaines applications telles que celles relevant du domaine de la conversion de l'énergie électrique, toute erreur dans la conception du contrôleur numérique, aussi minime soit elle, peut provoquer de sérieux dommages au système commandé, généralement très coûteux, ainsi que des retards dans la mise au point du premier prototype.

Par ailleurs, différentes cibles numériques sont largement utilisées dans les applications de puissance actuelles. Citons notamment les cibles DSP, FPGA et microcontrôleurs qui offrent des fonctionnalités très intéressantes. Dans cette étude, nous avons fait le choix

d'utiliser une cible FPGA pour mettre en œuvre la détection du défaut d'un interrupteur et ainsi garantir des performances "temps réel". Ce choix sera davantage précisé et justifié à la section suivante. Ensuite, la méthodologie adoptée pour la mise en œuvre numérique sera expliquée. Cette méthodologie permet de concevoir en boucle fermée, avec efficacité et fiabilité, des contrôleurs numériques à base de FPGA et de valider expérimentalement l'implantation de l'algorithme de commande sur le FPGA ciblé. Dans un premier temps, une des étapes de cette validation du FPGA alors programmé est réalisée en boucle fermée en émulant à l'aide d'un ordinateur le système de puissance, les capteurs et les interfaces.

### 1.5.2 Choix de la cible numérique

Dans les convertisseurs à tolérance de panne, il est important de détecter le défaut et modifier les ordres de commande issus du contrôle aussi tôt que possible, afin d'éviter toute discontinuité et tout transitoire indésirable aux niveaux des entrées et des sorties du convertisseur. Ainsi, il est fondamental que la surveillance du système par l'algorithme de détection de défaut soit effectuée en parallèle avec les autres tâches du système. C'est principalement pour cette raison que nous proposons dans ces travaux de recherche qu'une cible FPGA soit utilisée pour la mise en œuvre "temps réel" de la méthode de détection de défaut ici présentée. Grâce à leur structure basée sur la logique câblée, les composants FPGA nous semblent effectivement particulièrement adaptés pour atteindre de telles performances temporelles. Cette caractéristique conduit alors à une réduction drastique du temps d'exécution [Shu2008], [de Castro2003]. Les processeurs plus conventionnels tels que les DSP permettent néanmoins d'atteindre des performances intéressantes ; cependant, ils ne paraissent pas les plus efficaces pour effectuer avec une telle rapidité la détection de défaut et la reconfiguration du contrôle. La limitation principale des performances de ces processeurs réside dans le traitement sérialisé des instructions. Des temps d'attente sont également un inconvénient majeur lors de l'exécution de boucles ISR [Monmasson2011].

La cible FPGA apparaît donc comme un excellent choix pour l'implantation des fonctionnalités nécessitant des performances temps réel élevées : détection de défaut et reconfiguration des ordres de commande. Néanmoins, il est envisageable d'utiliser un processeur conventionnel pour les autres fonctionnalités du contrôle, associé à un FPGA réalisant la détection et la compensation. C'est cette approche matérielle qui est mise en œuvre dans ce chapitre : un système dSPACE est associé à un composant FPGA pour réaliser l'ensemble du contrôle. Toutefois, la faisabilité et l'efficacité de cibles FPGA pour le contrôle de systèmes de puissance a déjà été largement prouvée [Idkhajine2009], [Monmasson2011-1], [Monmasson2011-2], [Ormaetxea2011]. Il serait donc également envisageable, sur le plan purement matériel, d'utiliser un unique FPGA à la fois pour des fins de contrôle et de détection de défaut. Ainsi, d'éventuels problèmes d'interface pourraient être évités et le coût global de la commande diminué. Cette approche sera abordée plus en détail aux chapitres 2 et 3. Dans la partie suivante, nous allons présenter la méthode de prototypage adoptée pour la mise en œuvre du FPGA.

### 1.5.3 Méthodologie de prototypage

Une méthode de prototypage innovante, appelée “FPGA in the Loop”, a été développée dans notre laboratoire lors de précédents travaux de recherche [Karimi2010]. Elle est matériellement basée sur une plateforme expérimentale, centrée sur un FPGA de la famille ALTERA et les outils CAO associés. Le flot de conception top-down au cœur de cette approche est présenté à la Figure 1-14. Ce flot se compose de quatre étapes principales : simulation fonctionnelle, simulation mixte, prototypage Hardware in the Loop et test entièrement expérimental. Ce flot “FPGA in the Loop” sera utilisé dans l’ensemble de ces travaux de thèse pour mener à bien l’implantation expérimentale sur cible FPGA. Il est développé dans le texte qui suit.

#### *1.5.3.1 Première étape : simulation fonctionnelle*

Cette étape est basée sur des simulations informatiques classiques, ayant recours aux outils traditionnels Matlab/Simulink. Elle permet de valider la fonctionnalité globale du système étudié. Dans un premier temps, ces simulations sont réalisées sur la base d’une modélisation continue du système. Ensuite, une fois les résultats en mode continu validés, les simulations sont réalisées en mode discret. Dans ce cas, le pas de simulation est fixe ; il doit donc être choisi suffisamment petit afin de garantir une précision acceptable. La validation des résultats de simulation en mode discret conclut cette première étape.

#### *1.5.3.2 Deuxième étape : simulation mixte*

Dans cette seconde étape, la modélisation de la partie puissance reste identique à celle de la première étape. Quant au modèle Simulink du contrôleur il est remplacé par un modèle basé sur les éléments disponibles dans la bibliothèque de DSP Builder. DSP Builder est une toolbox compatible avec l’environnement Matlab, réalisée conjointement par les sociétés MathWorks et ALTERA. Elle permet de simuler sous Matlab la modélisation VHDL synthétisable destinée à la programmation de composants FPGA de la famille ALTERA. Cette toolbox est particulièrement efficace pour un prototypage rapide de composants FPGA de cette famille. Toutefois, certaines des fonctions souhaitées ou nécessaires ne sont pas disponibles au sein de la bibliothèque DSP Builder. Ces modèles doivent alors être conçus par l’utilisateur, à partir de modèles VHDL alors importés dans l’environnement Matlab.

#### *1.5.3.3 Troisième étape : Prototypage “FPGA in the loop”*

Cette troisième étape est consacrée à l’implantation de l'algorithme de contrôle sur la carte FPGA de la plateforme expérimentale “FPGA in the Loop”, puis à sa validation en boucle fermée par simulation selon le principe communément appelé HIL, pour Hardware in the Loop. L’objectif majeur est de vérifier, en boucle fermée, l'implantation de l’algorithme de contrôle sur un contrôleur physique (cible FPGA), tout en émulant le reste du système (partie puissance, interfaces, capteurs, ….) à l’aide d’un ordinateur.

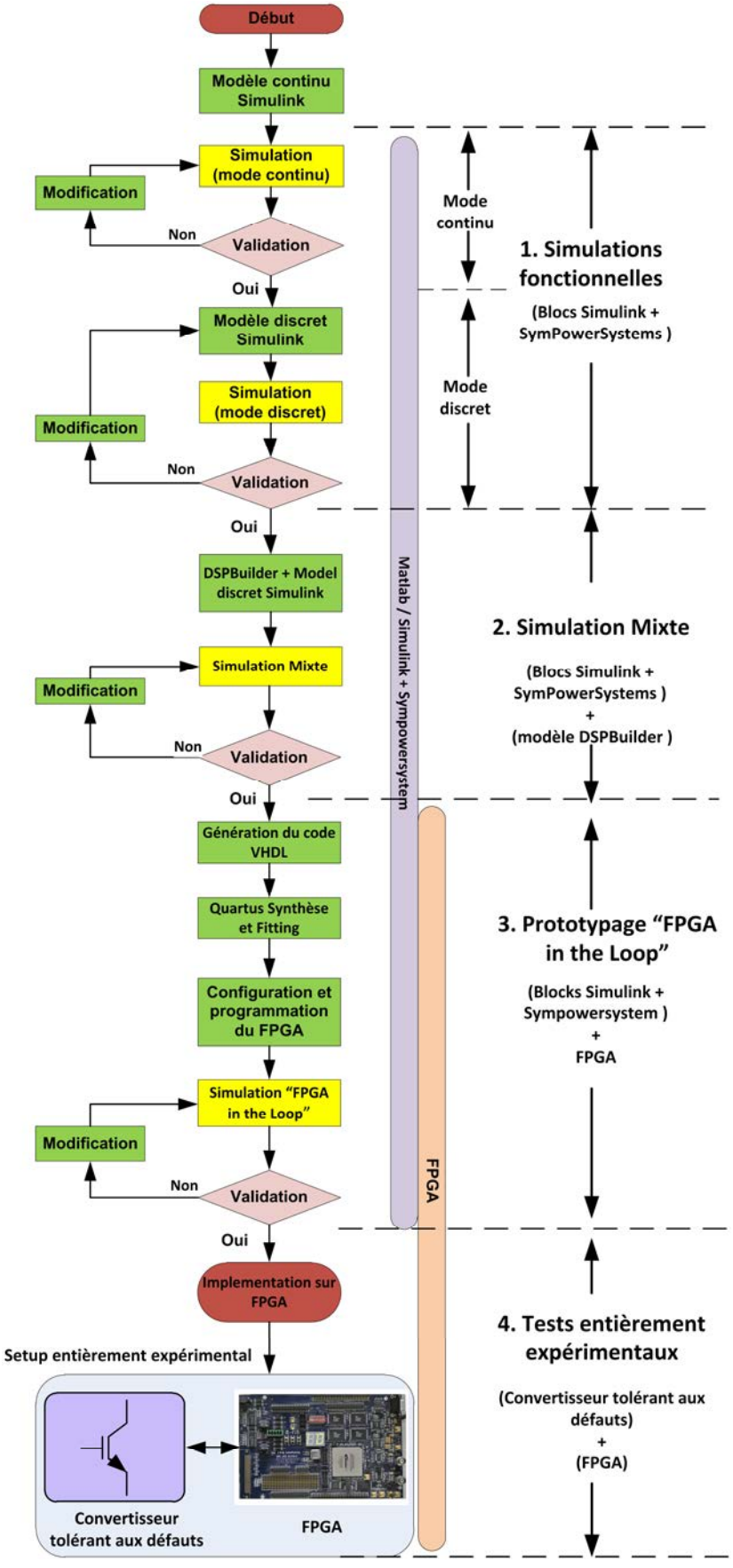



Figure 1-14 : Flot de conception pour le prototypage "FPGA in the Loop".

#### 1.5.3.3.1 Pourquoi avoir recours au prototypage "FPGA in the Loop"?

Ce prototypage dit "FPGA in the Loop" a été développé au sein de notre Laboratoire lors de travaux de recherche portant sur les convertisseurs à tolérance de pannes [Karimi2010]. De manière générale, son intérêt majeur est de pouvoir valider l'implantation numérique sur FPGA d'algorithmes de commande (contrôle/commande, commande MLI, détection et compensation de défaut) tout en émulant par ordinateur la partie puissance du système. Il est dès lors possible d'évaluer la partie commande dans un environnement virtuel où les modifications des algorithmes de commande sont aisément réalisables par reprogrammation du FPGA, sans itération matérielle coûteuse. Ceci induit naturellement une réduction du temps de développement ainsi que celle du coût global d'un projet. Ainsi, ce prototypage "FPGA in the loop" permet d'évaluer "expérimentalement" les performances des algorithmes de commande. Leurs points faibles peuvent être détectés dans cet environnement virtuel tout en éliminant le risque d'endommager tout ou partie du système de puissance. Dans notre démarche visant la tolérance de pannes, toutes les parties contrôle-commande, détection de défaut, reconfiguration de l'architecture de puissance et du contrôle-commande sont d'abord validées par HIL avant d'être implantées sur un prototype totalement expérimental. Les raisons majeures qui nous ont motivés à recourir au prototypage "FPGA in the loop" sont donc nombreuses [Karimi2008]-[Karimi2009]-[Gaillard2010]. On peut citer les motivations suivantes :

- la partie puissance n'est pas toujours disponible (cas d'un système éolien de forte puissance, de l'ordre du MW par exemple) [Munteanu, 2010],
- les coûts engendrés par la construction de la partie puissance sont très élevés,
- les essais comportent des risques importants pour la sûreté globale de l'opération (risques électriques, puissance élevée mise en jeu, dangers particulièrement importants lors de l'étude de systèmes à tolérance de pannes, …),
- dysfonctionnement (mauvaise, voire aucune détection de défaut) de l'algorithme de détection et de compensation du défaut pouvant entrainer des dégâts irréversibles sur la partie puissance du système.

#### 1.5.3.3.2 Principe du "FPGA in the loop"

Lors de la seconde étape, le modèle Simulink du contrôleur a été remplacé par un modèle, globalement basé sur les éléments disponibles dans la bibliothèque de DSP Builder. Ce modèle DSP Builder correspond à un modèle en langage VHDL synthétisable. Lors de sa compilation à l'aide de l'outil "Signal compiler", la modélisation DSP Builder alors obtenue permet de générer automatiquement cette description VHDL synthétisable, au niveau RTL. L'outil de synthèse logique Quartus, dédié spécifiquement aux FPGAs de la famille ALTERA, permet ensuite de générer le bitstream permettant la programmation du FPGA ciblé. A ce niveau, on peut alors insérer un bloc dénommé "HIL" dans l'environnement Matlab/Simulink pour remplacer le modèle DSP Builder de l'étape 2. Après compilation de ce bloc "HIL" sous Matlab, le FPGA de la carte de développement de notre plateforme est alors programmé au moyen d'une interface JTAG,

reliée au PC qui émule la partie puissance. La Figure 1-15 en illustre ici encore le principe. Le prototypage “FPGA in the Loop” est alors opérationnel.

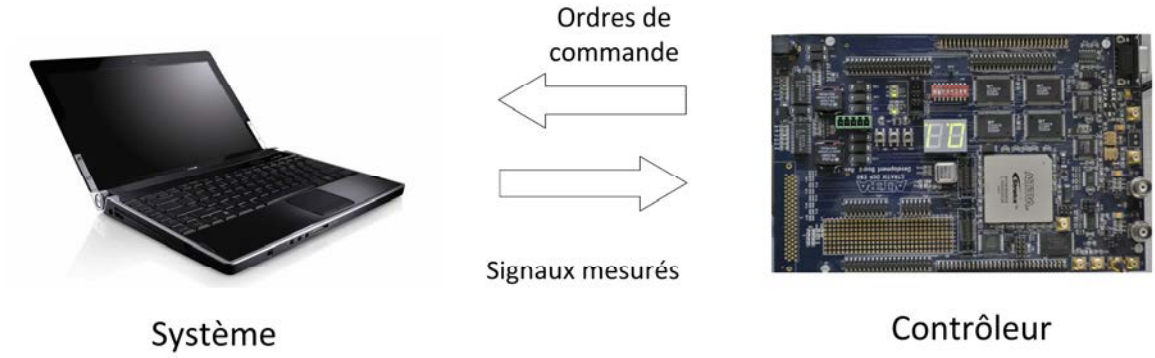



Figure 1-15 : Prototypage “FPGA in the loop”.

A chaque pas de simulation, la partie puissance du système électrique est simulée par le PC et les signaux nécessaires sont transmis au FPGA. Lorsque celui-ci reçoit les signaux du PC, il exécute les algorithmes de commande. Le FPGA retourne ensuite au PC les ordres de commande des différents interrupteurs de puissance, établis au cours de cette étape. A ce stade, un cycle de simulation “FPGA in the loop” est effectué. L’échange des données entre le PC et le FPGA est synchronisé et une interface de type JTAG est utilisée pour relier le FPGA au PC.

#### *1.5.3.4 Quatrième étape : validation entièrement expérimentale*

Une fois l’implantation sur cible FPGA validée par prototypage “FPGA in the Loop”, on peut alors envisager de procéder à des tests entièrement expérimentaux, avec une partie puissance réelle. Dans cette étape, la carte FPGA embarquant le contrôle-commande est alors connectée au système de puissance réel à l’aide d’interface spécifiques dédiées à l’application ciblée.

### 1.5.4 Choix technologique pour l’implantation du contrôle et de la détection de défaut

Dans cette section, nous allons développer plus en détail le choix d’une implantation conjointe dSPACE/FPGA pour le contrôle et la détection de défaut du système éolien “fault tolerant” avec redondance, basé sur une MADA. Le système de puissance concerné a été présenté à la Figure 1-1. La Figure 1-16 présente le principe de l’implantation matérielle choisie pour ce contrôle à tolérance de pannes.

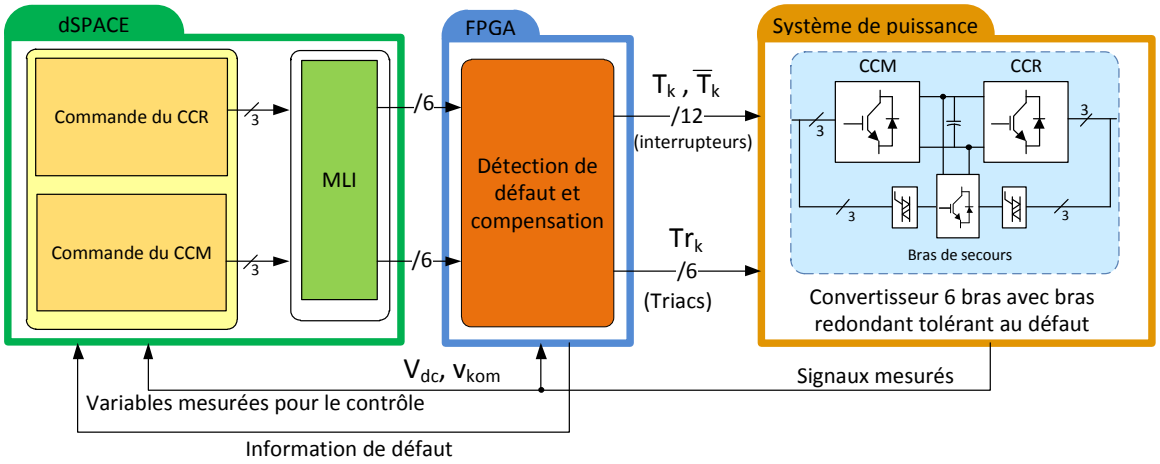



Figure 1-16 : Implantation matérielle du contrôle à tolérance de pannes pour système éolien avec redondance basé sur une MADA.

Comme nous l'avons précisé auparavant, le contrôle numérique du système de puissance peut être matériellement assuré par un FPGA, un système dSPACE, un DSP où un Microcontrôleur. Dans ce chapitre, nous proposons d'implanter le contrôle à l'aide d'un système dSPACE. dSPACE est en effet un contrôleur puissant, particulièrement adapté au prototypage rapide car il permet de réaliser visuellement la programmation du contrôleur dans l'environnement Matlab/Simulink. Davantage de détails sur cette approche matérielle seront fournis à la section 1.6.4. En revanche, sachant que la surveillance du système pour la détection de défaut doit être impérativement effectuée en parallèle avec les autres tâches, un composant FPGA s'impose naturellement pour la détection de défaut (voir section 1.5.2 : "Choix de la cible numérique").

Les signaux nécessaires au contrôle sont mesurés et envoyés à dSPACE. Dans un premier temps, les tensions de référence pour les deux convertisseurs (CCM et CCR) sont calculées au niveau du système dSPACE. Ensuite, à l'aide du générateur de signaux MLI intégré à dSPACE, les ordres de commande sont alors générés et donc disponibles en sortie de la carte I/O de dSPACE. Ces signaux transitent par la carte FPGA, qui est chargée de la détection et de la compensation de défaut. Lors d'un mode de fonctionnement sans défaillance, le bloc de détection et de compensation de défaut impose directement les ordres de commande des interrupteurs, reçus de dSPACE, au CCM et au CCR. Dans le cas où apparait un défaut dans un interrupteur d'un des deux convertisseurs, l'algorithme de détection et de compensation de défaut identifie en temps réel l'interrupteur défaillant. Les deux ordres de commande des interrupteurs du bras défaillant sont alors mis à '0' immédiatement. Ensuite, le triac correspondant est mis en conduction et les ordres de commande du bras défaillant sont appliqués au bras de secours. Etant donné que les topologies des convertisseurs CCM et CCR après compensation du défaut sont identiques à celles avant apparition du défaut, les contrôles de ces deux convertisseurs restent inchangés après détection du défaut. Néanmoins, un signal contenant l'information de défaut sera envoyé au système dSPACE. Ainsi, le système éolien reste opérationnel et garantit un fonctionnement nominal.

## 1.6 Validation du système éolien "fault tolerant" avec redondance basé sur une MADA

Dans cette section, nous indiquerons dans un premier temps les paramètres du système éolien étudié. Ensuite, la méthodologie de prototypage détaillée à la section 1.5.3 sera mise en application : les résultats issus des modélisations/simulations, puis les résultats obtenus par prototypage "FPGA in the Loop" seront présentés. Enfin, la dernière partie sera consacrée aux résultats expérimentaux obtenus sur le banc de test expérimental mis en place au laboratoire lors de ces travaux de thèse.

### 1.6.1 Paramètres du système éolien

Les différents paramètres électriques du système éolien étudié sont présentés dans le Tableau 1-3. Ils sont identiques aux paramètres utilisés par Monsieur Arnaud GAILLARD lors de sa thèse [Gaillard2010].

Tableau 1-3 : Paramètres du système éolien étudié.

| Eléments du système | Paramètres |
|---|---|
| MADA | $U_r = U_s = 690\ V$<br>$P_n = 3\ MW,\ \ f = 50\ Hz,\ \ p = 2,\ \ \frac{N_r}{N_s} \approx 1$<br>$R_s = 2{,}97\ m\Omega,\qquad R_r = 3{,}82\ m\Omega$<br>$L_s = 12{,}241\ mH\ ,\qquad L_r = 12{,}177\ mH$<br>$L_m = 12{,}12\ mH,\ \ J_m = 114\ kg.m^2$ |
| Bus continu | $C = 38\ mF,\qquad V_{dc} = 1500\ V$ |
| Filtre côté CCR | $R_f = 0.075\ \Omega,\ \ L_f = 0.75\ mH$ |
| Réseau électrique | $U = 690\ V,\qquad f = 50\ Hz$ |

Pour les paramètres de la détection de défaut, nous avons choisi $N_t = 30\ et\ h = 40$. Le choix de $N_t$ est directement lié au temps nécessaire à la détection du défaut, proportionnellement à la période d'échantillonnage (ici égale à 1 µs). Ainsi, la durée minimale de détection du défaut sera de 30 µs. Cette durée minimale a été fixée conformément aux paramètres du banc d'essai expérimental. Ce choix sera justifié avec davantage de précision à la section 1.6.4.1. La valeur du paramètre "h", est choisie assez grande pour empêcher une fausse détection de défaut en raison du bruit ou des erreurs probables suite à la discrétisation.

### 1.6.2 Résultats de Modélisation/Simulation

Nous présentons ici les résultats de modélisation/simulation réalisée dans l'environnement Matlab. La MADA a été modélisée à l'aide de la toolbox SimPowerSystems et le contrôle des convertisseurs modélisé à l'aide de la toolbox Simulink.

### 1.6.2.1 Défaut de type circuit ouvert côté CCM

Dans un premier temps, nous avons jugé intéressant de montrer l'importance de la mise en œuvre de la détection de défaut et de la reconfiguration. Un défaut de type interrupteur ouvert a été simulé au niveau du CCM. Il faut mentionner que, comme expliqué précédemment à la section 1.4.1, un défaut de type court-circuit entraîne une situation similaire à celle d'un défaut de circuit ouvert, grâce aux fusibles rapides placés en série avec les interrupteurs. Pour cette raison, seul un défaut de type circuit ouvert sera étudié dans cette section et dans l'ensemble de ce mémoire. Le défaut est produit par la mise à '0' de l'ordre de commande de l'IGBT $S_3$. La Figure 1-17 présente les résultats de simulation obtenus dans ce cas. Le défaut a été appliqué à l'interrupteur $S_3$ du CCM à l'instant t=2,5s. Avant l'apparition du défaut, la MADA est correctement contrôlée : les puissances active et réactive (statorique et rotorique) suivent correctement leurs valeurs de référence et la tension du bus continu est stable. En revanche, après apparition du défaut, ces mêmes puissances ne sont plus correctement contrôlées et l'on peut noter des oscillations importantes tant au niveau des puissances statoriques qu'au niveau de la tension du bus continu.

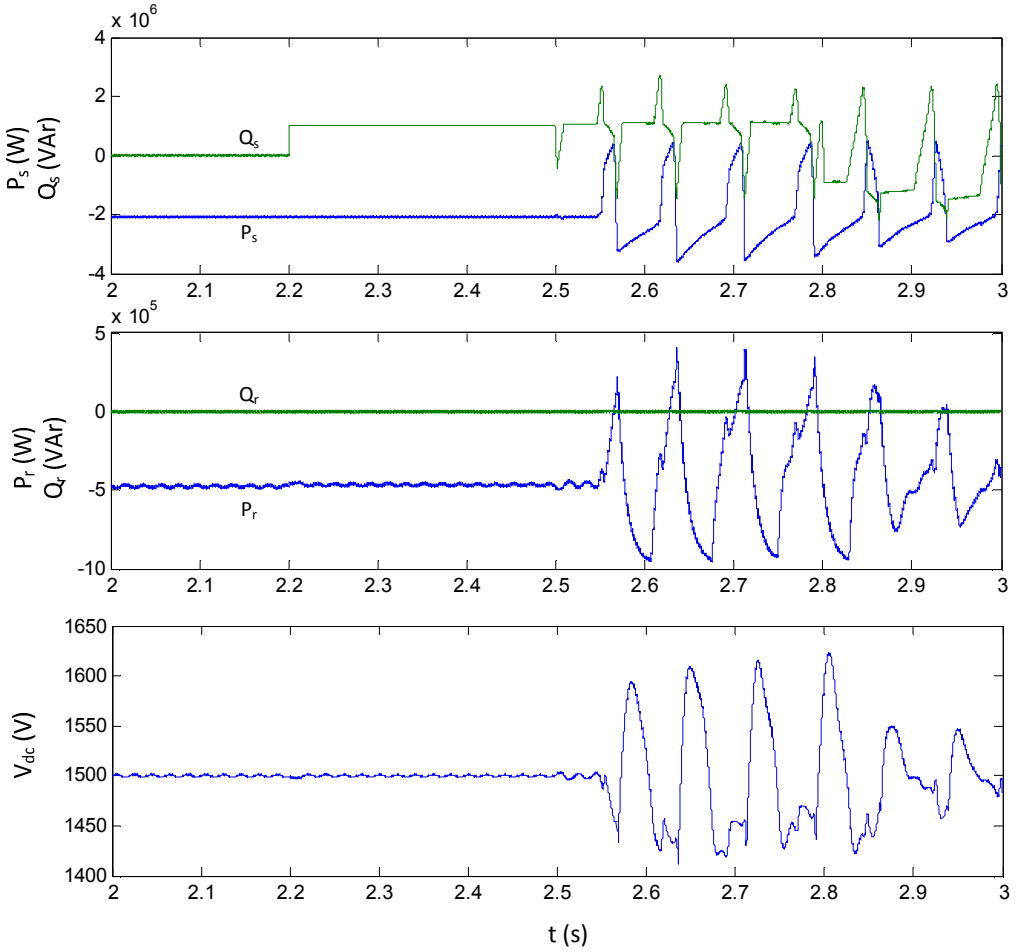



Figure 1-17 : Puissances actives et réactives statoriques, puis rotoriques et tension du bus continu lors d'un défaut circuit ouvert de $S_3$.

Lors du défaut étudié, les fortes variations de puissance qui en découlent ont des effets

indésirables et dangereux, tant sur la partie mécanique du système qu'au niveau de la qualité de l'énergie produite par le système éolien. Il s'avère donc nécessaire et justifié de détecter de tels défauts afin d'éviter ces effets néfastes. La Figure 1-18 présente les résultats de simulation obtenus dans les mêmes conditions de défaillance que celles simulées précédemment, mais avec détection de défaut et reconfiguration du convertisseur. Ici encore, un défaut de type circuit ouvert est appliqué à l'interrupteur $S_3$ à l'instant t=2,5s. Dans ce cas, le système éolien à tolérance de pannes peut effectivement continuer à fonctionner en mode nominal. Afin de valider la capacité du système reconfiguré à suivre ses références de puissance, un échelon est appliqué à l'instant t=2,8s au niveau de la référence de puissance réactive statorique. Les puissances active et réactive statoriques suivent effectivement leurs références après reconfiguration et il en est de même pour la tension du bus continu.

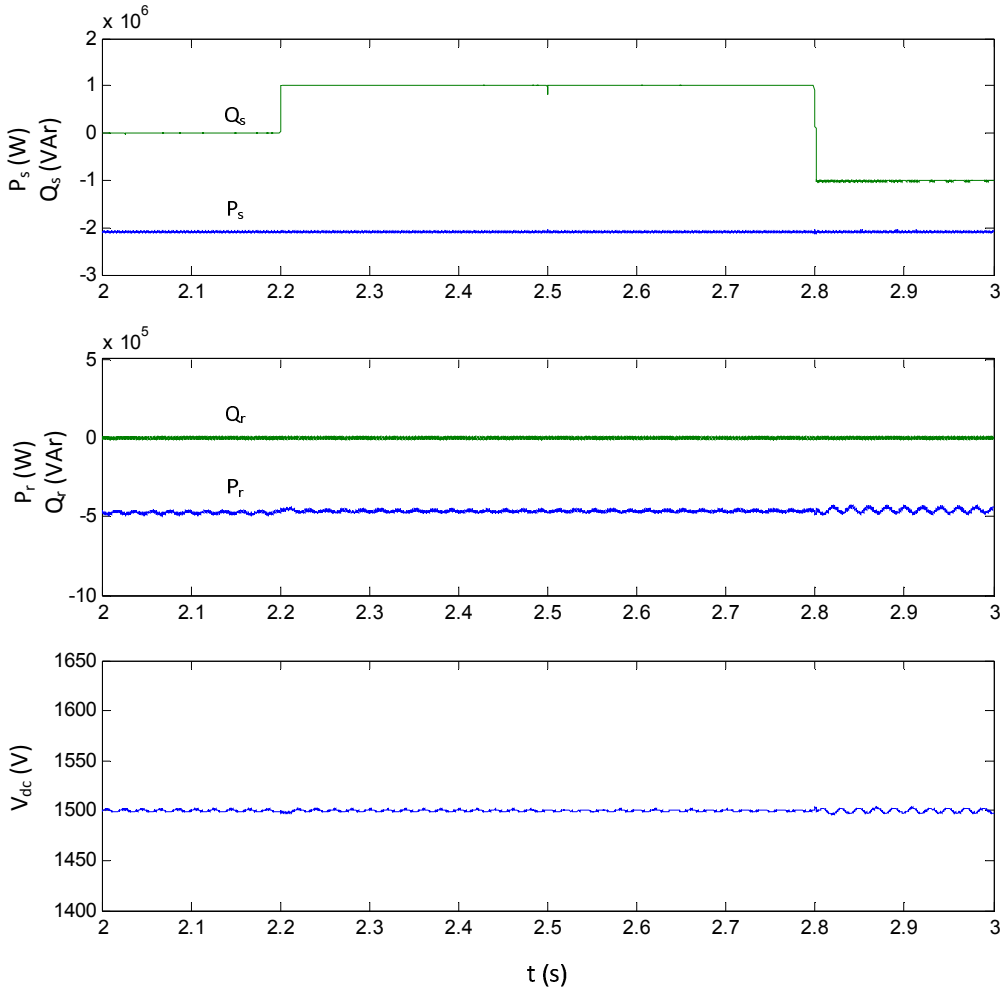



Figure 1-18 : Puissances active et réactive statoriques, puis rotoriques et tension du bus continu lors d'un défaut circuit ouvert de $S_3$ avec détection de défaut et reconfiguration.

Examinons maintenant plus en détail l'évolution temporelle des différentes grandeurs lors de la défaillance de l'interrupteur $S_3$ alors simulée. La Figure 1-19 représente l'ordre de commande de l'interrupteur $S_3$ et la tension de pôle mesurée $v_{c1o,m}$ lors d'un défaut de type circuit ouvert de $S_3$. En mode de fonctionnement normal, le signal d'erreur $c_{c1}$ entre

la tension de pôle mesurée $v_{c1om}$ et la tension de pôle estimée $v_{c1oes}$ présente des pics lors des commutations du bras 3 (Figure 1-20(a)). Ces variations sont à l'origine de pics de faibles amplitudes au niveau de la sortie $n_{c1}$ du compteur de l'algorithme de détection de défaut (Figure 1-20(b)). Cependant, le critère temporel de l'algorithme de détection de défaut permet de filtrer ces informations et de ne pas les interpréter comme l'apparition de défauts.
Lors de l'apparition réelle du défaut, on peut remarquer sur la Figure 1-20(a) que l'erreur de tension $c_{c1}$ perdure. Ainsi, si le convertisseur statique ne fonctionne plus correctement, le compteur peut atteindre la valeur $N_t$ et le défaut peut alors être détecté (Figure 1-20(b)).

Les courants statoriques et rotoriques de la MADA sont représentés à la Figure 1-21. On peut constater qu'ils ne sont pas affectés par l'apparition du défaut.

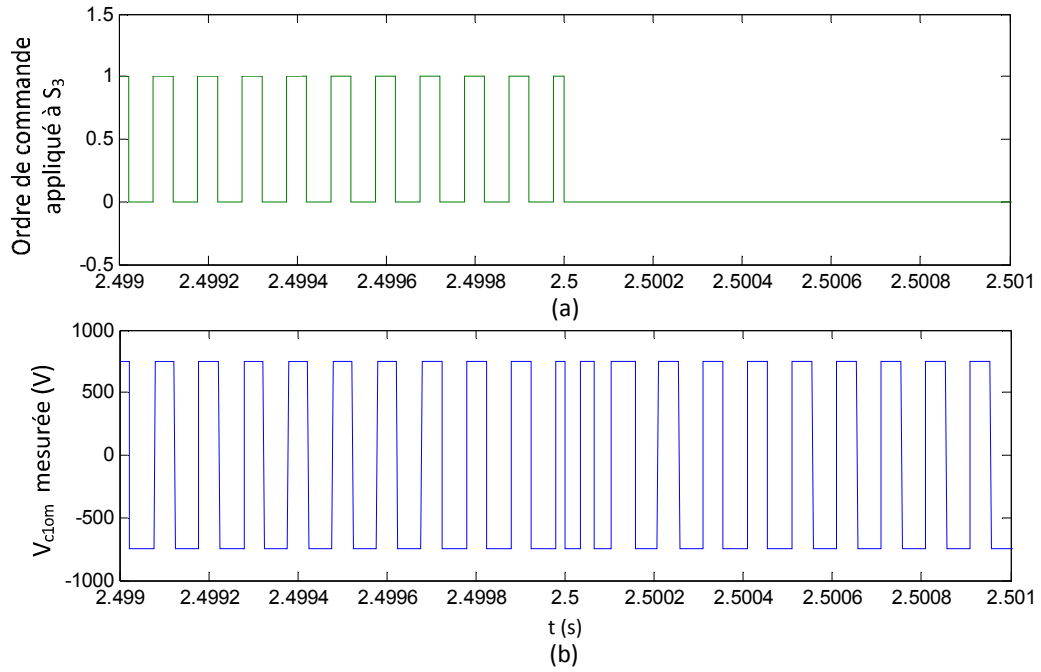



Figure 1-19 : (a) Ordre de commande de l'interrupteur $S_3$ (b) Tension de pôle mesurée $v_{c1om}$ lors d'un défaut de type circuit ouvert de $S_3$.

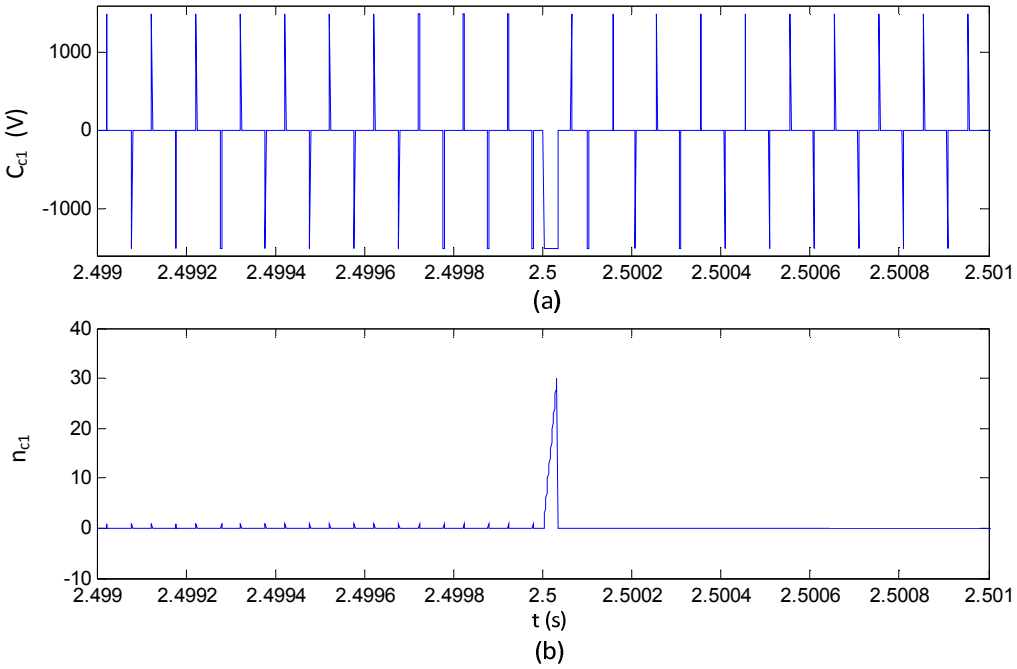



Figure 1-20 : (a) Signal d'erreur $c_{c1}$ entre tensions de pôle mesurée et estimée (b) Evolution du compteur temporel de l'algorithme de détection de défaut.

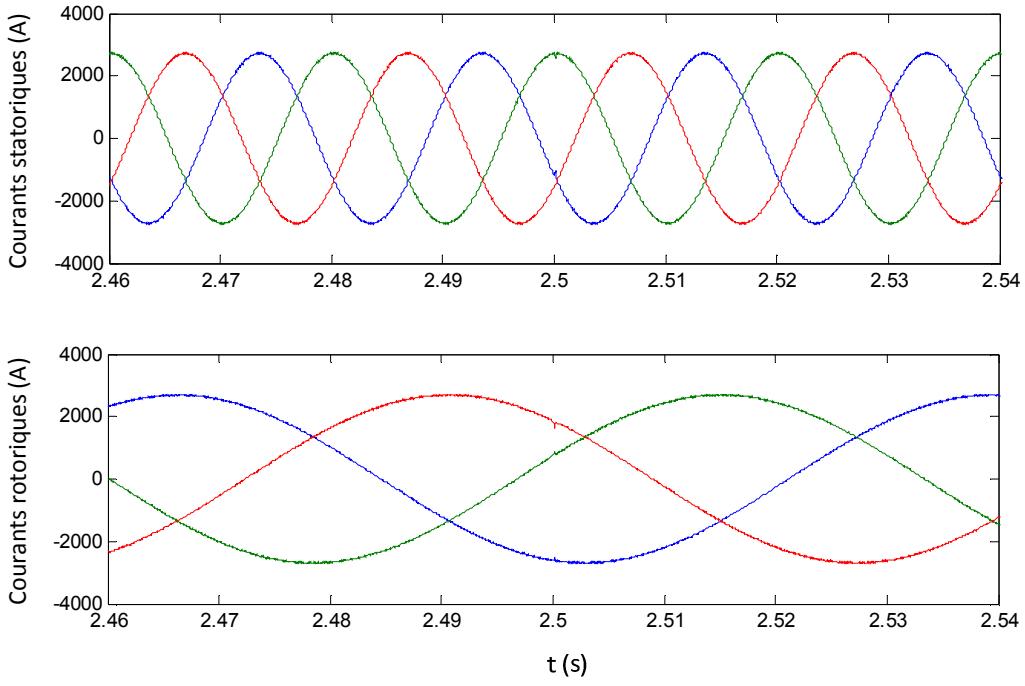



Figure 1-21 : Courants statoriques et rotoriques de la MADA.

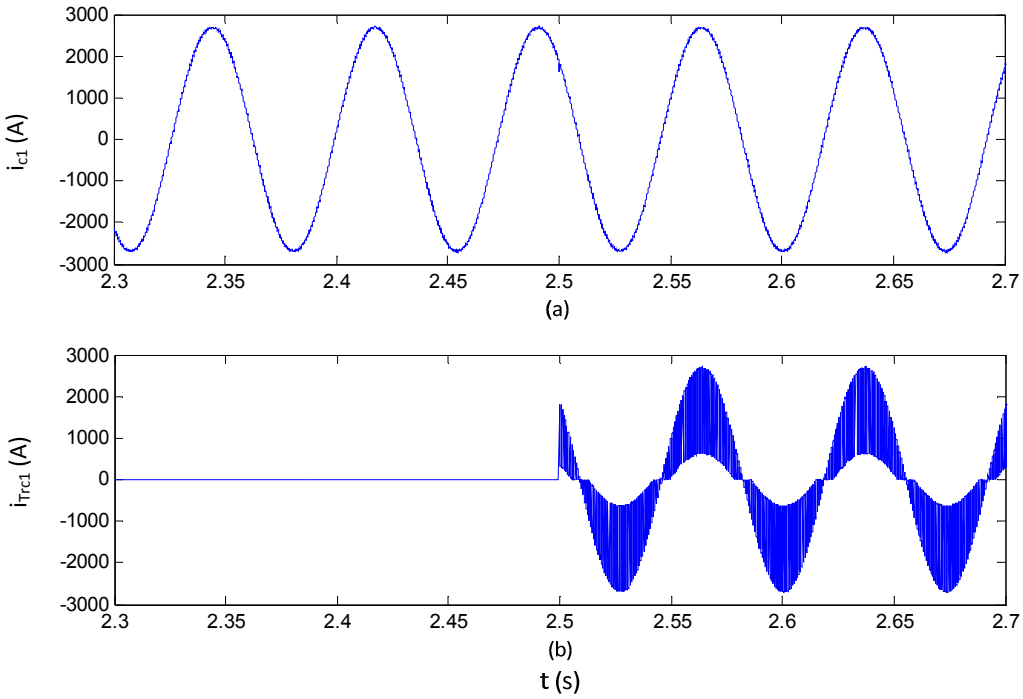



Figure 1-22 : (a) Courant de phase $i_{c1}$ côté CCM et (b) courant $i_{Trc1}$ à travers le triac $Tr_{c1}$.

Figure 1-22 présente le courant rotorique $i_{c1}$ et le courant $i_{Trc1}$ à travers le triac $Tr_{c1}$ (voir Figure 1-1). On peut noter qu'après reconfiguration du convertisseur statique, le courant $i_{c1}$ n'est pas identique au courant qui traverse $Tr_{c1}$ car les 2 diodes du bras "$c_1$" sont toujours opérationnelles et insérées dans le circuit.

En conclusion, concernant le CCM, les résultats présentés dans cette section démontrent la nécessité de détecter tout défaut d'un interrupteur et de reconfigurer le convertisseur. Après modélisation, nous avons également validé par simulation que le système éolien à tolérance de pannes continue effectivement à fonctionner en mode nominal après la défaillance d'un de ses interrupteurs.

### *1.6.2.2 Défaut de type circuit ouvert côté CCR*

Nous allons maintenant étudier l'effet d'un défaut de type circuit ouvert au niveau du CCR. Pour la même raison que lors de l'étude d'un défaut au niveau du CCM, nous avons choisi de présenter uniquement les résultats de simulation dans le cas d'un défaut de type circuit ouvert, appliqué maintenant à l'interrupteur $S_3'$ du bras $c_2$ l'instant t = 2,5 s. Sans détection et compensation du défaut, on obtient également de fortes oscillations au niveau des puissances active et réactive du CCR (Figure 1-23). Selon le point de fonctionnement lors de l'apparition du défaut, la commande du CCR peut ne plus être capable de contrôler la tension du bus continu, comme cela est illustré par la Figure 1-23. On peut également noter le fort déséquilibre des courants du CCR.

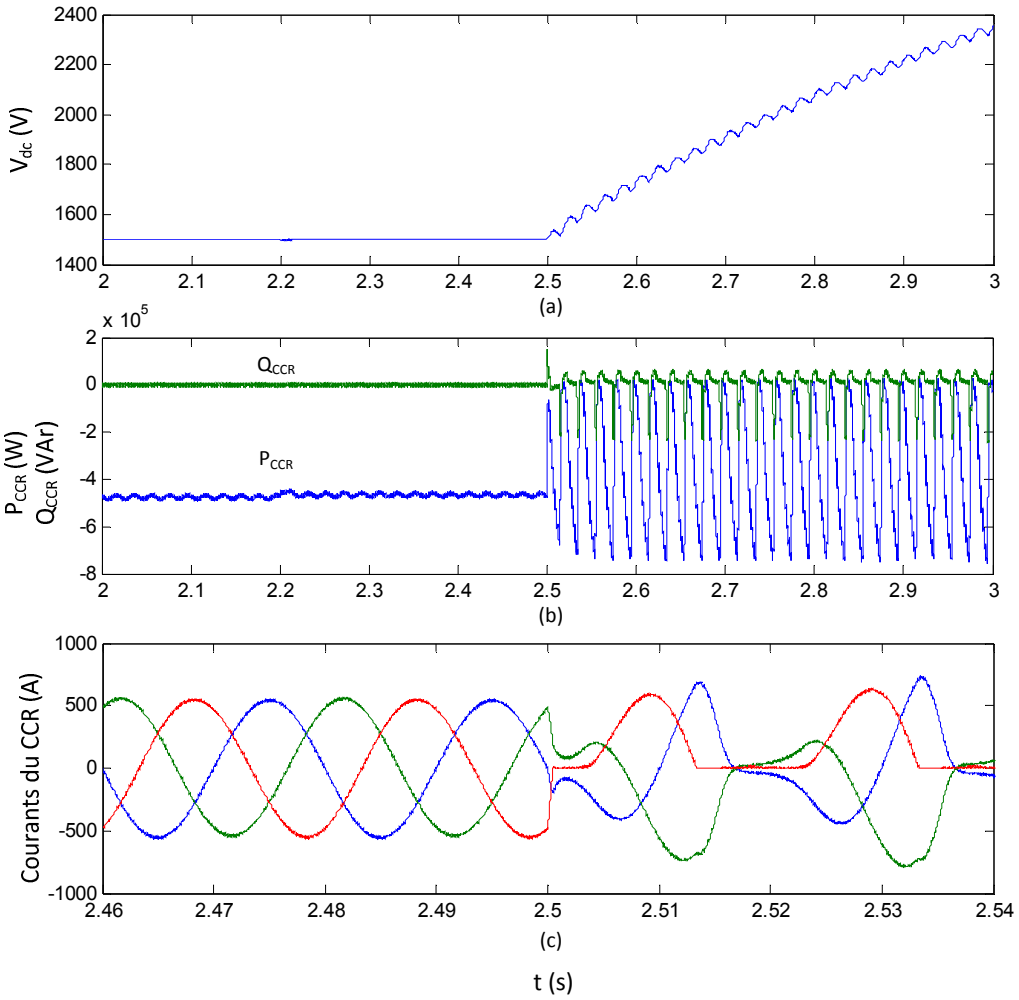



Figure 1-23 : Défaut "circuit ouvert" de $S_3'$ au niveau du CCR, sans détection de défaut ni reconfiguration : (a) tension du bus continu ($V_{dc}$) ; (b) Puissances active et réactive du CCR vues du réseau, (c) Courants en sortie du CCR.

Les figures 1-24 à 1-26 présentent les résultats de simulation obtenus lorsque la détection de défaut et la reconfiguration du convertisseur sont activées. Comme précédemment, un défaut de type circuit ouvert est appliqué à $S_3'$ à l'instant t = 2,5 s. Après détection de défaut, le remplacement du bras défaillant par le bras redondant permet de conserver une topologie de convertisseur statique identique : la continuité de service du système éolien est effectivement assurée. Après défaut, la tension du bus continu et les puissances active et réactive du CCR sont correctement contrôlées ; les courants de phase du CCR restent sinusoïdaux et équilibrés.

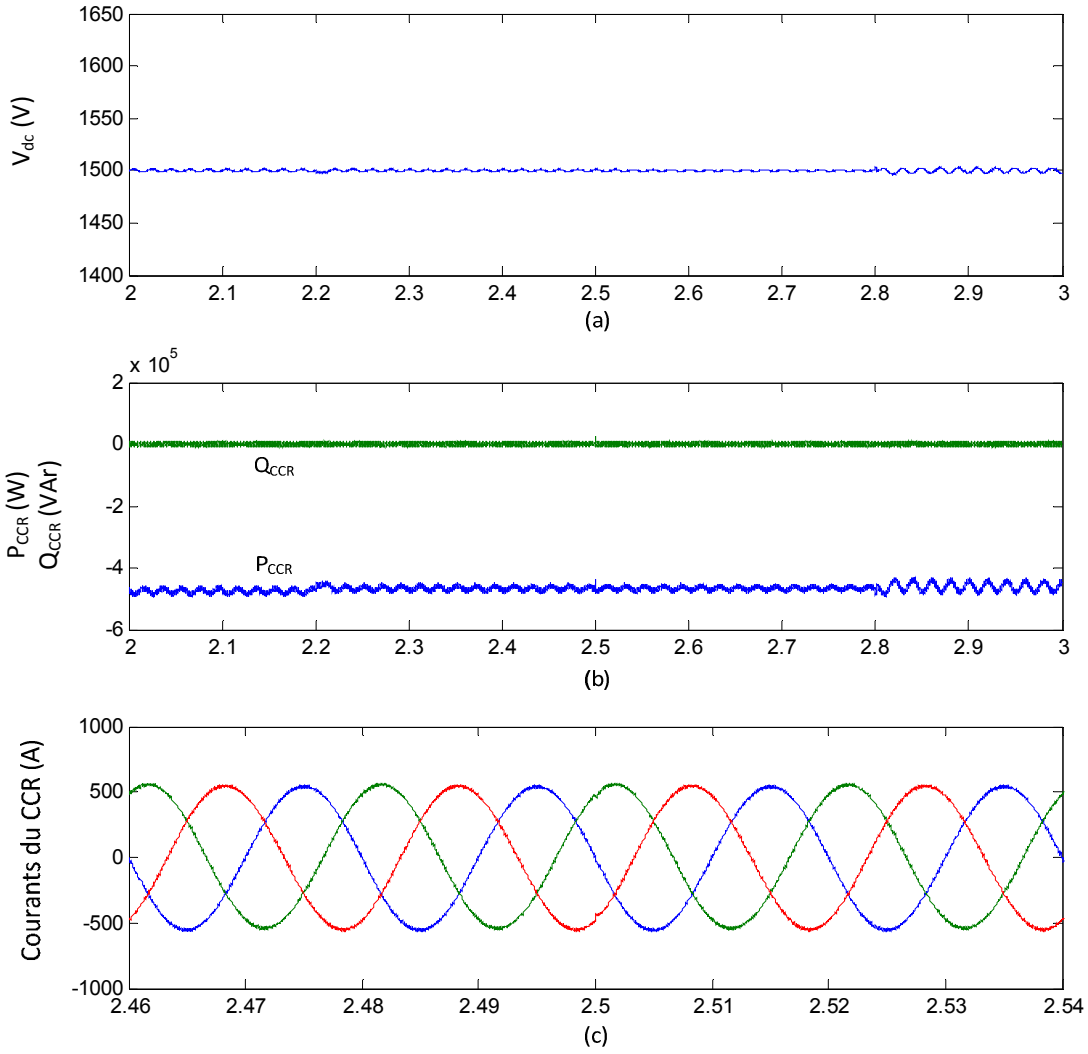



Figure 1-24 : Défaut “circuit ouvert” au niveau du CCR, avec détection de défaut et reconfiguration : (a) tension du bus continu ($V_{dc}$) ; (b) Puissances active et réactive du CCR vues du réseau ; (c) Courants en sortie du CCR.

Les signaux liés à la détection de défaut sont également présentés à la Figure 1-25. La détection de défaut est rapide et immédiate, conformément au seuil $N_t$ fixé. On retrouve ici encore des pics de faibles amplitudes au niveau de la sortie $c_{c2}$ du compteur de l’algorithme de détection de défaut; quant à leur interprétation, ces pics sont filtrés par le critère temporel de la méthode de détection. La Figure 1-26 représente le courant $i_{c2}$ et le courant $i_{Trc2}$ à travers le triac $Tr_{c2}$ (voir Figure 1-1).

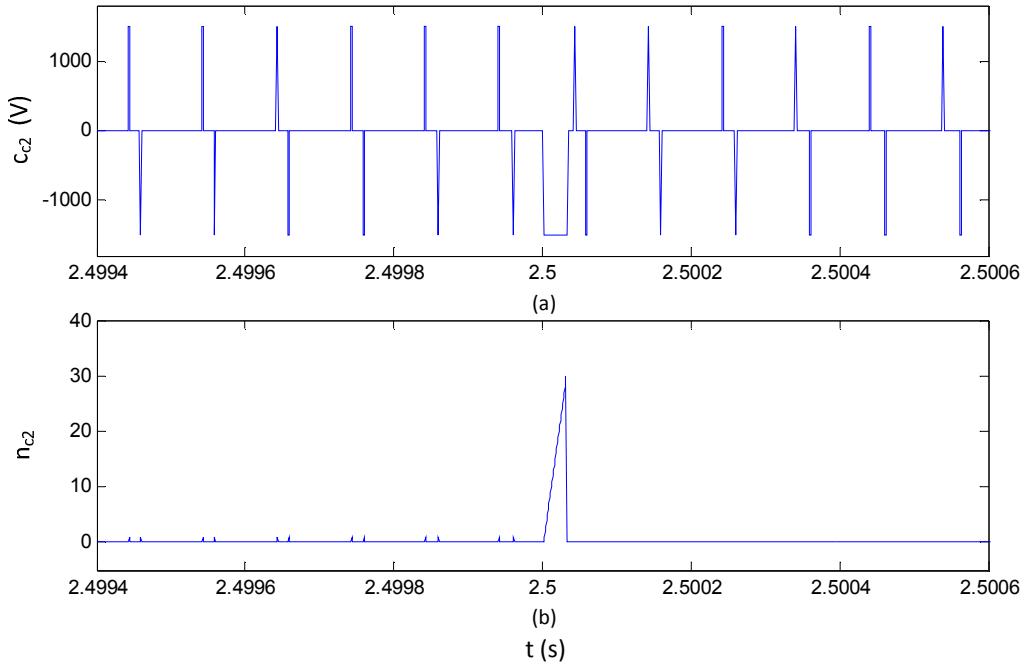



Figure 1-25 : Défaut "circuit ouvert" au niveau du CCR, avec détection de défaut et reconfiguration : (a) Signal d'erreur $c_{c2}$ entre tensions de pôle mesurée et estimée et (b) Evolution du compteur temporel de l'algorithme de détection de défaut.

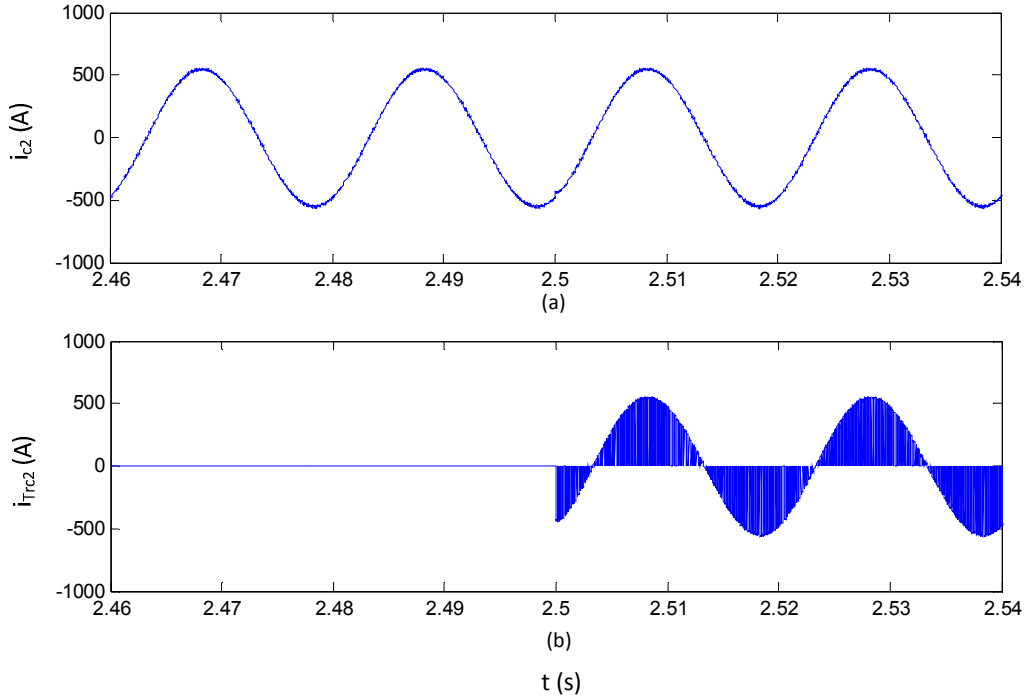



Figure 1-26 : Défaut "circuit ouvert" au niveau du CCR, avec détection de défaut et reconfiguration : (a) Courant de phase $i_{c2}$ côté CCM (b) Courant $i_{Trc2}$ à travers le triac $Tr_{c2}$.

Ici encore, au niveau du CCR, il est important de détecter la défaillance d'un interrupteur puis reconfigurer le convertisseur. Après modélisation, nous avons également

validé par simulation que le système éolien à tolérance de pannes continue effectivement à fonctionner en mode nominal après la défaillance de l'un de ses interrupteurs.

### 1.6.3 Prototypage "FPGA in the Loop"

Cette section est dédiée au prototypage "FPGA in the Loop" lors de l'implantation numérique de la détection de défaut sur cible FPGA de la famille ALTERA. Pour réaliser les tests, une carte de développement Stratix DSP S80 est mise en œuvre. Elle comprend les éléments suivants :

- un composant FPGA Stratix EP1S80B956C6,
- deux convertisseurs A/N 12-bits, 125 MHz,
- deux convertisseurs N/A 14-bits, 165 MHz,
- une mémoire flash de 64 Mbits,
- deux mémoires SRAM 256 K×36 bits,
- un oscillateur à quartz de fréquence 80 MHz,
- deux connecteurs d'entrées/sorties numériques de 60 pins chacun,
- un connecteur JTAG,
- trois boutons-poussoirs,
- un bloc de huit interrupteurs positionnables par l'utilisateur,
- deux diodes électroluminescentes.

Quant à lui, le composant FPGA Stratix EP1S80 comprend :

- 79 040 éléments logiques,
- 7 427 520 bits de RAM,
- 12 PLLs reconfigurables,
- 679 pins d'entrées/sorties.

Pour ce prototypage, le pas de simulation fixé dans l'environnement Matlab et la période d'échantillonnage sont tous deux égaux à 1µs.

Les résultats HIL sont maintenant présentés. De même que précédemment, un défaut de type circuit ouvert est généré au niveau de l'interrupteur $S_3$ du CCM, par la mise à '0' de son ordre de commande à l'instant t=2,5 s. La Figure 1-27 présente les puissances active et réactive statoriques avant et après apparition du défaut alors que la Figure 1-28 représente la tension $V_{dc}$ du bus continu. On retrouve des résultats conformes à ceux obtenus par simulation à la section 1.6.2.1; ces trois grandeurs ne sont pas affectées par le défaut.

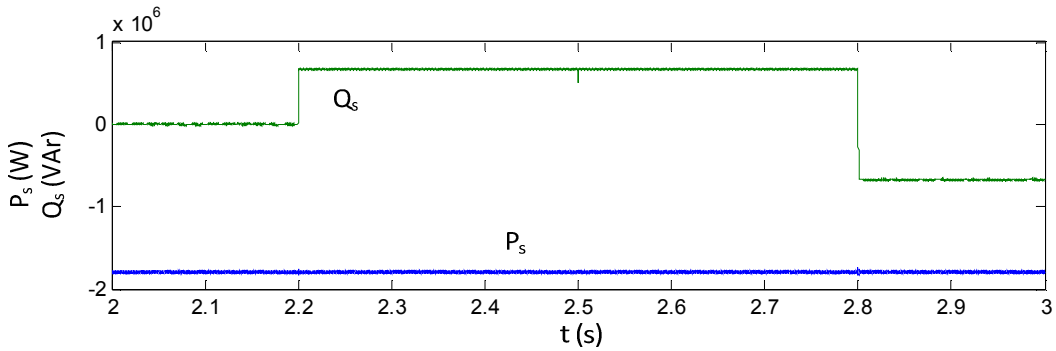



Figure 1-27 : Prototypage "FPGA in the Loop" : Puissances active et réactive statoriques pour un défaut "circuit ouvert" au niveau du CCM.

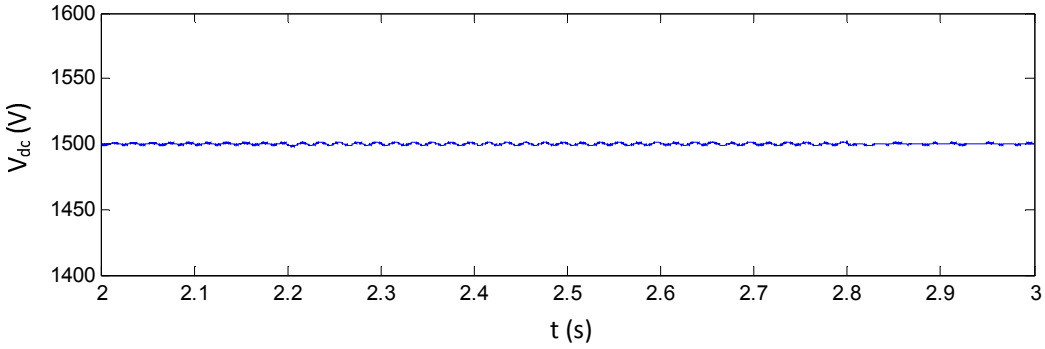



Figure 1-28 : Prototypage "FPGA in the Loop" : Tension $V_{dc}$ aux bornes du bus continu pour un défaut "circuit ouvert" au niveau du CCM.

Les ordres de commande appliqués à l'interrupteur $S_3$ sont présentés à la Figure 1-29. Le défaut de type circuit ouvert est généré à l'instant t = 2,5 s par la mise à '0' de l'ordre de commande de $S_3$. Sur la Figure 1-30, on peut voir l'évolution du compteur temporel de l'algorithme de détection de défaut. Ce compteur est incrémenté dès l'apparition du défaut, jusqu'à l'instant où $N_t = 30$, instant pour lequel l'augmentation de $N_t$ conduit effectivement à la détection du défaut.

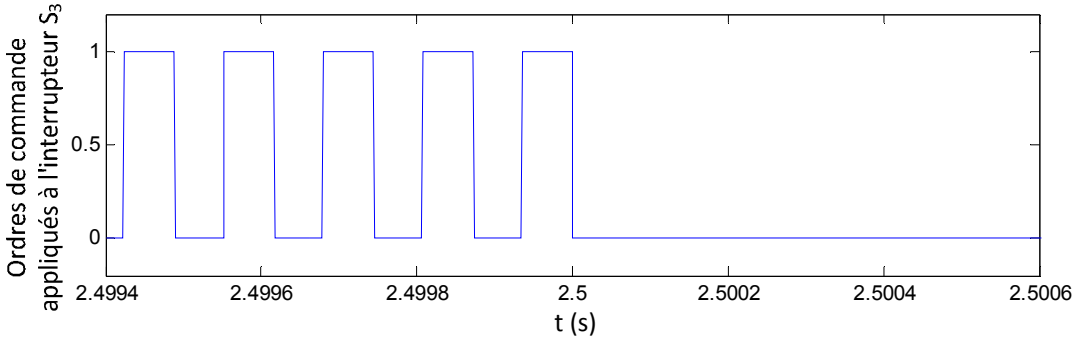



Figure 1-29 : Prototypage "FPGA in the Loop" : Ordres de commande appliqués à l'interrupteur $S_3$.

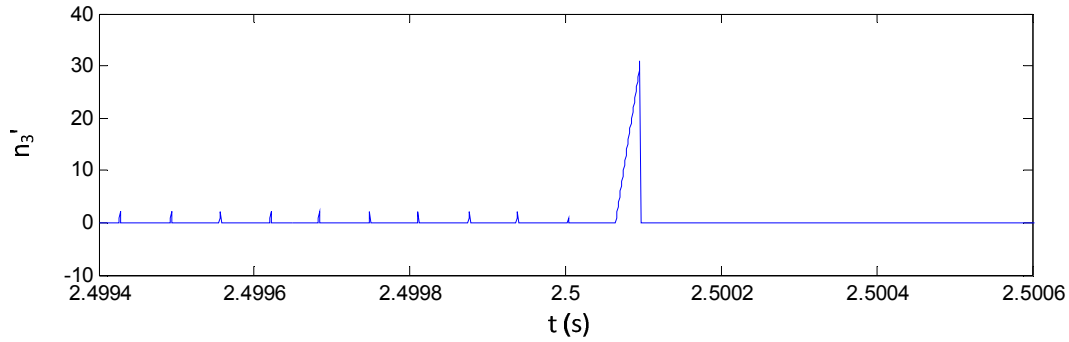



Figure 1-30 : Prototypage “FPGA in the Loop” : Evolution du compteur temporel de l’algorithme de détection de défaut.

Les courants rotoriques et statoriques sont respectivement tracés au niveau des Figures 1-31 et 1-32. La Figure 1-33 présente les évolutions temporelles du courant à travers le triac et celle du courant de la phase $c_1$, avant et après l’apparition du défaut. Ces résultats obtenus par prototypages “FPGA in the Loop” permettent de valider l’implantation réalisée sur cible FPGA.

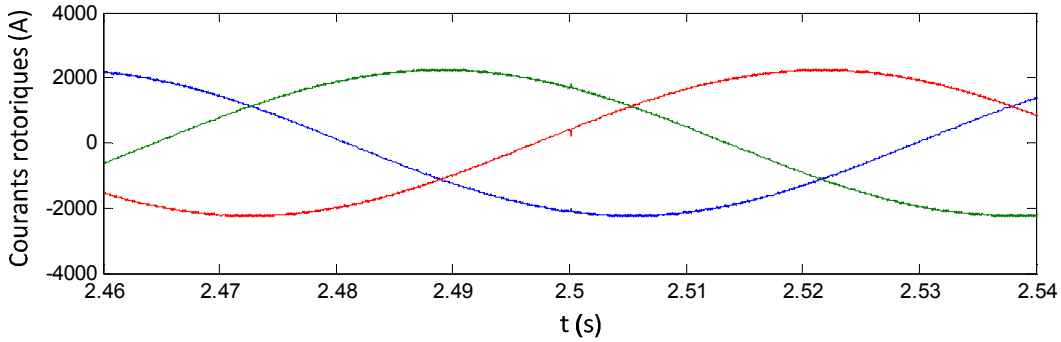



Figure 1-31 : Prototypage “FPGA in the Loop” : Evolution temporelle des courants rotoriques.

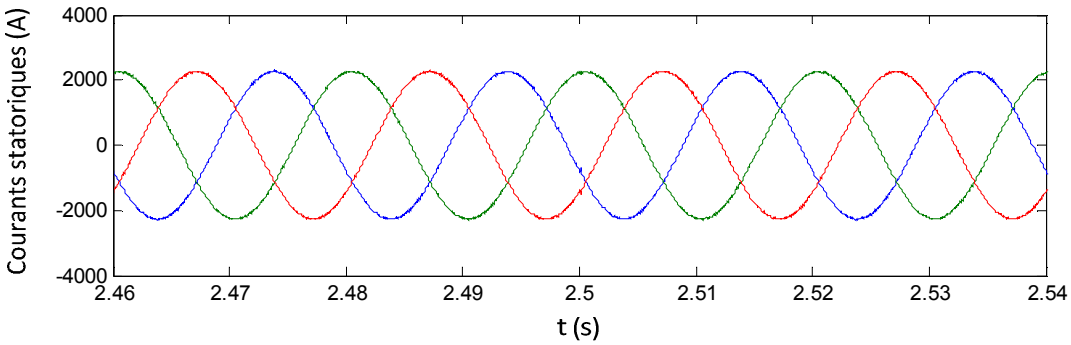



Figure 1-32 : Prototypage “FPGA in the Loop” : Evolution temporelle des courants statoriques.

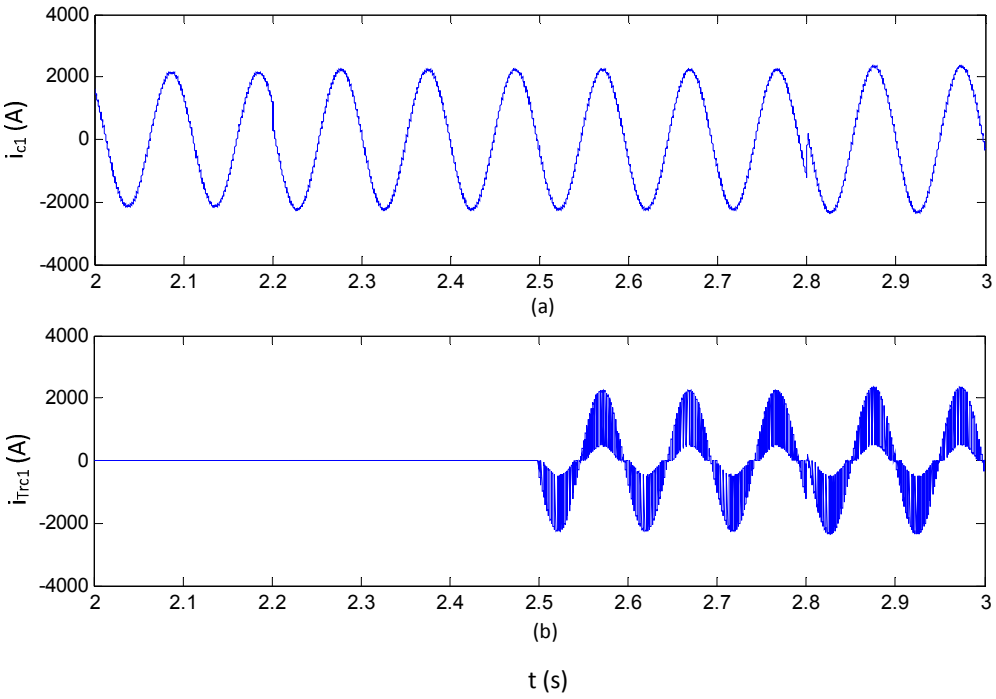



Figure 1-33 : Prototypage "FPGA in the Loop", Défaut "circuit ouvert" au niveau du CCM : Evolution temporelle du courant à travers le triac $Tr_{c1}$ et du courant de la phase $c_1$ : (a) Courant de phase $i_{c1}$ côté CCM (b) Courant $i_{Trc1}$ à travers le triac $Tr_{c1}$.

Après avoir validé l'implantation numérique sur cible FPGA de la détection de défaut et de la reconfiguration du convertisseur, nous pouvons maintenant envisager de valider notre carte de développement sur un banc de test entièrement expérimental. Dans la suite, ce banc est décrit et les résultats expérimentaux obtenus seront présentés.

### 1.6.4 Validation expérimentale

#### *1.6.4.1 Banc de test expérimental*

Un banc de test expérimental a été mis en œuvre lors de ces travaux de thèse. Il est important de mentionner ici que notre étude portant sur la détection de défaut et la reconfiguration du convertisseur ne dépend ni du point de fonctionnement, ni de la puissance du système. Pour cette raison, nous pouvons objectivement avoir recours à un banc de test de faible ou moyenne puissance pour la validation expérimentale de nos travaux. On peut voir une photographie du banc à la Figure 1-34. Ce banc comprend une MADA d'une puissance nominale de 3 kW, couplée mécaniquement à une machine à courant continu. Cette machine à courant continu est pilotée de manière à émuler le comportement de la partie mécanique du système éolien et entrainer le rotor de la MADA.

Deux convertisseurs triphasés AC/DC à IGBT sont utilisés pour réaliser le convertisseur 6 bras avec redondance. L'un de ces convertisseurs comporte donc le bras

redondant, destiné à remplacer le bras défaillant suite à la détection d'un défaut d'un des interrupteurs. Les convertisseurs sont conçus à partir de modules à IGBT commercialisés par la société SEMIKRON (référence SKM50GB123D). Ces IGBTs sont pilotés par des drivers de référence SKHI 22A, distribués également par la société SEMIKRON. La capacité du bus continu est égale à 2200µF. Un filtre RL comprenant une inductance de 3 mH et une résistance de 0,4 Ω est connecté entre le CCR et le réseau.

Pour ces essais expérimentaux, la carte FPGA est utilisée pour la détection de défaut et la reconfiguration du convertisseur alors que le contrôle des convertisseurs est effectué à l'aide d'un système dSPACE. Ainsi, ce système dSPACE assure le contrôle de la tension du bus continu, le contrôle des courants du CCR ainsi que celui des puissances active et réactive du stator, en générant par MLI les ordres de commande appropriés. La période d'échantillonnage de l'algorithme de détection de défaut implanté sur FPGA est égale à 1µs. La période d'échantillonnage pour le système dSPACE est égale à 100µs ; la période de commutation des interrupteurs est donc également de 100µs. Les mesures de tensions nécessaires au contrôle sont réalisées par des capteurs CV3-1200, commercialisés par la société LEM. Les courants sont mesurés par des capteurs de courant de type PR30, commercialisés par la société LEM.

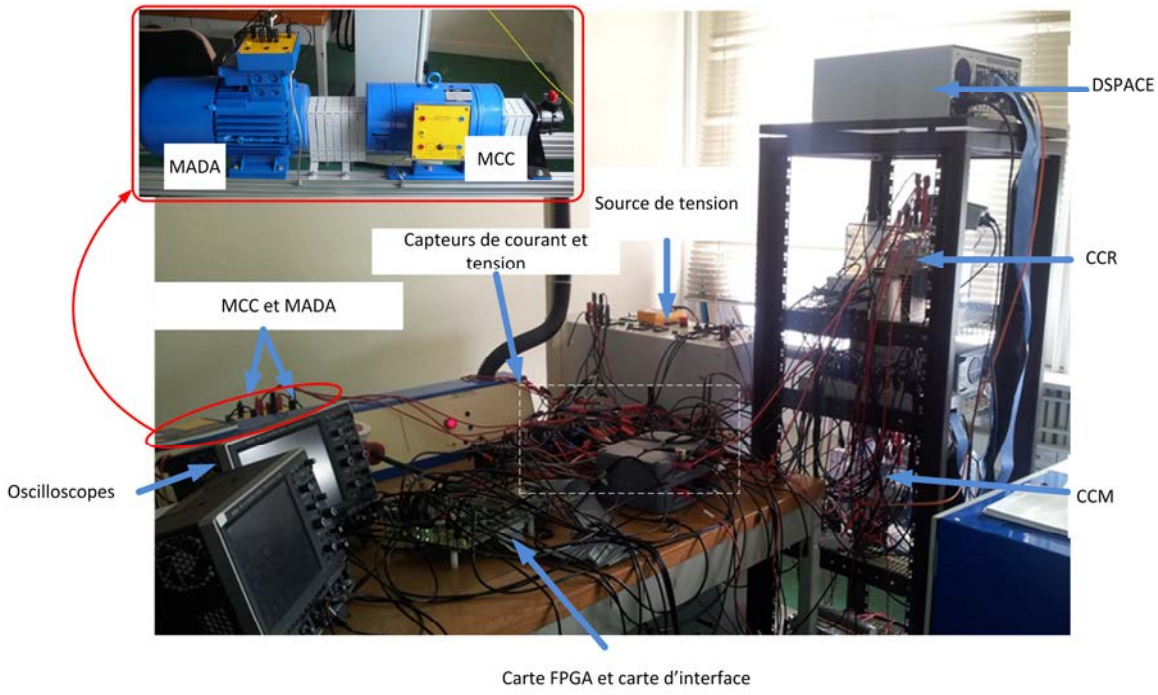



Figure 1-34 : Banc de test expérimental.

Lors de précédents travaux de thèse, des cartes d'interface ont déjà été réalisées dans notre équipe de recherche. La Figure 1-35 (a) représente la carte d'interface utilisée pour convertir les signaux analogiques, issus des mesures de tensions et de courants, en signaux numériques et également adapter les niveaux de tension pour les rendre compatibles avec ceux exigés par la carte FPGA. Cette carte intègre notamment 6 CANs au format 12 bits, de type ADS7810U de la société Analog Devices. Le temps de

conversion de ces CAN est égal à 1,25 µs et la plage de tension d'entrée analogique est de ± 10V. Des composants SN74HC174N sont utilisés afin de mémoriser les états logiques des sorties des CANs durant la conversion.

Des composants ULN2003 de chez STMicroelectronics sont utilisés au niveau de la carte présentée à la Figure 1-35(b) ; cette carte permet d'amplifier de 5V à 15V le niveau de tension des sorties du module MLI du système dSPACE, pour le rendre compatible avec celui des drivers des IGBTs.

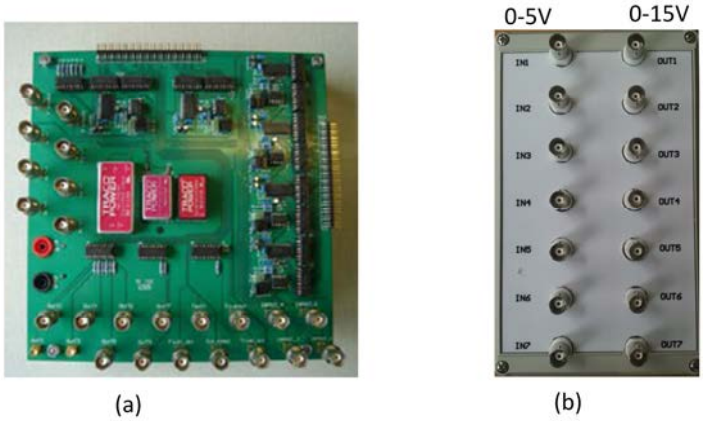



Figure 1-35 : (a) Carte d'interface entre les mesures des grandeurs électriques et la carte FPGA, (b) Carte d'interface entre la sortie MLI de dSPACE et les drivers des IGBTs.

Le choix du temps minimal de détection du défaut est fixé par le paramètre $N_t$. Il est directement lié aux performances temporelles des éléments de la chaîne instrumentale (capteur de tension, CAN, FPGA, convertisseur statique, ….). Le Tableau 1-4 rassemble le retard maximum introduit par chaque composant de cette chaîne. Afin d'éviter toute fausse détection de défaut, le seuil temporel $N_t$, utilisé dans la méthode de détection de défaut (voir Figure 1-11), doit être choisi supérieur au retard maximum total évalué dans le Tableau 1-4. Nous avons alors choisi la valeur du $N_t$ égale à 30 (correspondant à 30 µs), dans toutes les simulations, pour tous les tests HIL et les tests expérimentaux.

Tableau 1-4 : Retard maximum introduit par chaque composant placé entre les convertisseurs et le FPGA

| Composants | Origine du retard | Temps de retard (ns) |
|---|---|---|
| Adaptateur de tension ULN2003 | Délai E /S | 1000 |
| Driver SKHI 22A | Temps mort<br>Temps de propagation | 4300<br>1150 |
| Module IGBT, SKM50GB123D | Délai de fermeture (130 ns)<br>Délai d'ouverture (445 ns) | 445 |
| Capteur de tension CV 3-1200 | Temps de retard<br>Temps de montée | 300<br>700 |
| Amplificateur opérationnel AMP02E | Temps de montée | 1458 |
| Convertisseur ADS7810U | Temps maximal entre deux conversions | 1400 |

| | | |
|---|---|---|
| Bascule SN74HC174N | Délai E/S | 1000 |
| FPGA EP1S80B956C6 | Période d'échantillonnage | 1000 |
| | | Total=12753 |

Comme indiqué précédemment, le contrôle des convertisseurs est effectué à l'aide d'un système dSPACE. La Figure 1-36 présente une vue externe du système dSPACE utilisé, contenant notamment une carte de contrôle, référencée DS1005 ainsi qu'une carte DS2004 pour la conversion analogique-numérique haute résolution (16 bit- 0,8 µs) et une carte MLI référencée DS5101 à 12 sorties. Les principaux composants de ce système de contrôle dSPACE sont les suivants :

- un Processeur : PowerPC 750 GX à 1 GHz ;
- 16 entrées analogiques avec CAN 16 bits, 0,8 µs temps de conversion ;
- 6 sorties avec CNA 16 bits, 1.6 µs temps de règlement ;
- 12 sorties MLI triphasées, utilisées lors de nos essais pour le contrôle des 2 convertisseurs triphasés à IGBTs.

Ce système dSPACE est paramétrable au sein de l'environnement Controldesk.




Figure 1-36 : (a) Vue externe du système dSPACE, (b) Boitier d'interfaçage.

La mise en œuvre de la carte DS1005 est basée sur la modélisation de l'algorithme de contrôle, réalisée dans l'environnement Matlab avec des blocs classiques de la toolbox Simulink. Cette compatibilité directe et automatisée avec la modélisation sous Matlab rend son utilisation aisée et efficace. A l'aide de la fonction "incremental build" dans Matlab, cette modélisation sera traduite pour générer un code C. Ce code C sera à son tour compilé pour générer un exécutable, alors téléchargé sur la carte DS1005. De plus, au niveau de l'interface Controldesk, l'utilisateur peut créer et personnaliser une interface graphique. A l'aide de cette interface graphique, on peut alors visualiser sur l'écran le processus en cours, mais aussi apporter des modifications au système de contrôle lors de son fonctionnement [Malinowski2001], [Poitiers2003]. La Figure 1-37 représente l'environnement Controldesk et l'interface graphique réalisée. Sur cette figure, on peut voir les grandeurs de contrôle (références de puissances active et réactive, commande marche/arrêt, …) ainsi que l'évolution temporelle des signaux mesurés ou calculés (oscilloscopes).

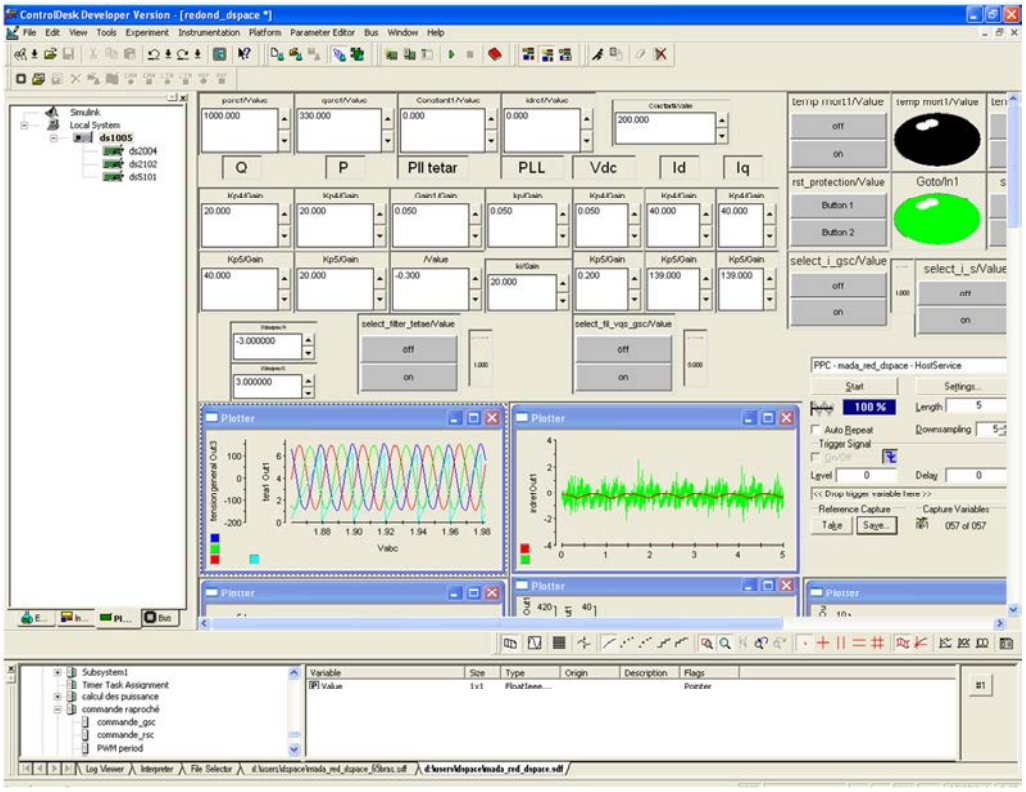



Figure 1-37 : Environnement Controldesk et interface graphique.

#### 1.6.4.1.1 Paramètres du banc de test expérimental

Les paramètres du banc de test expérimental sont consignés dans le Tableau 1-5. Les paramètres de la MADA et de la MCC ont été identifiés par Monsieur Florent BECKER, lors de son stage recherche de Master, effectué en 2011 au laboratoire.

Tableau 1-5 : Paramètres du banc de test expérimental.

| Système | Paramètres |
|---|---|
| MADA | $U_r = U_s = 200\ V$<br>$P_n = 3\ kW,\ \ f = 50\ Hz,\ \ p = 2,\ \ \frac{N_r}{N_s} \approx 0{,}385$<br>$R_s = 1{,}68\ \Omega,\qquad R_r = 0{,}39\ \Omega$<br>$L_s = 0{,}309\ H\ ,\qquad L_r = 0{,}0368\ H$<br>$L_m = 0{,}294\ H,$ |
| MCC | $P_n = 3\ kW,\ R_a = 1.23\ \Omega, L_a = 0.008\ H$ |
| Bus continu | $C = 2.2\ mF,\qquad V_{dc} = 400\ V$ |
| Filtre côté CCR | $R_f = 0.4\ \Omega,\ \ L_f = 3\ mH$ |
| Réseau électrique | $U = 200\ V,\qquad f = 50\ Hz$ |

### *1.6.4.2 Résultats Expérimentaux*

#### 1.6.4.2.1 Fonctionnement en mode sans défaillance

Tout d'abord, nous avons validé en mode sans défaillance le contrôle du système éolien sur le banc de test. En effet, le but de ces premiers essais est de valider le contrôle des puissances active et réactive et celui de la tension du bus continu.

Premièrement, les essais ont été réalisés avec un glissement égal à -20% pour la MADA (point de fonctionnement en mode hyper-synchrone). La Figure 1-38 présente les chronogrammes de la puissance active statorique et de sa référence. La Figure 1-39 présente les chronogrammes du courant rotorique d'axe $q$ et de sa référence. On peut constater que ces deux grandeurs suivent correctement leurs références. Lors des variations de puissance statorique présentées à la Figure 1-38, les Figures 1-40 et 1-41 présentent respectivement le courant à travers une phase du rotor et la tension $V_{dc}$ du bus continu.

Lors des essais expérimentaux, vu le nombre élevé de formes d'ondes devant être simultanément enregistrées, les chronogrammes liés à l'algorithme de détection de défaut ont été enregistrés sur les deux oscilloscopes LECROY à 4 voies dont nous disposons au laboratoire. Les formes d'ondes liées plus spécifiquement au fonctionnement éolien (MADA) ont été enregistrées en utilisant l'outil "Control Desk" de dSPACE, puis tracées dans l'environnement Matlab. Ce choix explique la différence d'allure générale des chronogrammes présentés dans cette section, tous néanmoins issus de nos essais expérimentaux.

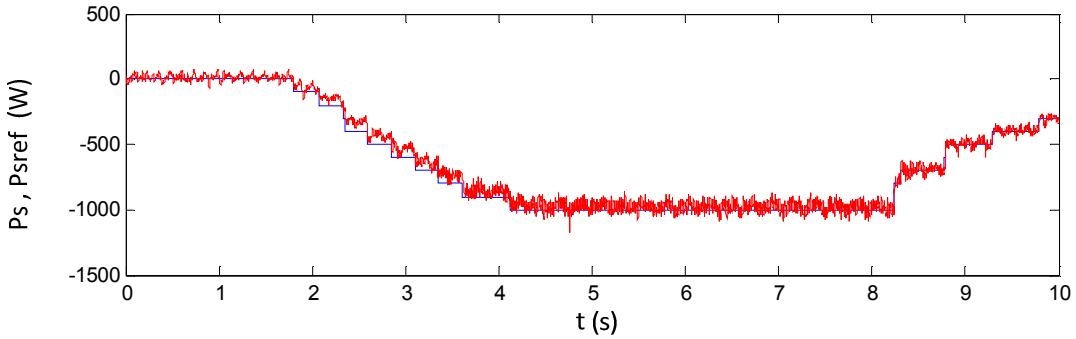



Figure 1-38 : Evolution temporelle de la puissance active statorique et de sa référence.

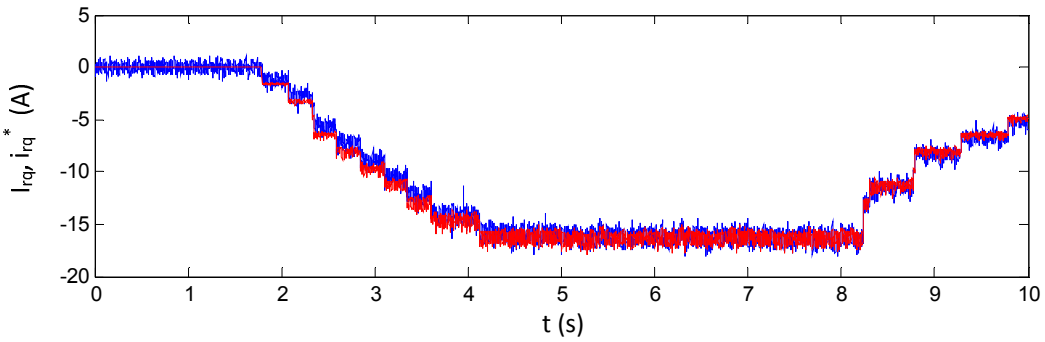



Figure 1-39 : Evolution temporelle du courant rotorique $i_{rq}$ et de sa référence $i_{rq}^{*}$.

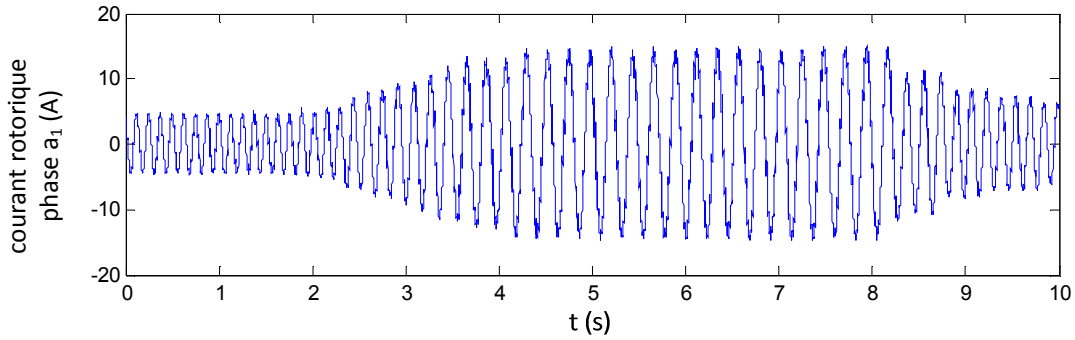



Figure 1-40 : Evolution temporelle du courant à travers une phase du rotor.

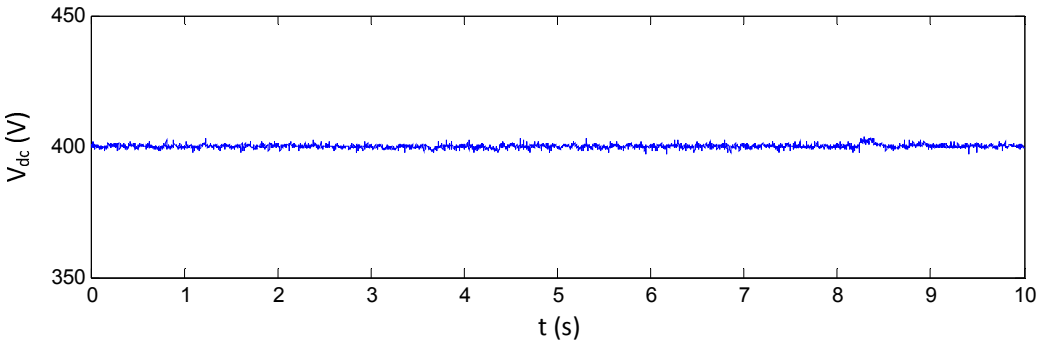



Figure 1-41 : Evolution temporelle de la tension $V_{dc}$ aux bornes du bus continu.

Ensuite, des essais ont été réalisés avec un glissement égal à +20% pour la MADA (mode hypo-synchrone). Les résultats expérimentaux alors obtenus sont présentés au niveau des Figures 1-42 à 1-45.

Les chronogrammes de la puissance réactive statorique et de sa référence sont tracés sur la Figure 1-42, la puissance active statorique étant fixée à 1 kW. La puissance réactive suit correctement sa référence et l'on peut constater que les contrôles des puissances active et réactive statoriques sont effectivement indépendants. A puissance active statorique fixée à 1 kW et pour la référence de puissance réactive tracée à la Figure 1-42, les Figures 1-43 à 1-45 présentent respectivement le courant $i_{rd}$ et sa référence, la tension $V_{dc}$ et le courant à travers une phase rotorique.

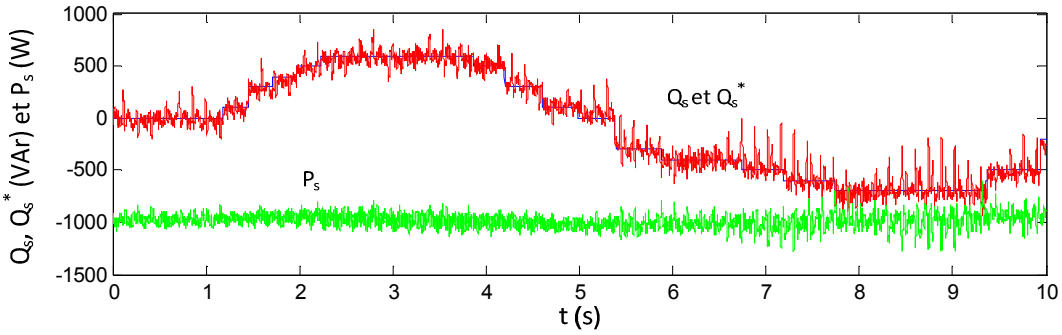



Figure 1-42 : Evolution temporelle de la puissance réactive statorique et de sa référence, à puissance active statorique constante.

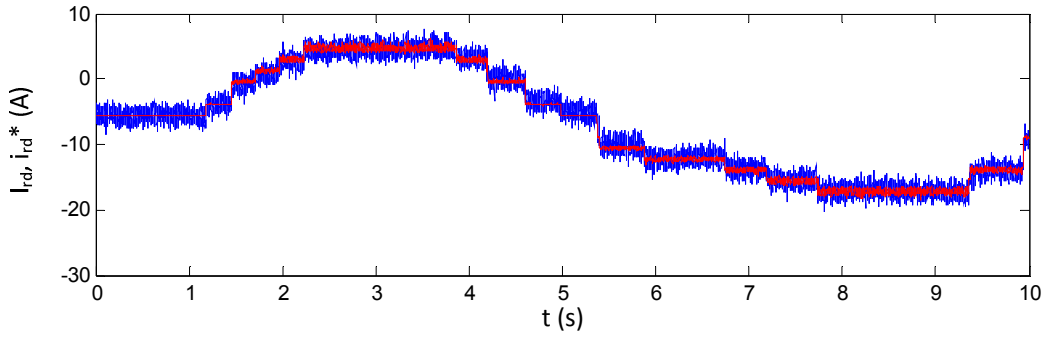



Figure 1-43 : Evolution temporelle du courant $i_{rd}$ et de sa référence $i_{rd}^{*}$.

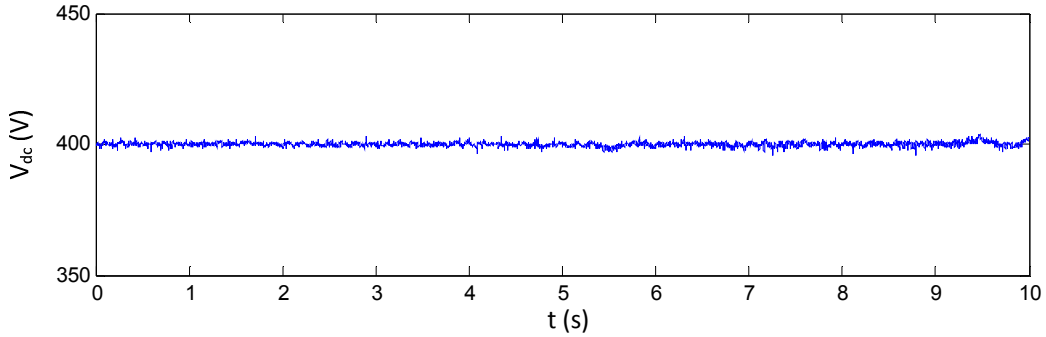



Figure 1-44 : Evolution temporelle de la tension $V_{dc}$ aux bornes du bus continu.

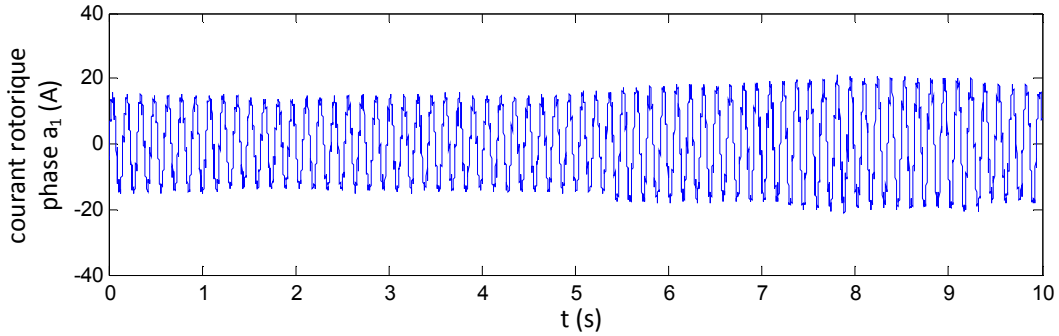



Figure 1-45 : Evolution temporelle du courant à travers une phase du rotor.

Enfin, nous avons validé le contrôle de la chaîne éolienne avec MADA lors de variations de la vitesse de rotation de l'arbre de la MADA. Les références de puissances active et réactive statoriques sont respectivement fixées à 1kW et 0 VAr. Une rampe est appliquée à la vitesse de rotation de la machine à courant continu, faisant varier le glissement de la MADA de g=20% à g=-20%. La vitesse mécanique est tracée à la Figure 1-46. Les puissances active et réactive statoriques restent stables et correctement contrôlées, comme on peut le constater sur la Figure 1-47. La Figure 1-48 présente les formes d'ondes des courants rotoriques durant la rampe de vitesse.

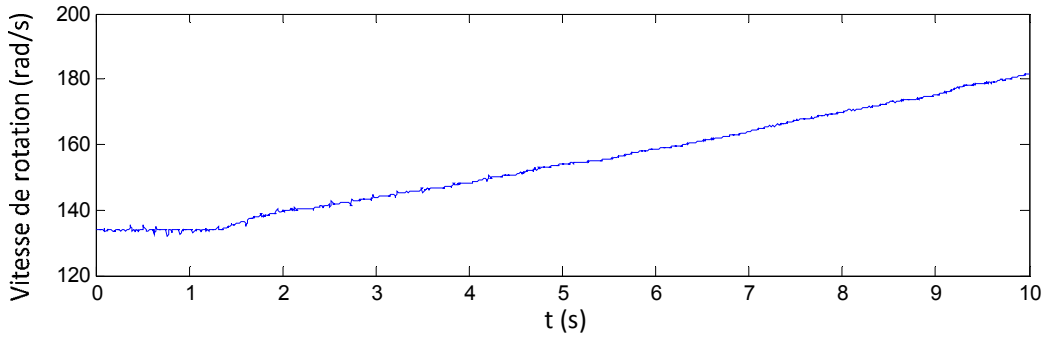



Figure 1-46 : Vitesse de rotation de la MADA pendant l'accélération.

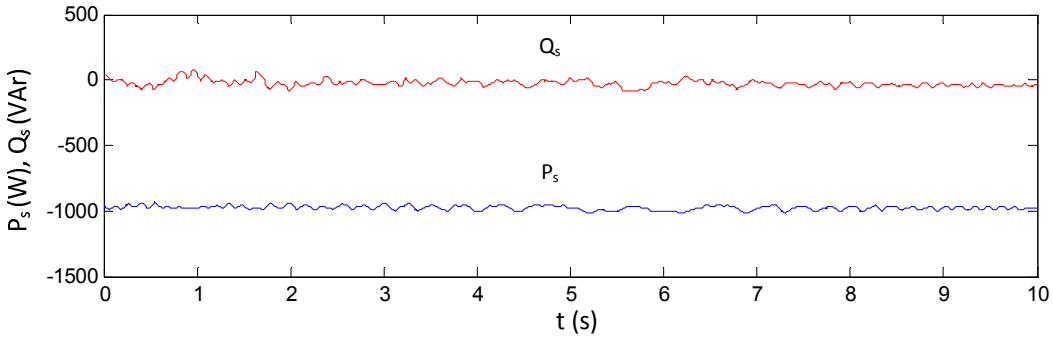



Figure 1-47 : Evolution temporelle des puissances active et réactive statorique lors d'une rampe de vitesse de rotation de la MADA.

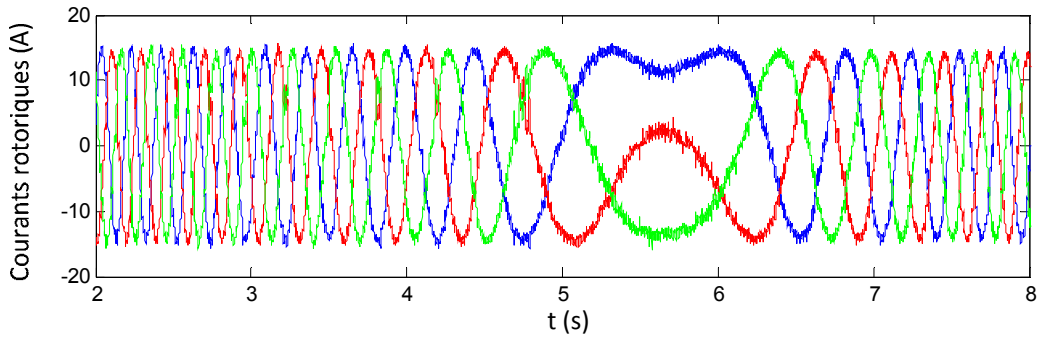



Figure 1-48 : Evolution temporelle des courants rotoriques lors d'une rampe de vitesse de rotation de la MADA.

Les essais expérimentaux menés dans cette section ont permis de valider le fonctionnement, en mode sans défaillance, de la chaîne éolienne de conversion avec MADA en modes hypo et hyper-synchrone et lors de variations de la vitesse de rotation de la MADA. Dans les sections qui suivent, nous allons générer un défaut circuit ouvert au niveau d'un interrupteur du CCM puis du CCR, afin de valider la tolérance de pannes du système éolien étudié.

#### 1.6.4.2.2 Défaut de type circuit ouvert au niveau du CCM

Nous allons maintenant valider expérimentalement la continuité de service du système éolien lors de la défaillance de type circuit ouvert de l'IGBT haut du bras $c_1$ du CCM

(IGBT de l'interrupteur $S_3$). Pour l'ensemble des expérimentations menées dans cette section, les références de puissances active et réactive statoriques sont respectivement fixées à 1kW et 0 VAr. Le défaut est généré en coupant l'ordre de commande de l'IGBT de l'interrupteur $S_3$, alors rendu défaillant.

Un premier test est effectué pour un point de fonctionnement de la MADA correspondant à un glissement g égal à 20%. La Figure 1-49 démontre que les puissances active et réactive statoriques ne sont pas affectées par ce défaut. On peut également observer sur cette figure les instants d'apparition et de détection du défaut : on peut constater que le défaut a été détecté très rapidement après son apparition. La Figure 1-50 présente les courants rotoriques avant et après la détection du défaut ; ils sont correctement contrôlés après reconfiguration du convertisseur et ne sont pas affectés par le défaut. La Figure 1-51 rassemble les principaux signaux de la détection de défaut ainsi que le courant à travers le triac $Tr_{c1}$ et le courant de la phase $c_1$ défaillante. Un vue détaillée des instants d'apparition et de détection de défaut est fournie à la Figure 1-51 (b). Sur cette figure, la transition du signal "défaut" de 1 à 0 correspond à l'apparition du défaut alors qu'une transition du signal "détection de défaut" de 0 à 1 correspond à la détection de ce défaut. Sur cette figure, on peut notamment vérifier que le défaut a été détecté tout de suite après son apparition, dans un délai de 30 µs comme programmé au niveau de la carte FPGA.

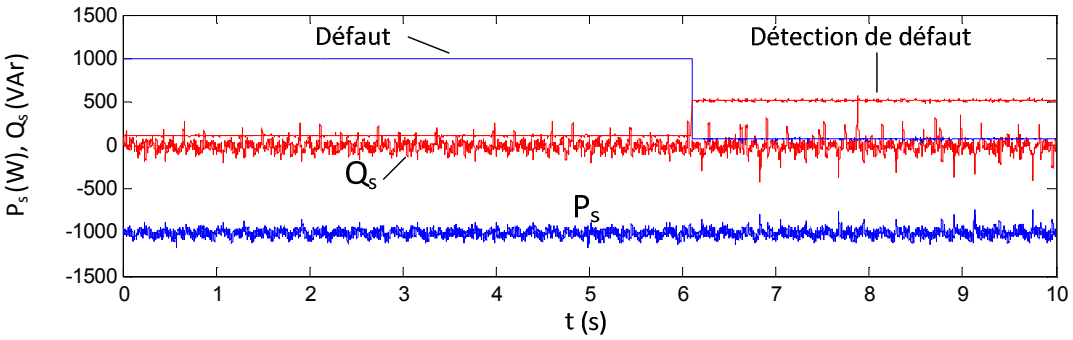



Figure 1-49 : Puissances active et réactive statoriques avant et après apparition d'un défaut au niveau du CCM (mode hypo-synchrone).

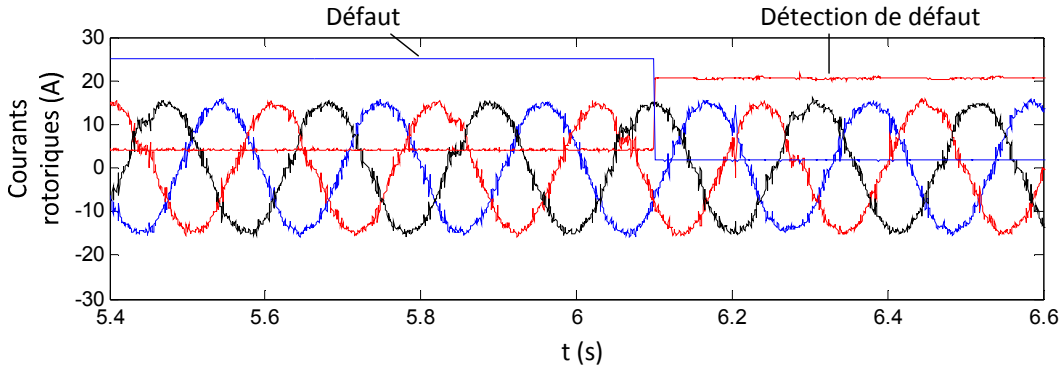



Figure 1-50 : Courants rotoriques lors d'un défaut au niveau du CCM (mode hypo-synchrone).

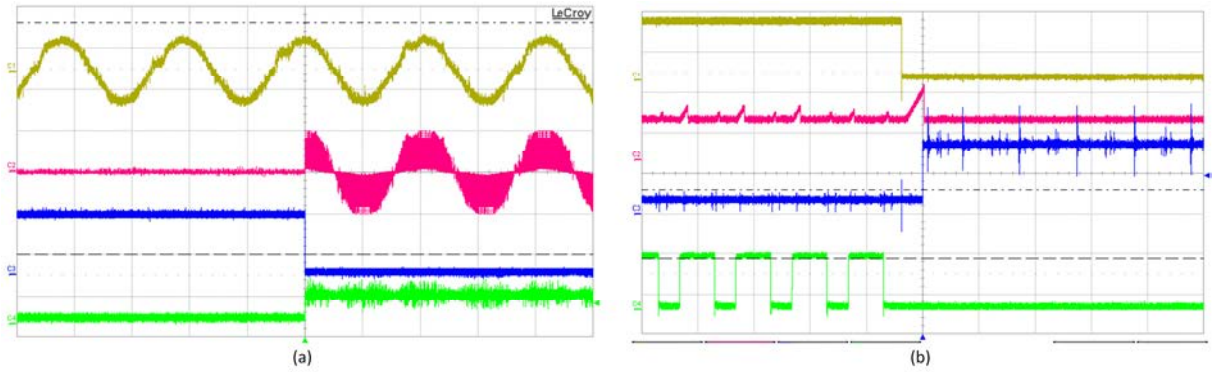



Figure 1-51 : Détection de défaut et reconfiguration pour un défaut "circuit ouvert" au niveau du CCM en mode hypo-synchrone : (a) De haut en bas: courant $i_{c1}$ de la phase $c_1$ défaillante (20 A/div), courant à travers le triac $Tr_{c1}$ (20A/div), signal "défaut" , signal "détection de défaut" - Echelle de temps: 100ms/div; (b) Vues détaillées avec de haut en bas: signal "défaut", sortie du compteur temporel de la détection de défaut, signal "détection de défaut", commande appliquée à l'IGBT de l'interrupteur $S_3$ (10V/div)- Echelle de temps : 100µs/div.

Il convient de noter que si au moment de l'apparition du défaut de $S_3$ le courant de la phase défaillante est négatif, la phase $c_1$ est alimentée normalement car le courant $i_{c1}$ passe par $S_6$ ou bien par la diode en antiparallèle de l'IGBT de $S_3$. Dans ce cas, le convertisseur fonctionne normalement et le défaut ne peut pas être détecté tant que le courant $i_{c1}$ ne change pas de signe. Ce cas est illustré par les résultats expérimentaux de la Figure 1-52.

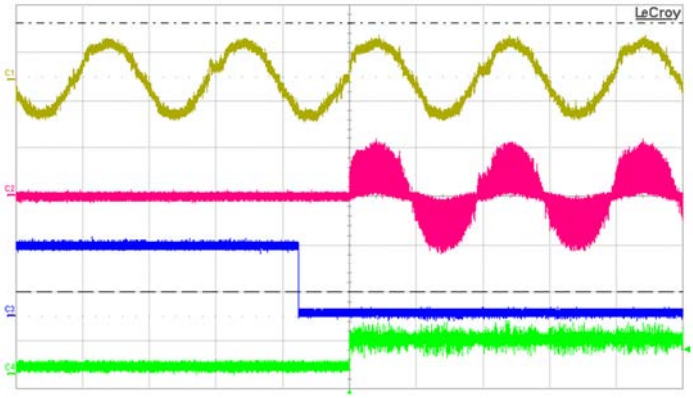



Figure 1-52 : Détection de défaut et reconfiguration pour un défaut du CCM quand le courant traverse la diode en antiparallèle de l'IGBT de $S_3$ au moment de défaut. De haut en bas: courant de la phase défaillante (20 A/div), courant à travers le triac $Tr_{c1}$ (20A/div), signal "défaut", détection de défaut - Echelle de temps: 100ms/div.

Afin de démontrer que le contrôle reconfigurable présenté ne dépend pas du point de fonctionnement, nous avons répété les tests précédents dans un mode de fonctionnement différent de la MADA. Pour celà, les mêmes essais que ceux réalisés précédemment en mode hypo-synchrone ont été réalisés pour un point de fonctionnement en mode hyper-synchrone, pour un glissement g égal à -20%. Les résultats sont visualisables sur les Figures 1-53 à 1–55. Ici encore, on peut vérifier l'efficacité de la tolérance de pannes proposée dans ce mémoire. La MADA peut ainsi continuer à générer l'énergie électrique en mode nominal, après apparition d'un défaut de type circuit ouvert de l'un des bras du CCM.

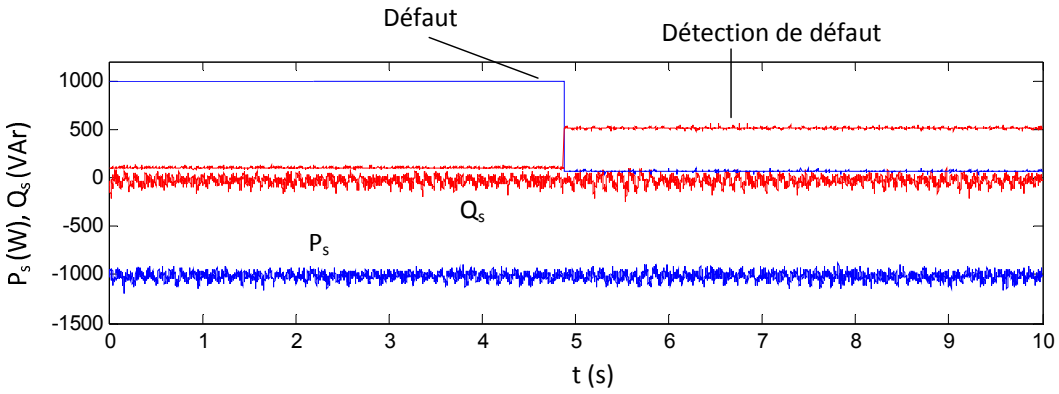



Figure 1-53 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCM (mode hyper-synchrone).

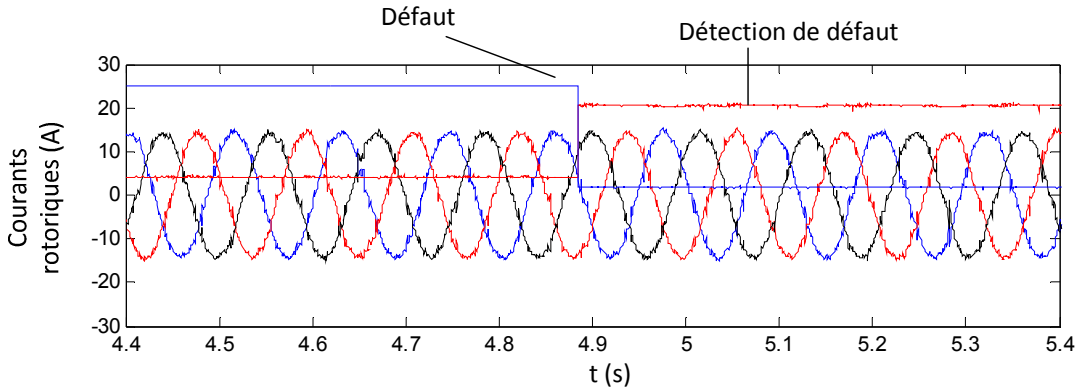



Figure 1-54 : Courants rotoriques lors d'un défaut au niveau du CCM (mode hyper-synchrone).

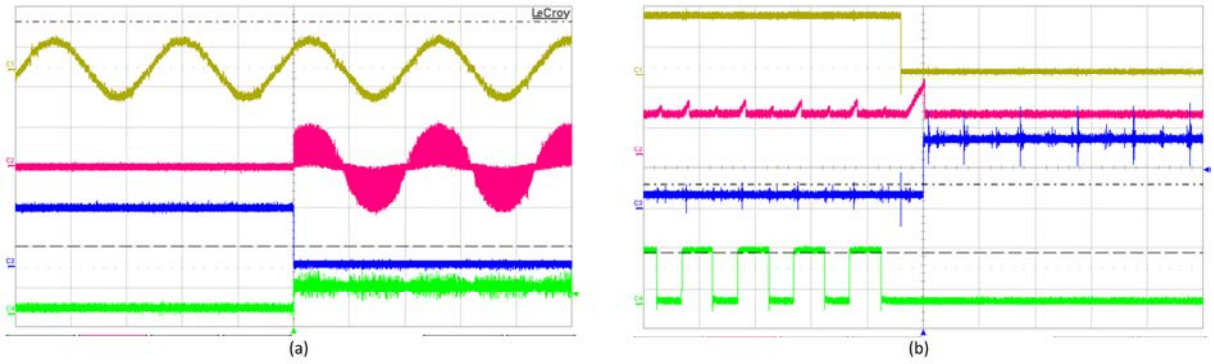



Figure 1-55 : Détection de défaut et reconfiguration pour un défaut "circuit ouvert" au niveau du CCM en mode hypo-synchrone : (a) De haut en bas: courant de la phase défaillante (20 A/div), courant à travers le triac $Tr_{c1}$ (20A/div), signal "défaut", signal "détection de défaut"- Echelle de temps: 100ms/div; (b) Vues détaillées avec de haut en bas: signal "défaut", sortie du compteur temporel de la détection de défaut, signal "détection de défaut", commande appliquée à l'IGBT de l'interrupteur $S_3$ (10V/div)- Echelle de temps : 100µs/div.

#### 1.6.4.2.3 Défaut de type circuit ouvert au niveau du CCR

Des essais expérimentaux similaires aux précédents sont maintenant présentés lors d'un défaut de type circuit ouvert au niveau du CCR. La commande de l'IGBT de l'interrupteur $S_3$, est maintenant mise à '0' à l'instant t = 4,823 s afin de générer le

défaut. Comme pour la section précédente, les essais sont menés en mode hypo-synchrone avec un glissement g de 20% puis en mode hyper-synchrone avec un glissement g égal à -20%. Les Figures 1-56 à 1–59 présentent les résultats obtenus en mode hypo-synchrone alors que les Figures 1-60 à 1–63 illustrent le mode hyper-synchrone. Pour les deux points de fonctionnement étudiés, on peut vérifier sur ces courbes que les puissances active et réactive statoriques, les courants de sortie du CCR et les courants rotoriques sont correctement contrôlés après l'apparition du défaut. Les Figures 1-59 et 1-63 montrent que la détection de défaut a été efficace et rapide.

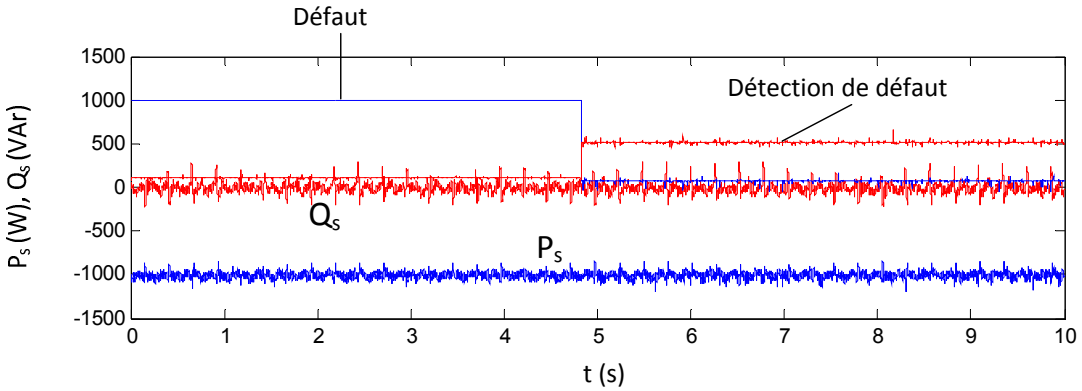



Figure 1-56 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hypo-synchrone).

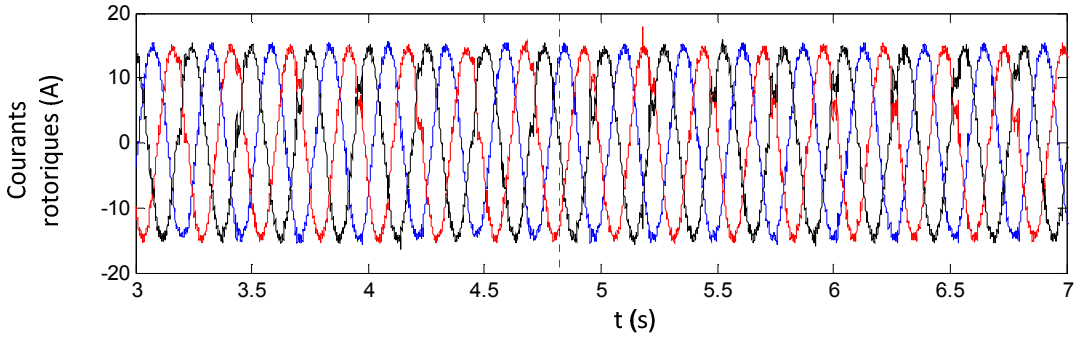



Figure 1-57 : Courants rotoriques lors d'un défaut au niveau du CCR (mode hypo-synchrone).

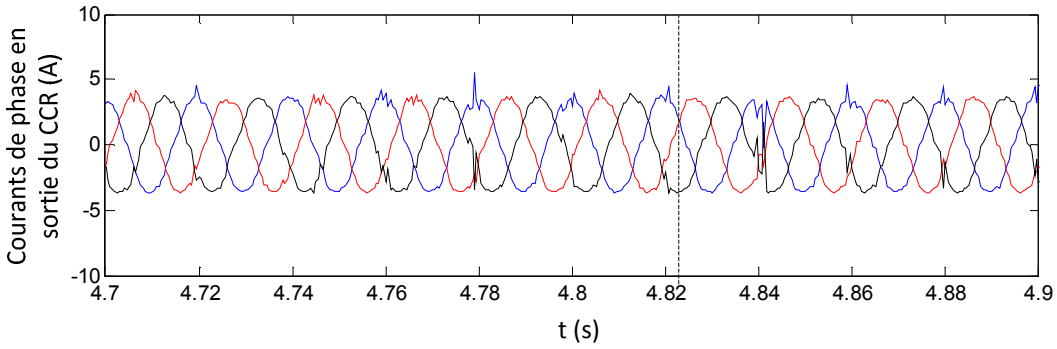



Figure 1-58 : Courants de phase en sortie du CCR avant et après un défaut circuit ouvert au niveau du CCR (mode hypo-synchrone).

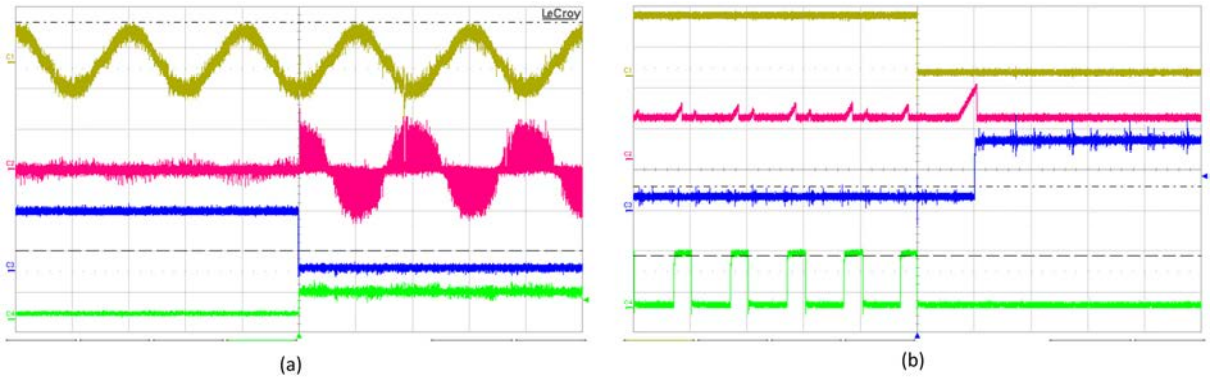



Figure 1-59 : Détection de défaut et reconfiguration pour un défaut “circuit ouvert” au niveau du CCR en mode hypo-synchrone : (a) de haut en bas: courant de la phase défaillante (20 A/div), courant à travers le triac $Tr_{c2}$ (20A/div), signal “défaut”, signal “détection de défaut”- Echelle de temps: 100ms/div; (b) Vues détaillées avec de haut en bas: signal “défaut”, sortie du compteur temporel de la détection de défaut, signal “détection de défaut”, commande appliquée à l’IGBT de l’interrupteur $S_3{}'$ (10V/div)- échelle de temps : 100µs/div.

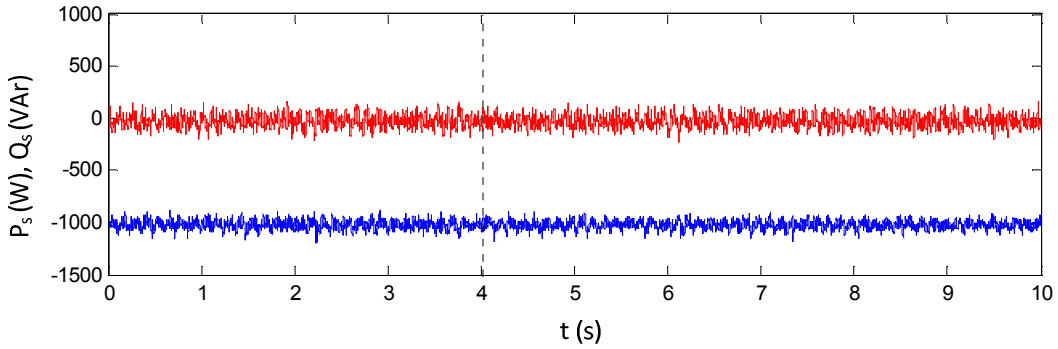



Figure 1-60 : Puissances active et réactive statoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone).

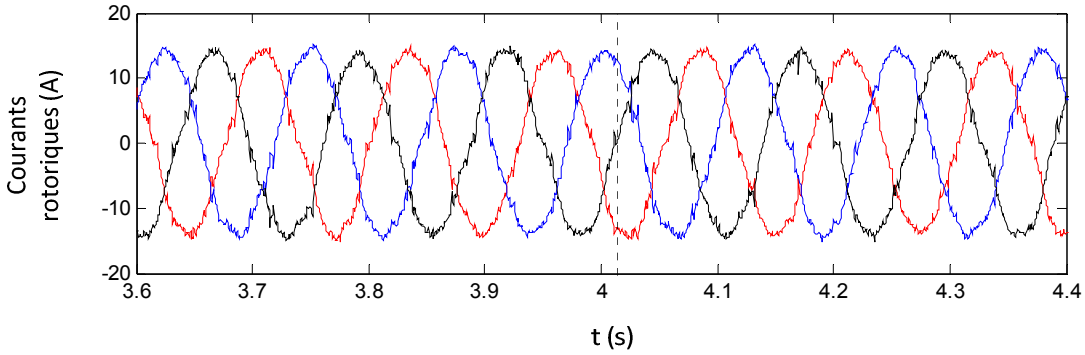



Figure 1-61 : courants rotoriques avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone).

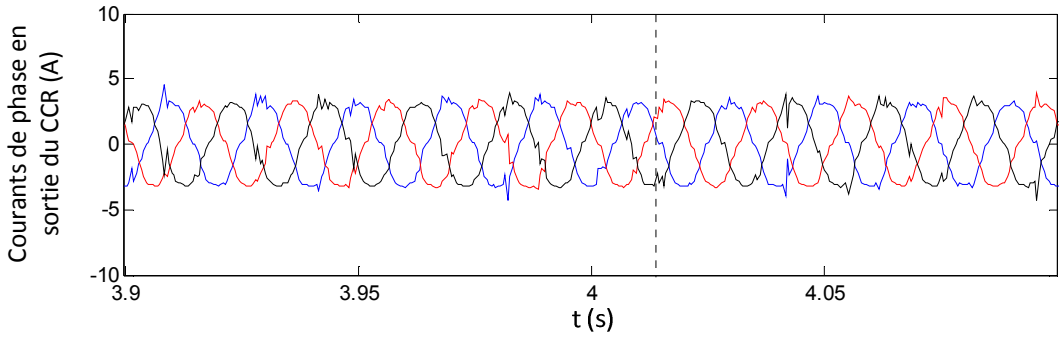



Figure 1-62 : Courants de phase en sortie du CCR avant et après un défaut circuit ouvert au niveau du CCR (mode hyper-synchrone).

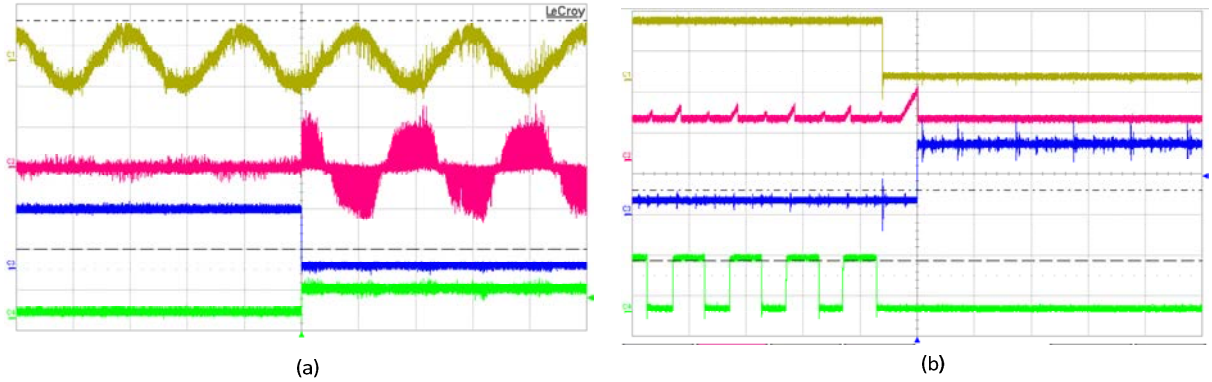



Figure 1-63 : Détection de défaut et reconfiguration pour un défaut "circuit ouvert" au niveau du CCR en mode hyper-synchrone : (a) De haut en bas: courant de la phase défaillante (20 A/div), courant à travers le triac $Tr_{c2}$ (20A/div), signal "défaut", signal "détection de défaut" - Echelle de temps: 100ms/div; (b) Vues détaillées avec de haut en bas: signal "défaut", sortie du compteur temporel de la détection de défaut, signal "détection de défaut", commande appliquée à l'interrupteur $S_3'$ (10V/div)- Echelle de temps : 100µs/div.

## 1.7 Conclusion

Ce chapitre a traité de l'étude de la continuité de service d'un convertisseur bidirectionnel 6 bras avec un bras redondant. Cette topologie a été étudiée récemment lors de travaux de recherche menés au sein de notre laboratoire, mais seule l'étude par simulation avait alors été validée. Dans ce premier chapitre de mémoire, la tolérance de pannes de cette topologie "fault tolerant" avec redondance a été validée par prototypage "FPGA in the loop" et expérimentalement.

Dans un premier temps, la structure de convertisseur étudiée a été présentée. Son utilisation dans le contexte d'une chaîne éolienne de conversion de l'énergie basée sur une MADA a été abordée. La modélisation de la partie électrique du système et son contrôle ont été succinctement rappelés. La méthode de détection de défaut alors mise en œuvre a également été examinée. Après une première phase de modélisation et de simulation du système "fault tolerant", nous avons envisagé une approche expérimentale.

Une méthode de prototypage, nommée “FPGA in the loop”, nous a permis de valider la conception sur cible FPGA de la détection de défaut et de la reconfiguration du convertisseur, avant de procéder aux tests entièrement expérimentaux. Un banc d’essai expérimental a été conçu et réalisé lors de cette thèse. Sur ce banc, une MADA est couplée mécaniquement à une MCC qui joue le rôle de la turbine du système éolien. Le contrôle du convertisseur bidirectionnel 6 bras avec bras redondant a été réalisé à l’aide d’un système dSPACE alors que la détection de défaut a été réalisée sur une carte de développement FPGA Stratix de la société ALTERA. De premiers essais expérimentaux ont d’abord été effectués afin de vérifier le bon comportement du système éolien en mode sans défaillance. La tolérance de pannes du système éolien “fault tolerant” a ensuite été validée en modes hypo et hyper-synchrone, tant pour un défaut au niveau d’un interrupteur du CCR que du CCM. Pour tous ces essais expérimentaux, l’efficacité de la méthode de contrôle tolérant au défaut a été démontrée et la continuité de service de la chaîne éolienne avec MADA a été garantie.

Les résultats expérimentaux ainsi obtenus permettent de conclure et de valider les travaux de recherche précédemment menés dans notre laboratoire, portant sur un convertisseur bidirectionnel 6 bras avec bras redondant. Dans la continuité de ces travaux, la suite de ce mémoire de thèse sera consacrée à l’étude de structures de convertisseurs AC/DC/AC, sans redondance.

# 2. Convertisseur 6 bras sans redondance tolérant aux défauts

## 2.1 Introduction

De manière générale, deux approches permettent de rendre un système tolérant aux défauts, selon qu'elle utilise ou pas de la redondance. Si l'on considère un système "fault tolerant" avec redondance, la partie redondante va remplacer la partie défaillante, après détection du défaut et reconfiguration du système. Dans ce cas, le système peut assurer les mêmes fonctions et garantir les mêmes performances, après le défaut. C'est ce cas de figure qui a été étudié au chapitre 1, le bras redondant remplaçant alors le bras défaillant du convertisseur de puissance lors de la reconfiguration de ce dernier.

Toutefois, dans certaines applications, il est également possible d'accepter un certain degré de dégradation des performances du système suite à un défaut, tout en garantissant la continuité de service du système. Dans ce cas, une reconfiguration appropriée du système suite à la détection d'un défaut peut être suffisante pour assurer les fonctionnalités minimales requises. En résumé, la redondance peut être évitée dans certaines applications et ainsi permettre de garantir le mode nominal ou bien le mode dégradé pour des applications moins exigeantes. Néanmoins, cette économie de duplication de matériel se fait le plus souvent au prix de performances réduites après reconfiguration, ou de surdimensionnement en mode sain.

Dans ce chapitre, nous présentons une topologie de convertisseur "fault tolerant" AC/DC/AC à 6 bras. Elle garantit la continuité de service lors de la défaillance de l'un de ses interrupteurs. Cette topologie n'a pas recours à la redondance, comme cela était le cas de la topologie ayant fait l'objet du premier chapitre. Après apparition d'un défaut, une reconfiguration appropriée du convertisseur permet de continuer à fonctionner avec les 5 bras sains dont on dispose encore. Par ailleurs, un contrôleur "fault tolerant" approprié est nécessaire pour garantir la reconfiguration rapide et efficace du système, non seulement au niveau du pilotage de la topologie du convertisseur mais également au niveau de sa commande qui doit être modifiée lors du passage d'une topologie 6 bras à une topologie 5 bras. Pour des raisons de compacité d'écriture, ce convertisseur 6 bras tolérant aux défauts sans bras redondant sera dénommé "convertisseur 6/5 bras" dans la suite de ce chapitre.

La topologie dite "convertisseur 6/5 bras" sera étudiée en détail à la section suivante. Un contrôleur reconfigurable basé sur FPGA sera ensuite proposé. Pour ce type de convertisseur, les applications ciblées dans ce chapitre sont l'alimentation d'une charge triphasée puis un système éolien de conversion de l'énergie basé une MADA, dont le principe a été présenté au chapitre 1, Figure 1-2.

Quant à la détection de défaut, la méthode présentée à la section 1.4 du chapitre 1 peut également être employée. Néanmoins, nous proposerons des optimisations possibles à cette méthode de détection de défaut que nous évaluerons dans ce chapitre.

## 2.2 Topologie de Convertisseur 6/5 bras

La topologie de convertisseur tolérant aux défauts ici étudiée est représentée à la Figure 2-1(a). Elle est essentiellement basée sur la structure dite "back-to-back" d'un convertisseur conventionnel 6 bras, composée de deux convertisseurs triphasés comportant chacun trois bras. Par rapport à la structure "back-to-back", elle comporte :

- trois interrupteurs bidirectionnels supplémentaires, dédiés à la reconfiguration de la structure suite à la détection d'un défaut;
- des fusibles afin de déconnecter physiquement le bras défaillant lors d'un défaut de type court-circuit. Des explications quant à ce cas de défaut ont été fournies au chapitre 1, section 1.4.1.

Pour cette topologie "fault tolerant" sans redondance, les trois triacs sont éteints en mode de fonctionnement normal et le convertisseur fonctionne alors comme un convertisseur "back-to-back" classique. Suite à la détection d'un défaut dans un bras, les ordres de commande de ce bras sont mis à '0' et le triac de la phase correspondante connecté à ce bras (côté 1 ou côté 2) est commandé à la fermeture. Ainsi, la fermeture du triac reliera physiquement le nœud du bras défaillant à celui du bras qui lui correspond de l'autre côté du convertisseur. Un exemple de reconfiguration est présenté à la Figure 2-1(b) pour un défaut dans le bras $c_2$. Ainsi, une fois reconfigurée, la topologie du convertisseur devient une structure à 5 bras, capable de fonctionner avec les 5 bras sains. Suite à ce changement de topologie, les ordres de commande des interrupteurs ne seront plus les mêmes avant et après l'apparition du défaut. La génération des ordres de commande en mode normal et après reconfiguration fait l'objet de la section suivante.

### 2.2.1 Génération des ordres de commande

#### *2.2.1.1 Principe général*

Avant l'apparition du défaut, le convertisseur est un convertisseur 6 bras conventionnel. Ainsi, toute méthode de MLI peut être utilisée pour le contrôler. Néanmoins, la génération par la MLI des tensions de référence dépend entièrement du contrôle mis en œuvre et donc de l'application visée. Selon l'application, les côtés 1 et 2 du convertisseur peuvent être connectés à une source, une charge ou bien encore une machine. Par exemple, pour une application éolienne mettant en œuvre une MADA, un côté est connecté au réseau électrique et le deuxième est connecté au rotor de MADA. Pour une application de type commande de moteurs synchrone ou asynchrone, le second côté est alors connecté au stator de la machine.

Dans tous les cas, après reconfiguration et en mode de fonctionnement cinq bras, les méthodes de MLI classiques ne peuvent plus être utilisées et une MLI spécifique à la topologie 5 bras doit être mise en œuvre. Nous allons étudier plus en détail cette topologie à la section suivante.

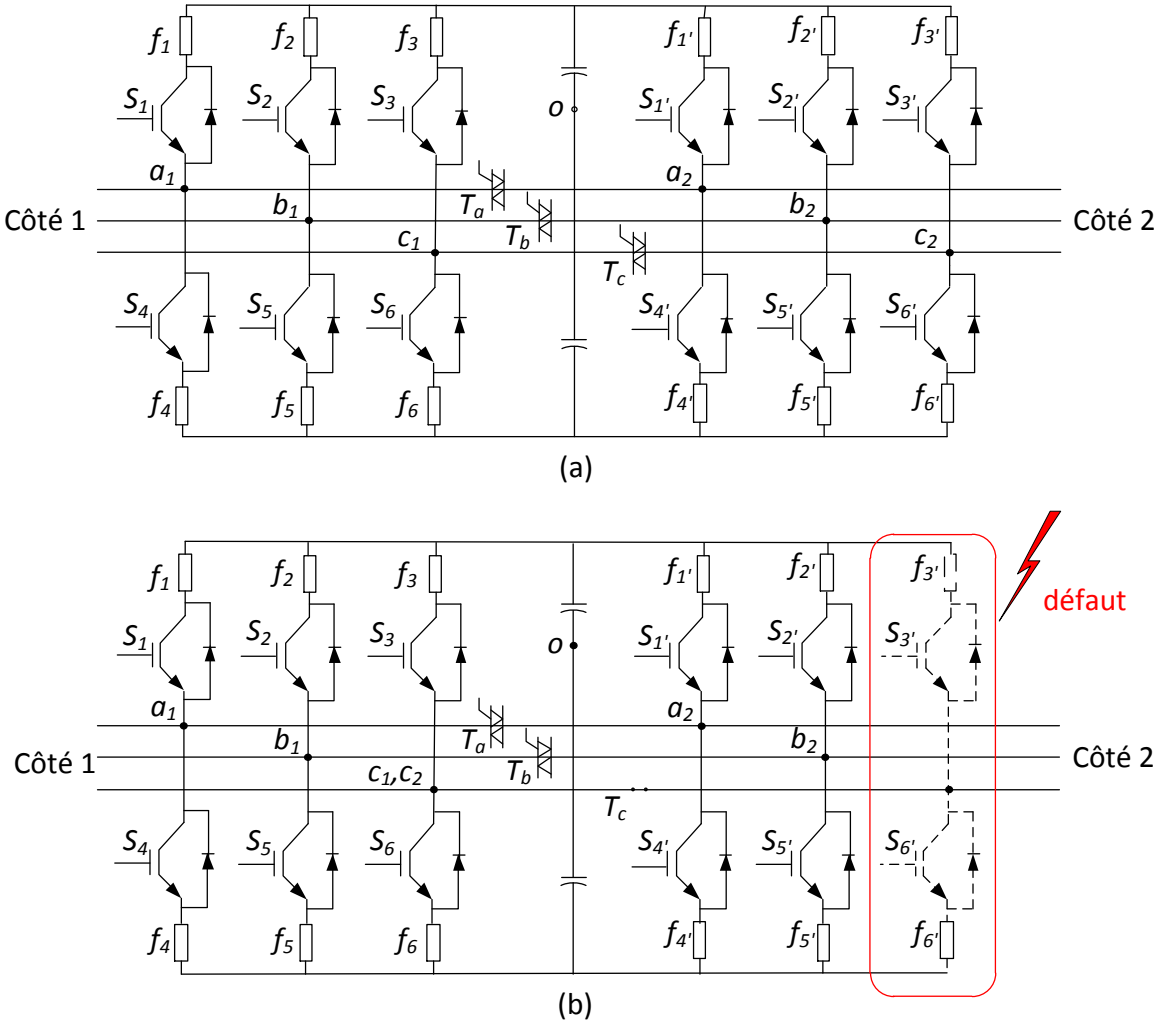



Figure 2-1 : Convertisseur 6/5 bras - (a) En mode de fonctionnement normal (b) Après reconfiguration suite à un défaut au niveau du bras $c_2$.

### 2.2.1.2 Convertisseur 5 bras

Le convertisseur 5 bras est une structure de convertisseur avec un nombre réduit de composants. Il a été étudié dans la littérature scientifique pour diverses applications telles que la conversion AC/DC/AC [Jacobina2006], le contrôle de deux machines alternatives ou de deux charges triphasées [Kimura2005] [Jones2008]. Il a également été abordé dans le cas de la tolérance aux défauts [Jacobina2003]. Néanmoins, il est important de mentionner que dans tous ces travaux, un contrôleur rapide et reconfigurable n'est pas proposé. La Figure 2-2 présente la topologie cinq bras, dans le cas où un bras est mutualisé entre les phases $c_1$ et $c_2$ des deux côtés du convertisseur (cas de la topologie reconfigurée de la Figure 2-1(b)). Le bras commun participe donc à la génération des tensions modulées pour les deux côtés du convertisseur.

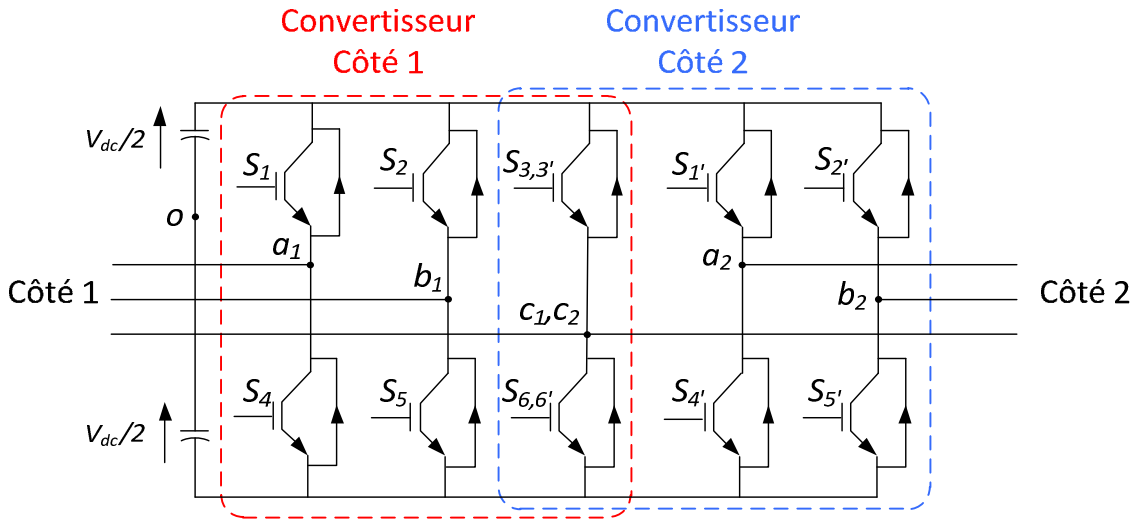



Figure 2-2 : Convertisseur à 5 bras avec le bras c ($c_1$, $c_2$) mutualisé.

Afin de mieux comprendre comment ce convertisseur 5 bras est capable de produire deux séries indépendantes de 3 tensions de ligne pour chacun des deux côtés du convertisseur, on peut remarquer que chacun des 2 convertisseurs présentés à la Figure 2-2 est capable de produire deux tensions composées arbitraires. Autrement dit, bien que les tensions simples vues de la troisième phase soient les mêmes des 2 côtés, les tensions simples des autres phases peuvent être arbitrairement choisies de sorte que les 3 tensions composées des deux côtés du convertisseur suivent leurs références. Néanmoins, chaque tension composée sera limitée par la valeur de la tension du bus continu. On peut donc dès à présent mentionner que les tensions reproduites par ce convertisseur 5 bras seront moins grandes que celles d'un convertisseur 6 bras conventionnel, pour une même tension aux bornes du bus continu. Comme nous l'avons mentionné auparavant, l'économie de duplication de matériel se fait le plus souvent au prix de performances pouvant être réduites. La comparaison entre ces deux topologies fera l'objet de la section 2.2.2.

#### *2.2.1.3 MLI pour convertisseur 5 bras*

Différentes méthodes ont été proposées dans la littérature scientifique afin de réaliser une MLI spécifique à la topologie de convertisseur 5 bras. On peut notamment mentionner les méthodes proposées dans les références bibliographiques [Bouscayrol 2005] et [Jones2008-1, 2]. La méthode proposée par *Bouscayrol et al.*, bien qu'intéressante, se traduit par des ordres de commande asymétriques. De plus, les fréquences de commutation ne sont pas identiques pour tous les interrupteurs et cette fréquence peut être considérablement augmentée dans certains bras du convertisseur [Jones2008-1]. La méthode MLI proposée par *Jones et al.* a recours aux 32 vecteurs de tension possibles pour un convertisseur à 5 bras. Elle produit moins d'harmoniques de tension. Elle est présentée comme étant plus simple et mieux adaptée à la mise en œuvre pratique [Jones2008-1, 2]. C'est cette méthode que nous avons choisie dans ce chapitre pour le contrôle du convertisseur 5 bras. Dans cette méthode, une "injection

d'homopolaire" est réalisée, notée ZSS en anglais pour "Zero Sequence Signal". Les tensions de référence des côtés 1 et 2 du convertisseur, notées $v_{xi}^{*}$ $(x \epsilon\{a,b,c\}, i\epsilon\{1,2\})$, sont établies selon le contrôle mis en œuvre et l'application visée. Ensuite, un signal ZSS est ajouté, pour chaque côté, aux références de tension pour former le signal de modulation $v_{xi}$ $(x \epsilon\{a,b,c\}, i\epsilon\{1,2\})$ (selon l'Equation (2-1)). En fait, ce signal ZSS ne change pas la valeur des tensions composées en sortie du convertisseur 5 bras : il est utilisé comme un degré de liberté pour réduire les harmoniques de courant et améliorer l'utilisation du bus continu, par exemple lors de l'injection d'harmonique trois [Malinowski2001].

On écrit alors :

$$v_{xi}(t) = v_{xi}^{*}(t) + v_{zssi}(t) \tag{2-1}$$

avec $v_{zssi}$ $(i\epsilon\{1,2\})$ le signal ZSS pour le côté "i".

Le signal ZSS le plus largement utilisé pour un système triphasé est calculé comme ci-dessous [Zhou2002] :

$$v_{zssi}(\mathrm{t}) = -\frac{1}{2}\begin{pmatrix}\max\left(v_{ai}^{*}(t) + v_{bi}^{*}(t) + v_{ci}^{*}(t)\right) + \\ \min\left(v_{ai}^{*}(t) + v_{bi}^{*}(t) + v_{ci}^{*}(t)\right)\end{pmatrix} \tag{2-2}$$

A ce niveau, nous disposons maintenant de 6 références de tension (3 pour chaque côté) pour seulement 5 bras : une réduction du nombre de références de tension est alors nécessaire. *Jones* a proposé de réaliser cette réduction en ajoutant une composante homopolaire selon le bras mutualisé dans la configuration du convertisseur 5 bras [Jones 2008-1, 2]. Le principe de l'ajout de cette composante ZSS pour un convertisseur triphasé classique est illustré à la Figure 2-3(a). Dans le cas du convertisseur 5 bras, si les bras $k_{1,2}$ sont mutualisés $(k \epsilon\{a,b,c\})$, la tension $v_{k1}$ est ajoutée aux signaux $v_{x2}$ $(x \epsilon\{a,b,c\})$ et la tension $v_{k2}$ est ajoutée aux signaux $v_{x1}$ $(x \epsilon\{a,b,c\})$. Par exemple, en supposant que le bras "c" (les bras $c_1$ et $c_2$ réunis) est mutualisé pour un convertisseur 5 bras (Figure 2-1(b)), les références de tension finales sont calculées par :

$$\begin{gathered} v_{A1} = v_{a1} + v_{c2} \;\; ; \;\; v_{B1} = v_{b1} + v_{c2} \\ v_{A2} = v_{a2} + v_{c1} \;\; ; \;\; v_{B2} = v_{b2} + v_{c1} \\ v_{C} = v_{c1} + v_{c2} \end{gathered} \tag{2-3}$$

Etant donné que le même signal est ajouté à chacune des 3 références de tension de chaque côté du convertisseur, les tensions composées de référence de chaque côté du convertisseur restent inchangées. Ainsi, 5 tensions de référence sont établies et envoyées à l'unité MLI, comme illustré par la Figure 2-3(b). La Figure 2-4 présente les chronogrammes établis lors de la génération de cinq tensions de référence à partir de deux ensembles de références de tensions triphasées.

Au niveau du bloc appelé MLI, les ordres de commande sont générés en comparant les tensions de référence précédemment établies avec une porteuse triangulaire à fréquence élevée. Dans ce cas, on peut montrer que les largeurs d'impulsion $\tau_i$ $(i = 1 \text{ à } 5)$ pour les

interrupteurs haut des bras du convertisseur sont définies par :

$$\tau_i = \left(\frac{1}{2} + \frac{v_i}{V_{dc}}\right) T \tag{2-4}$$

avec T la période de la MLI.

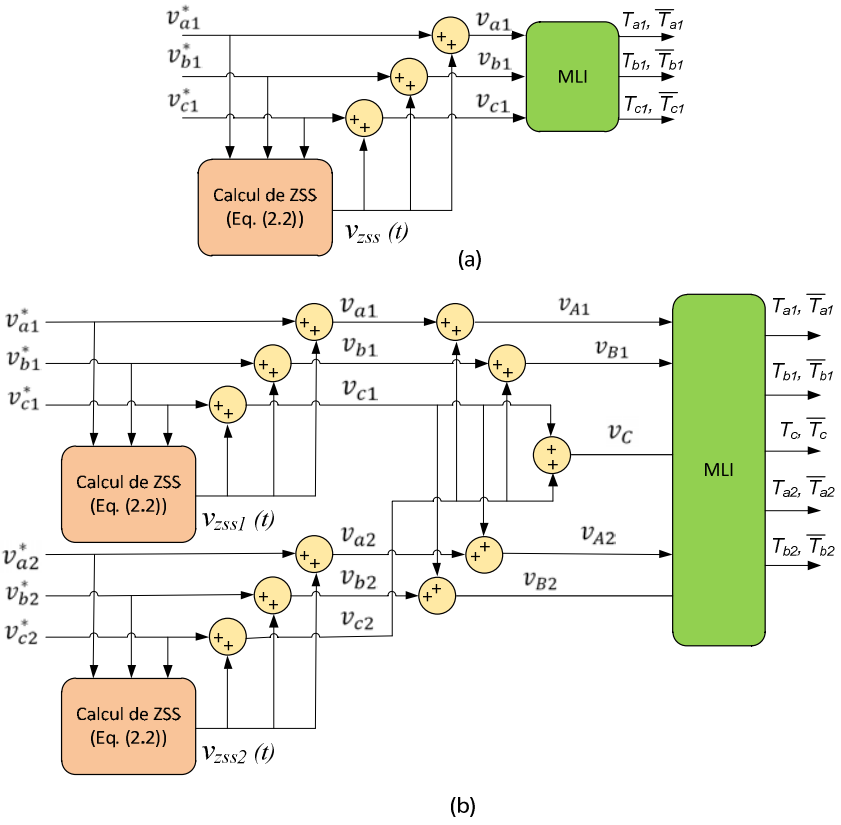



Figure 2-3 : Génération des ordres de commande - (a) Principe pour un convertisseur triphasé classique, (b) Principe pour le convertisseur 5 bras lorsque les bras "c" sont mutualisés.

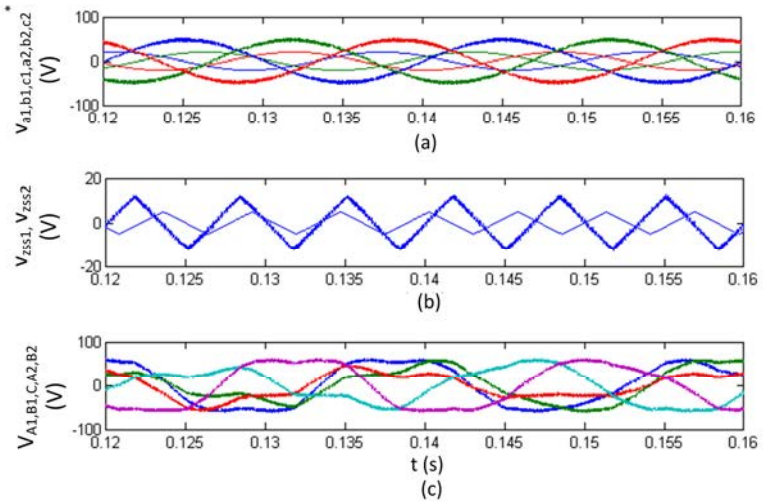



Figure 2-4 : Exemple de génération des références de tension pour un convertisseur 5 bras - (a) Deux ensembles de références de tensions simples triphasées, (b) Signaux ZSS, (c) Tensions de référence finales en mode 5 bras.

### 2.2.2 Etude comparative des convertisseurs 5 et 6 bras

Il a été démontré dans la littérature scientifique que les deux topologies de convertisseurs 5 bras et 6 bras conventionnels sont toutes deux capables de générer des tensions de référence données [Bouscayrol2005], [Jones2008-1, 2]. Ainsi, elles peuvent toutes deux être utilisées comme convertisseurs réversibles AC/DC/AC. Néanmoins, ces deux topologies présentent des avantages et des inconvénients qui leurs sont spécifiques. Dans la publication [Dujic2009], les topologies générales de convertisseurs à '3n bras' et '2n+1 bras' sont comparées. Il est démontré que dans la topologie de convertisseur avec un nombre de composants réduit (topologie à '2n+1 bras'), une contrainte limite maximale porte sur les tensions de sortie des 'n'côtés du convertisseur. Dans un premier temps, plaçons nous dans le cas d'un convertisseur 6 bras conventionnel avec une tension du bus continu égal à $V_{dc}$. Un tel convertisseur peut produire des tensions triphasées simples sinusoïdales de valeur maximale notée '$V$'. L'indice de modulation M étant défini par $2V/V_{dc}$, la valeur maximale de la tension composée est égale à :

$$V_{ll} = M\sqrt{3}V_{dc}/2 \tag{2-5}$$

Par conséquent, la valeur maximale de l'indice de modulation sera égale à $2/\sqrt{3}$ car la tension composée ne peut pas être supérieure à $V_{dc}$.

Pour la topologie de convertisseur à 5 bras avec bras 'c' mutualisé, la valeur maximale de la tension composée entre les bras $j_1$ et $i_2$ $(i, j \in \{a, b\})$ peut se mettre sous la forme :

$$V_{j1} - V_{i2} = V_{j1} - V_c + V_c - V_{i2} = V_{jc(1)} + V_{ic(2)} \tag{2-6}$$

où les indices 1 et 2 définissent le côté du convertisseur. Autrement dit, la valeur maximale de la tension composée $V_{j1i2}$ est égale à la somme maximale de deux tensions composées $V_{jc(1)}$ et $V_{ic(2)}$ de chaque côté du convertisseur. Donc, pour un convertisseur 5 bras ayant la même tension aux bornes du bus continu que dans la topologie 6 bras, les tensions simples maximales $V_1$ et $V_2$ des deux côtés du convertisseur doivent satisfaire $V_1 + V_2 \leq V$.

Concernant la grandeur électrique "courant", le courant nominal traversant les interrupteurs des deux topologies de convertisseurs sont identiques, sauf pour le bras mutualisé du convertisseur à 5 bras. Néanmoins, le courant nominal de ce bras reste inférieur à la somme algébrique des courants nominaux des deux bras qui lui correspondent en convertisseur 6 bras classique.

Globalement, à puissance identique, le dimensionnement des interrupteurs utilisés dans un convertisseur à 5 bras conduit à des valeurs supérieures à celles d'un convertisseur 6 bras. En revanche, le convertisseur à 5 bras comporte moins de composants, ce qui conduit à une diminution des coûts et à une fiabilité plus élevée.

Notons également que dans le cas de ces travaux de recherche portant sur la tolérance de pannes, il sera nécessaire de surdimensionner l'ensemble des interrupteurs de la topologie à 5 bras par rapport à une topologie classique à 6 bras. En effet, nous ne savons

pas au niveau de quel bras un éventuel défaut interviendrait et par voie de conséquence, quel bras serait alors mutualisé. Dans ce contexte de tolérance aux défauts, il est également impératif de reconfigurer la méthode de génération des ordres de commande après détection de défaut et reconfiguration du convertisseur. De même, une augmentation de la référence de tension du bus continu peut être requise après reconfiguration afin de maintenir la capacité nominale du convertisseur si le fonctionnement du système le demande. Cependant, au cours de cette étude, nous avons utilisé une tension du bus continu suffisamment grande en mode sain du convertisseur, pour rendre possible l'opération souhaitée dans le mode cinq bras.

## 2.3 Contrôleur reconfigurable tolérant aux défauts

Comme mentionné précédemment, nous avons ciblé deux types d'applications pour le convertisseur 6/5 bras tolérant aux défauts : l'alimentation d'une charge RL triphasée, puis un système éolien basé sur une MADA. Ces deux applications sont parmi les applications les plus importantes des convertisseurs AC/DC/AC. Comme mentionné au chapitre précédent, les systèmes éoliens basés sur MADA sont majoritairement installés actuellement. En outre, dans ces systèmes, la production d'énergie électrique est directement liée aux bénéfices économiques qui en découlent. Ainsi, sécurité, fiabilité et continuité de service sont des préoccupations majeures de ce type d'application.

Comme nous l'avons précisé, un contrôleur reconfigurable s'avère nécessaire pour le convertisseur 6/5 bras. Bien que le convertisseur fonctionne d'une manière similaire dans les deux applications ciblées, ces deux cas d'études sont cependant sensiblement différents selon la complexité de leurs systèmes, comme cela sera expliqué par la suite.

### 2.3.1 Alimentation d'une charge triphasée RL

Dans cette section, le convertisseur 6/5 bras est utilisé comme un convertisseur AC/DC/AC pour l'alimentation d'une charge RL triphasée équilibrée. Pour cette application, le côté 1 du convertisseur est connecté à une source triphasée AC via un filtre RL triphasé. Le système est contrôlé de manière à garantir un facteur de puissance unitaire vu de la source AC, la tension du bus continu étant également régulée. Vu du côté 2 connecté à la charge RL, l'objectif est de délivrer des tensions simples équilibrées et d'amplitude contrôlée. Les tensions de sortie de référence sont donc des tensions sinusoïdales triphasées équilibrées. Les tensions d'entrée de référence peuvent être calculées à partir de méthodes classiques pour redresseurs triphasés à IGBT, bien connues et largement publiées dans la littérature [Malinowski2001]. Dans cette partie, nous avons choisi d'utiliser le même mode de commande que celui utilisé pour la commande du CCR au chapitre 1 (Voir section 1.3.3.3). La Figure 2-5 présente le système "fault tolerant" proposé, intégrant un convertisseur 6/5 bras connecté entre la source AC et la charge RL.

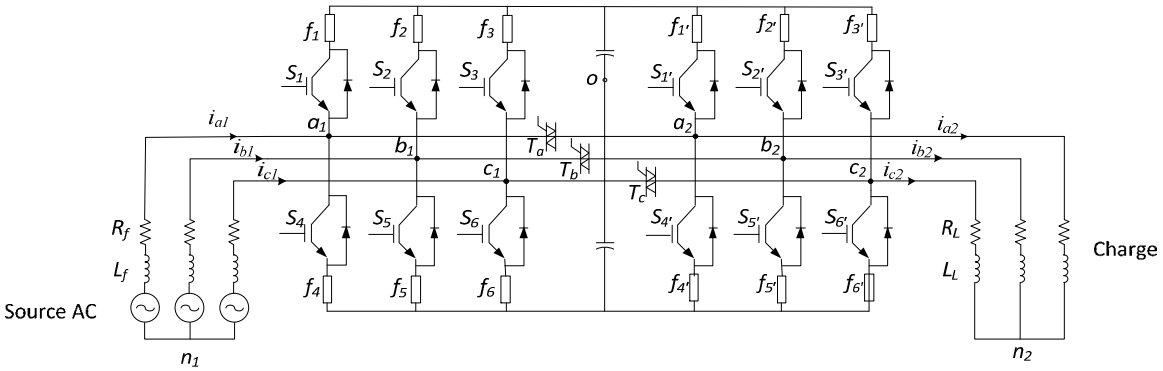



Figure 2-5 : Convertisseur 6/5 bras utilisé pour l'alimentation d'une charge RL triphasée équilibrée.

Dans cette partie, nous abordons le contrôleur reconfigurable "fault tolerant" développé et mis en œuvre. La Figure 2-6 présente le schéma de contrôle proposé. En parallèle de la commande en mode normal, le bloc de "détection de défaut et compensation" surveille le convertisseur 6/5 bras afin de détecter dès que possible un éventuel défaut. Dans cette étude, la détection de défaut est effectuée en utilisant la méthode présentée au chapitre 1. Néanmoins, cette méthode peut encore être davantage optimisée et des optimisations proposées lors de ces travaux de thèse seront développées dans la suite de ce chapitre. En mode de fonctionnement normal, la MLI 6 bras classique est appliquée au convertisseur. Toutefois, suite à la détection d'un défaut, les signaux de commande MLI 5 bras (Figure 2-3(b)), en adéquation avec l'emplacement du défaut, seront alors générés et appliqués au convertisseur. Les ordres de commande des interrupteurs du bras défaillant sont également mis à '0'.

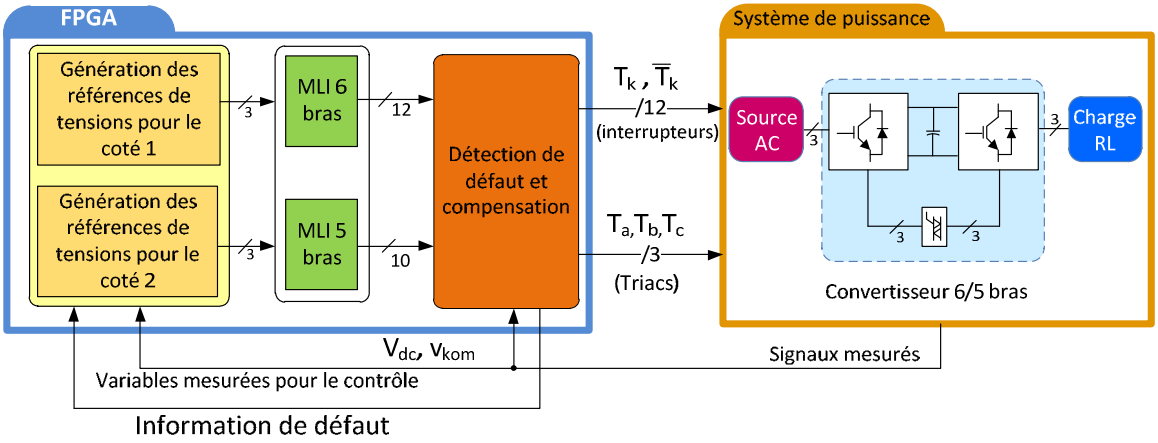



Figure 2-6 : Contrôleur reconfigurable pour le convertisseur 6/5 bras sur charge RL.

Bien que la détection de défaut soit avantageusement implantée sur cible FPGA comme nous avons pu le justifier au chapitre 1, le contrôleur numérique peut être implanté sur une cible FPGA, un système dSPACE ou bien encore un microcontrôleur. Nous avons fait ici le choix d'implanter sur une cible FPGA unique l'ensemble du contrôle "fault tolerant", comme décrit à la Figure 2-6. Cette approche présente notamment l'avantage de réduire considérablement les problèmes potentiels d'interfaçage.

La MLI "reconfigurable" implantée dans le contrôle "fault tolerant" que nous avons développé peut être décrite par le pseudo-code suivant :

- Obtention des 6 références de tension $v_{lj}$ , $pour\ tous\ l, j\ o$ù $\ l\ \in \{a, b, c\}$ et $j \in \{1,2\}$
- En mode normal (pas de défaillance) :
  - Utilisation des 6 tensions de référence $v_{lj}$ dans l'unité 'MLI' 6 bras de la Figure 2-6 pour générer les ordres de commande des 12 IGBTs
  - Mise à '0' des ordres de commande des 3 triacs
- Si un défaut est détecté :
  - Recherche de l'emplacement du défaut (bras $x_i\ o$ù $\ x\ \epsilon\{a, b, c\}, i\epsilon\{1,2\}$)
  - Spécifier le bras correspondant :
    - Triac correspondant : $T_x$
    - Bras correspondant : bras $x_{3-i}$
  - Apporter si nécessaire les modifications adéquates au niveau des références et du contrôleur. Ces modifications peuvent être nécessaires étant donné que la capacité de génération de tension du convertisseur en mode 5 bras est plus faible que celle du convertisseur 6 bras (Voir section 2.2.1).
  - Pour le bras défaillant :
    - Mettre les ordres de commande à '0'.
  - Pour tous les autres bras (bras $l_j\ o$ù $\ l\ \epsilon\{a, b, c\}, j\epsilon\{1,2\}\ et\ l_j \neq x_i$) :
    - $v_{lj\ new} = v_{lj} + v_{x(3-j)}$
  - Mettre en conduction le triac $T_x$.
  - Utiliser les cinq nouvelles tensions de référence de l'unité 'MLI' 5 bras pour calculer les ordres de commande des 5 cinq bras non défaillants
  - Transmettre l'information de défaillance en vue d'une future opération de maintenance.

### 2.3.2 Système éolien basé sur une MADA

Nous allons maintenant étudier le convertisseur 6/5 bras dans le cas d'une application plus complexe : une chaîne éolienne de conversion de l'énergie basée sur une MADA. Dans cette section, un contrôleur reconfigurable est également proposé. La Figure 2-7 présente le système éolien "fault tolerant" proposé, intégrant le convertisseur 6/5 bras connecté entre le réseau et le rotor de la MADA. Le schéma de contrôle proposé est décrit à la Figure 2-8.

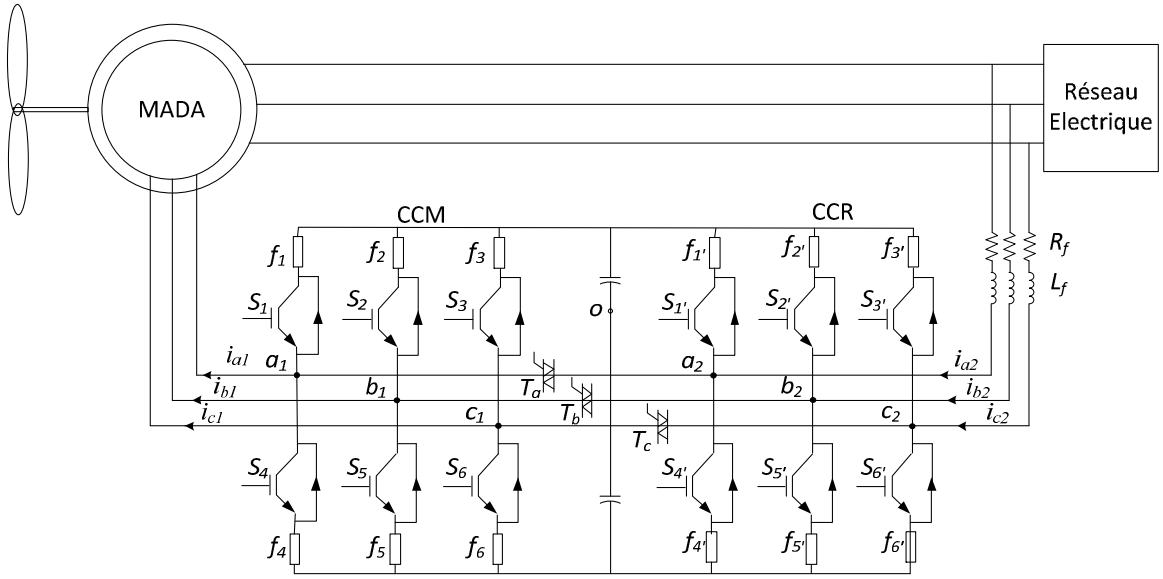



Figure 2-7 : Convertisseur 6/5 bras dans un système éolien basé sur une MADA.

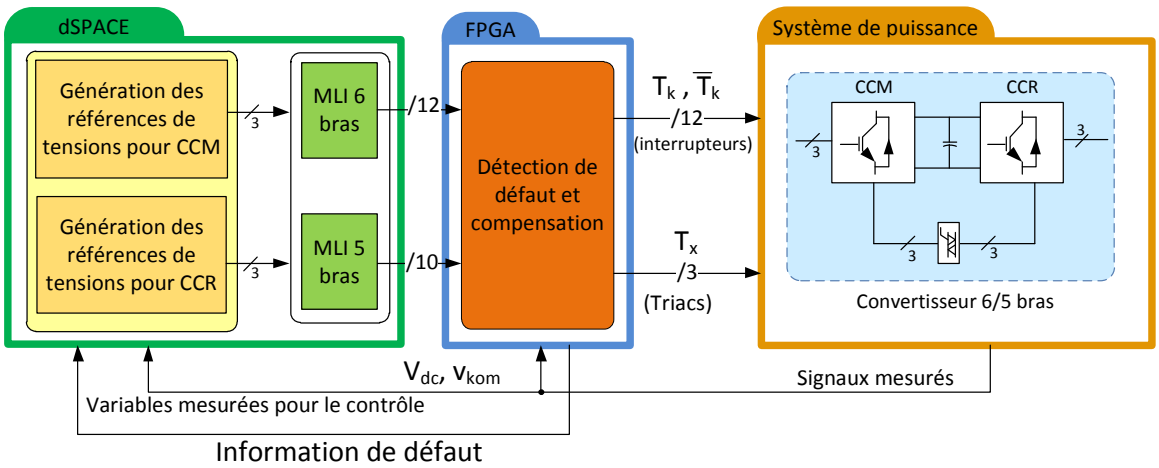



Figure 2-8 : Contrôleur reconfigurable pour convertisseur 6/5 bras dans le cas d'une chaîne éolienne avec MADA.

Dans cette application, le contrôle du convertisseur est plus complexe qu'à la section précédente. Les principes de contrôle et de fonctionnement du système éolien basé sur une MADA ont été exposés au chapitre 1. Nous utiliserons ici un système dSPACE pour implanter le contrôleur. Néanmoins, la partie 'détection de défaut et compensation' sera mise en œuvre sur cible FPGA, car la surveillance du système pour la détection de défaut doit être très rapide et effectuée en parallèle avec les autres tâches du système.

En mode de fonctionnement normal, le bloc de détection et de compensation de défaut impose directement les ordres de commande des interrupteurs issus de la MLI 6 bras aux convertisseurs CCM et CCR qui constituent le convertisseur 6/5 bras, alors en mode 6 bras. Dans le cas où un défaut apparait et est identifié au niveau d'un des interrupteurs, les deux ordres de commande des interrupteurs du bras défaillant sont mis à '0'

immédiatement. En fonction de l'emplacement du défaut, les nouveaux ordres de commande sont alors établis par le bloc 'MLI' 5 bras et le triac correspondant est commandé à la fermeture. Le pseudo-code de la MLI "reconfigurable" exposé à la section précédente sera donc exécuté.

## 2.4 Détection de défaut

Pour la détection de défaut, la même approche que celle exposée au chapitre 1, section 1.4 peut être utilisée. Cette méthode est brièvement reprise ici; davantage de détails sont disponibles au chapitre 1. La Figure 2-9 illustre le schéma de principe de la détection de défaut. Le défaut est détecté sur la base de la différence entre les tensions de pôles mesurées et estimées, respectivement notées $V_{ko,m}$ et $V_{ko,es}$.

Les tensions estimées sont calculées à partir des ordres de commande et de la tension du bus continu. L'ordre de commande de l'interrupteur haut du bras 'k' est noté $T_k$ (Voir Figure 2-1). $T_k = 0$ signifie que l'interrupteur est commandé à l'ouverture et $T_k = 1$ signifie que le que l'interrupteur est commandé à la fermeture.

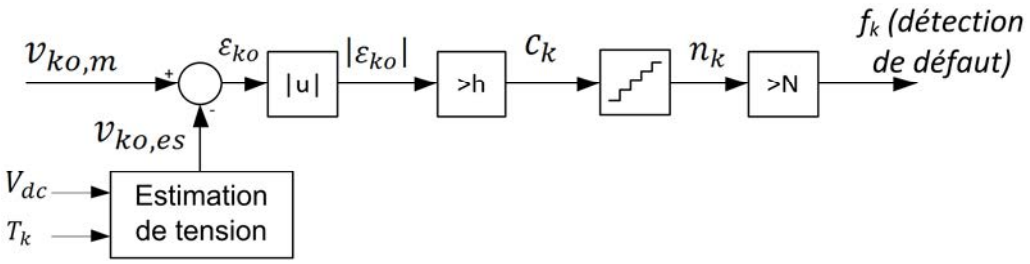



Figure 2-9 : Détection de défaut.

Bien que cette méthode soit rapide et efficace, comme nous avons pu le démontrer expérimentalement au chapitre 1, elle requiert la mise en œuvre de 6 capteurs de tension supplémentaires pour cette topologie de convertisseur 6/5 bras. Il sera démontré dans la suite que ce nombre additionnel de capteurs peut être réduit.

## 2.5 Optimisations de la méthode de détection de défaut

L'objectif de cette section est de réduire le nombre de capteurs de tension nécessaires à la détection de défaut. Dans un premier temps, deux optimisations sont proposées : elles sont abordées de manière générale, dans le cas d'un convertisseur triphasé à 3 bras et seront donc applicables aux 2 topologies "fault tolerant" de convertisseurs 6/5 bras (Figure 2-1) et 6 bras avec redondance (Figure 1-1), étudiées dans ce mémoire. Ensuite, une troisième optimisation est également proposée dans le cas particulier du convertisseur 6/5 bras (Voir Figure 2-1). Elle permet de réduire à 3 le nombre de capteurs de tension nécessaires à la détection de défaut.

### 2.5.1 Réduction du nombre de capteurs de tension basée sur la mesure des tensions composées

Afin de réduire le nombre additionnel de capteurs de tension nécessaires à la détection de défaut, nous proposons de comparer les tensions composées mesurées et estimées, au lieu de comparer les tensions de pôles. Cette méthode abordée de manière générale dans le cas d'un convertisseur triphasé à 3 bras, sera donc applicable aux deux topologies de convertisseurs 6/5 bras et 6 bras avec redondance. Les capteurs de tension sont alors placés entre phases. Seuls 2 capteurs de tension sont mis en œuvre pour un convertisseur triphasé, au lieu de 3 précédemment. La Figure 2-10 illustre le positionnement de ces capteurs de tension dans le cas du convertisseur triphasé du côté 1 de la topologie "fault tolerant" de la Figure 2-1.

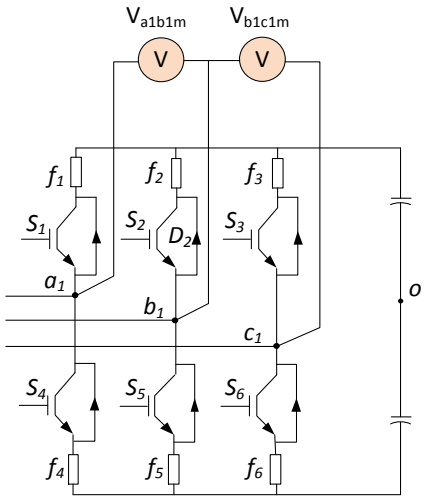



Figure 2-10 : Réduction du nombre de capteurs de tension dans le cas du convertisseur du côté 1 de la topologie "fault tolerant" Figure 2-1.

Nous proposons dans les sections qui suivent 2 méthodes de détection permettant la réduction du nombre de capteurs de tension pour un convertisseur triphasé. La première est plus simple quant à sa mise en œuvre pratique, mais ses performances temporelles peuvent être réduites dans certains cas. Nous la nommerons "Méthode 1". La deuxième est légèrement plus complexe à mettre en œuvre, mais elle est plus rapide et plus fiable. Elle sera nommée "Méthode 2".

#### *2.5.1.1 Méthode 1 pour la détection de défaut*

La "Méthode 1" est illustrée par la Figure 2-11. Dans cette méthode, les trois blocs de Détection de Défaut (nommés $DD_{ab}$, $DD_{bc}$ et $DD_{ca}$) sont utilisés pour la détection des erreurs au niveau des tensions composées, suite à un défaut dans l'un des interrupteurs. Le principe de la détection de défaut est identique pour chaque bloc; il est présenté à la Figure 2-12. Ce principe général reste identique à celui décrit à la Figure 2-9. Lorsque l'un des interrupteurs du convertisseur est défaillant, les tensions composées mesurées et estimées sont différentes et le défaut peut alors être détecté. Les tensions composées

estimées sont calculées à partir des ordres de commande des interrupteurs et de la tension du bus continu :

$$V_{ijes} = (T_i - T_j)V_{dc} \quad i,j \in \{a_1, b_1, c_1\} \tag{2-7}$$

Deux des tensions composées sont mesurées par les capteurs (Figure 2-10) et la troisième ($V_{c1a1,calc}$) est calculée à partir des 2 mesures :

$$V_{c1a1calc} = -V_{b1c1m} - V_{a1b1m} \tag{2-8}$$

Un défaut peut être détecté en observant la différence entre les tensions composées mesurées ou calculée et les tensions estimées à partir des ordres de commande.

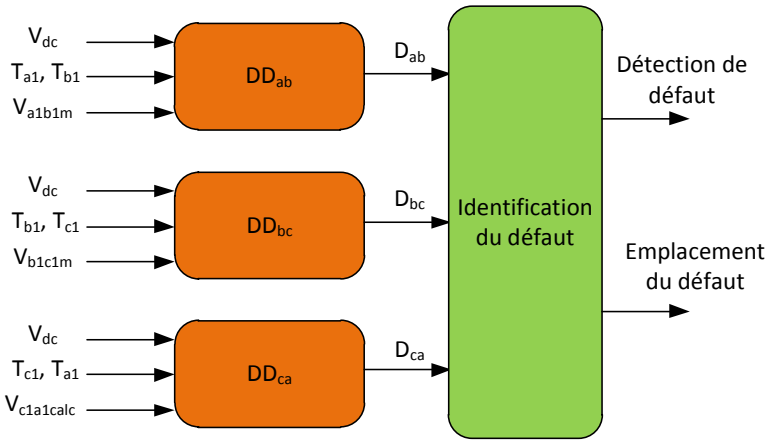



Figure 2-11 : "Méthode 1" pour la détection de défaut d'un convertisseur triphasé.

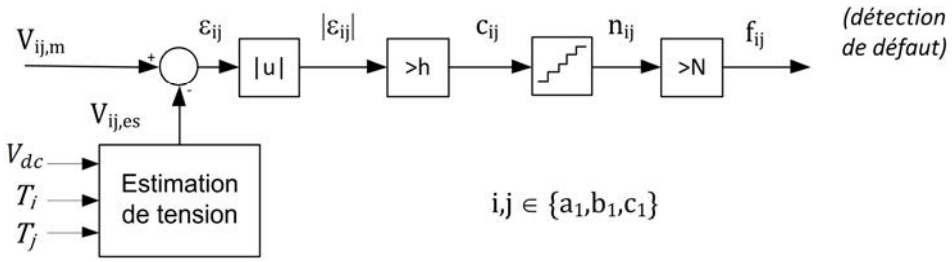



Figure 2-12 : Principe de la détection de défaut dans chaque bloc $DD_{ij}$ où $i,j \in \{1,2,3\}$

Les sorties des trois blocs "Détection de Défaut" sont transmises au bloc 'Identification du défaut' qui a pour rôle de localiser le défaut. La machine d'état mise en œuvre dans ce bloc est représentée à la Figure 2-13. L'apparition d'un défaut affecte deux des 3 tensions composées, entre le bras défaillant et les deux autres bras sains. Par conséquent, après apparition d'un défaut, ce dernier est détecté par deux des trois blocs "Détection de Défaut". Ce sont alors ces deux sorties qui sont utilisées pour localiser le défaut grâce à la machine d'état de la Figure 2-13.

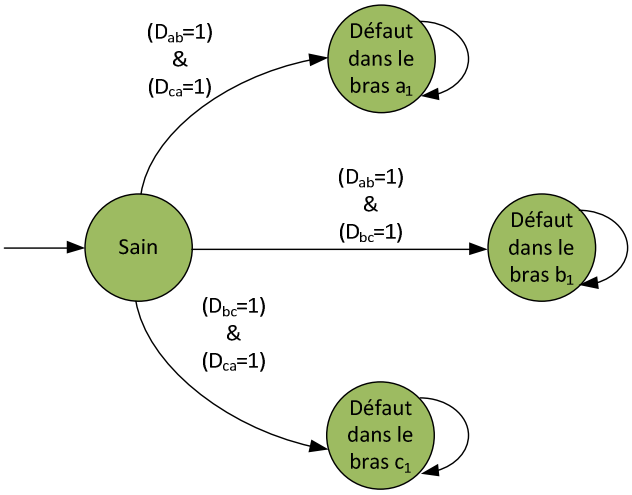



Figure 2-13 : Machine d'état du bloc "Identification du défaut".

Dans cette méthode, il faut cependant mentionner que la détection de défaut d'un interrupteur d'un des 3 bras peut être perturbée et retardée en raison d'une commutation ayant lieu au niveau de l'un des autres bras. Par exemple, considérons la Figure 2-10 et supposons que $S_1$ devienne défaillant alors que le courant de la phase $a_1$ passe par la diode $D_2$. Supposons également que $S_4$ était alors fermé. La sortie du compteur temporel interne au bloc $DD_{ab}$ commence alors à croitre dès l'apparition du défaut. Cependant, si la commande du bras $b_1$ change avant que le défaut n'ait été détecté, l'erreur entre les valeurs mesurée et estimée de $V_{\mathrm{a1b1}}$ sera momentanément proche de zéro et la sortie du compteur temporel sera remise à zéro. Même si la probabilité de cette situation n'est pas très élevée, la commutation ayant lieu au niveau du bras $b_1$ augmente le temps de détection, jusqu'à le doubler dans le cas le plus défavorable. Néanmoins, il faut noter que le défaut reste détectable ; seule sa détection est plus lente, comparativement à la méthode mettant en œuvre trois capteurs de tension (Voir section 1.4, chapitre 1).

Afin d'améliorer les performances de la "méthode 1" dans de telles situations, nous proposons de rendre cette méthode robuste aux commutations des interrupteurs et donc de réduire autant que possible le temps de détection du défaut. Cette variante optimisée de la "méthode 1", nommée "méthode 2", est décrite à la section suivante.

#### *2.5.1.2 Méthode 2 robuste vis-à-vis des commutations des interrupteurs*

Le schéma de principe de la méthode 2 est présenté à la Figure 2-14. Elle est également basée sur 2 blocs : "détection de défaut" et "Identification du défaut". Comme précédemment, le premier bloc permet de détecter l'occurrence d'un défaut et le second localise alors ce défaut.

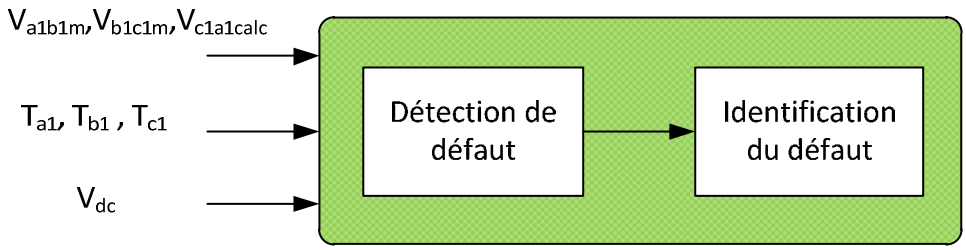



Figure 2-14 : Schéma de principe de la méthode 2.

Les tensions composées mesurées et calculées ainsi que les ordres de commande et la tension du bus continu sont fournis à l'unité "Détection de défaut". Le principe de ce bloc est illustré par la Figure 2-15. Les tensions estimées sont comparées avec les valeurs correspondantes mesurées ou calculées. S'il y a une erreur suffisamment grande pour au moins deux des trois tensions composées (seuil d'erreur $h$), le compteur temporel est activé, sinon ce compteur reste à zéro ou est réinitialisé. Si la sortie de ce compteur temporel est supérieure au seuil $N$, le signal "défaut" est activé. Il est important de noter que dans ce cas, contrairement au cas de la "méthode 1" (Figures 2-11 et 2-13), une commutation dans un bras sain ne peut pas interrompre le processus de détection de défaut car la sortie du bloc de sommation de la Figure 2-15 reste égale à 2, même après une commutation.

Une fois le défaut détecté, il est également nécessaire de le localiser. Le principe du bloc "Identification du défaut" est décrit à la Figure 2-16. Son principe est basé sur le fait qu'après un défaut, la tension composée entre les deux bras sains a le minimum d'écarts par rapport aux références. Par exemple, quand un défaut est détecté et que le signal $Erreur_{ca}$ (voir la Figure 2-15) a été le moins affecté sur les N dernières périodes (par rapport aux signaux $Erreur_{ab}$ et $Erreur_{bc}$), il peut être conclu que les deux bras '$c_1$' et '$a_1$' sont sains, et donc que le défaut est localisé au niveau du bras '$b_1$'.

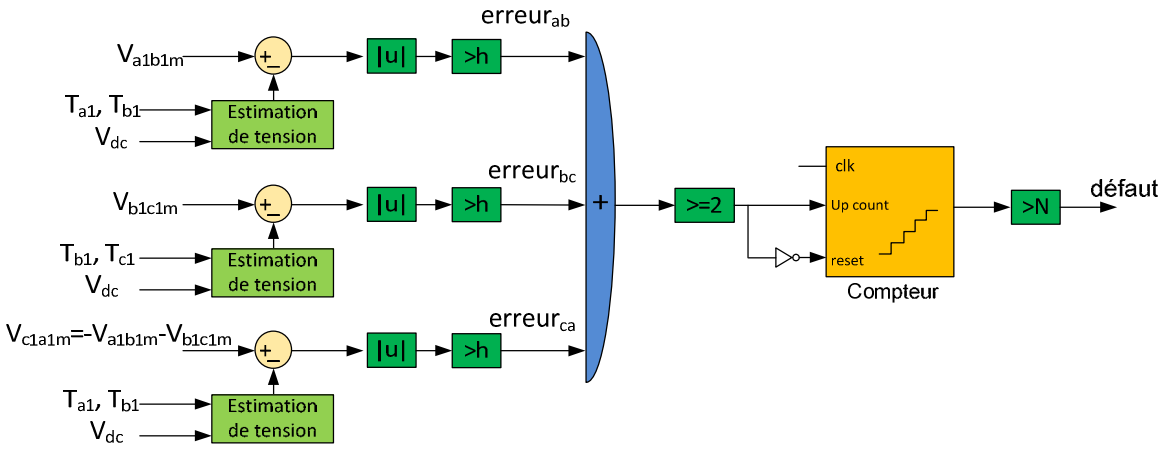



Figure 2-15 : Principe du bloc "Détection de défaut".

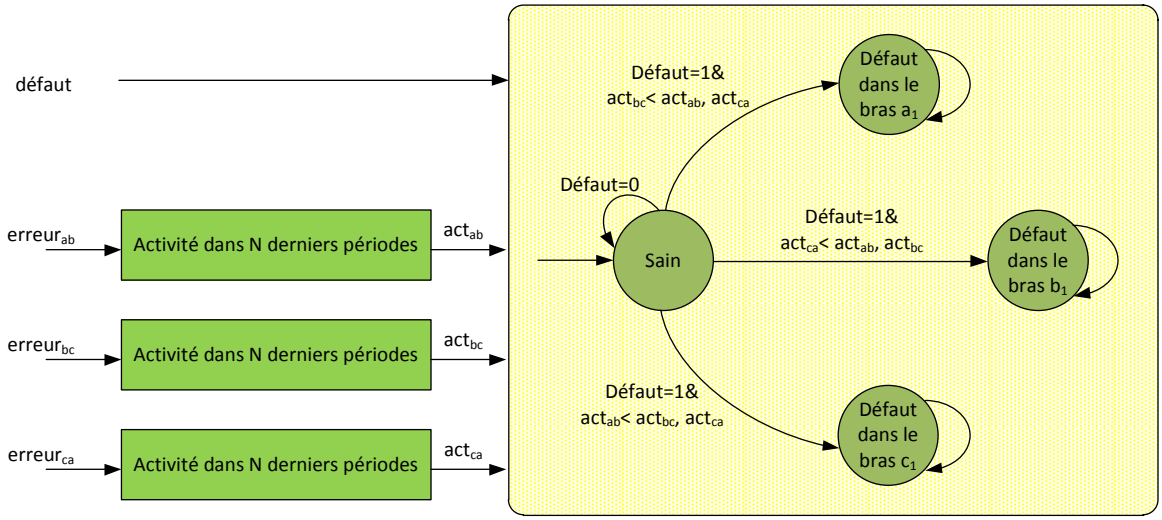



Figure 2-16 : Principe du bloc "Identification du défaut".

### 2.5.2 Réduction du nombre de capteurs de tension dans le cas spécifique du convertisseur 6/5 bras

Afin de réduire davantage encore le nombre de capteurs de tension nécessaires à la détection de défaut dans le cas spécifique du convertisseur 6/5 bras de la Figure 2-1, nous proposons d'utiliser seulement 3 capteurs de tension, au lieu de 4 si l'on a recours à la méthode décrite à la section précédente. Cette méthode sera nommée "Méthode 3". Les 3 capteurs mesurent les tensions composées entre les points milieux des bras $x_1$ et $x_2$ ($x \in \{a, b, c\}$). La Figure 2-17 illustre le placement de ces 3 capteurs. Ce choix de l'emplacement des capteurs sera justifié plus tard. Le nouveau schéma de principe de la détection de défaut est présenté à la Figure 2-18. Son principe général reste identique à celui décrit à la Figure 2-9. Lorsque l'un des interrupteurs du convertisseur est défaillant, les tensions composées mesurées et estimées sont différentes et le défaut peut alors être détecté. Les tensions composées estimées sont calculées à partir des ordres de commande des interrupteurs et de la tension du bus continu :

$$V_{a1a2es} = (T_{a1} - T_{a2})V_{dc} \tag{2-9}$$

$$V_{b1b2es} = (T_{b1} - T_{b2})V_{dc} \tag{2-10}$$

$$V_{c1c2es} = (T_{c1} - T_{c2})V_{dc} \tag{2-11}$$

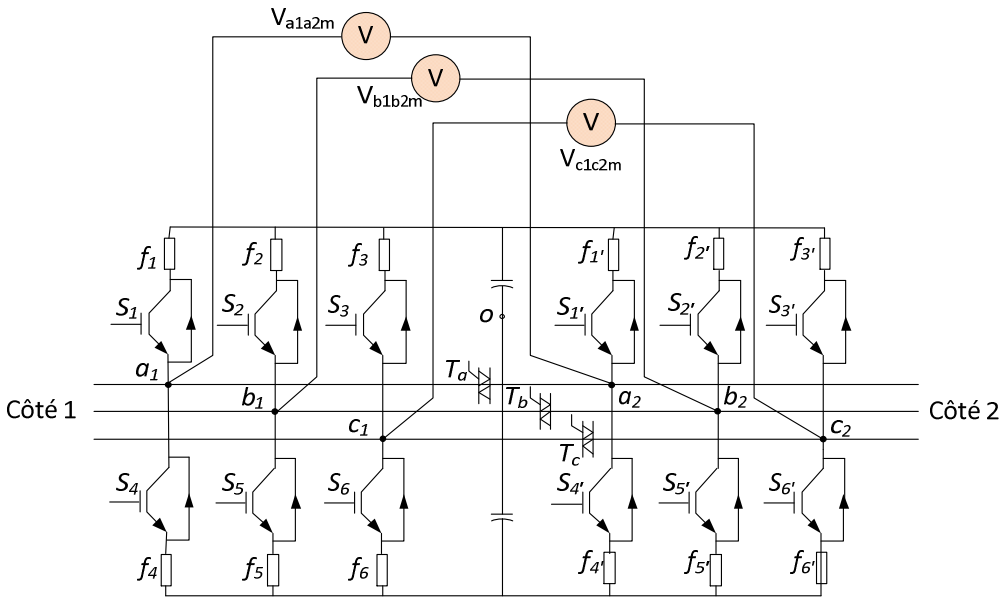



Figure 2-17 : Méthode 3 - Positionnement des 3 capteurs de tension dans le cas du convertisseur 6/5 bras fault tolerant.

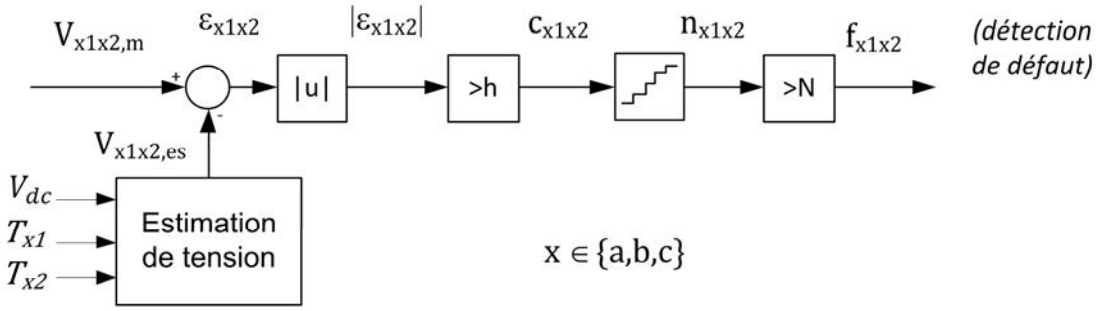



Figure 2-18 : Méthode 3 - Principe de la détection de défaut dans le cas du convertisseur 6/5 bras fault tolerant.

Dans ce cas, il faut cependant mentionner que contrairement à la méthode présentée à la section 1.4 du chapitre 1, il n'est pas possible de détecter l'emplacement exact du défaut. En effet, un défaut dans le bras $x_1$ ou $x_2$ conduira au même résultat en sortie du bloc de détection de défaut (signal $f_{x1x2}$ de la Figure 2-18). Cependant, l'impossibilité de détecter l'emplacement du défaut n'est pas pénalisant. En effet, suite à la détection du défaut, les bras $x_1$ et $x_2$ constitueront le bras commun du convertisseur 6/5 bras reconfiguré en topologie 5 bras, après mise en conduction du triac $T_x$ reliant ces 2 bras. Ainsi, la localisation exacte de l'interrupteur défaillant n'est pas nécessaire.

## 2.6 Validation du convertisseur 6/5 bras “fault tolerant”

L’objectif de cette section est de valider la topologie de convertisseur 6/5 bras proposée dans ce chapitre. Pour mener à bien cette validation, notre démarche est basée sur le flot de prototypage et d’implantation du contrôle “fault tolerant”, détaillé à la section 1.5.3 du

chapitre 1. Comme annoncé précédemment, la validation de ce convertisseur sera réalisée pour deux applications : d'abord l'alimentation d'une charge RL triphasée, puis un système éolien de conversion de l'énergie basé sur une MADA. Dans un premier temps, les paramètres des systèmes étudiés seront spécifiés. Ensuite, les résultats de modélisation/simulation, puis les résultats du prototypage "FPGA in the Loop" seront présentés. Enfin, les bancs de test réalisés lors de cette thèse seront exposés et les résultats expérimentaux présentés et commentés.

### 2.6.1 Paramètres des systèmes étudiés

Les différents paramètres du système assurant l'alimentation d'une charge RL triphasée par le convertisseur 6/5 bras sont consignés dans le Tableau 2-1.

Tableau 2-1 : Paramètres du système assurant l'alimentation d'une charge RL triphasée par le convertisseur 6/5 bras.

| | |
|---|---|
| Impédance de la charge | $R_l = 5{,}5\ \Omega,\quad L_l = 9\ m\Omega$ |
| Filtre | $R_f = 0{,}4\ \Omega,\quad L_f = 3\ m\Omega$ |
| Bus continu | $C = 2200\ \mu F,\quad V_{dc} = 300\ V$ |
| Fréquence de commutation des semi-conducteurs IGBT | $f = 8\ kHz$ |
| Paramètres de la détection de défaut | $N = 30\ ,\ \ h = 10$ |

Quant au second système étudié, le système éolien de conversion de l'énergie basé une MADA, ses paramètres sont identiques à ceux précisés au chapitre 1 (voir Tableau 1-3).

### 2.6.2 Résultats de Modélisation/Simulation

#### *2.6.2.1 Cas de l'alimentation d'une charge RL*

Nous présentons maintenant les résultats de simulation obtenus dans le cas de l'alimentation d'une charge RL triphasée. Ils ont été obtenus après modélisation dans l'environnement Matlab. Comme justifié précédemment à la section 1.4.1, seul un défaut de type circuit ouvert sera étudié. Le défaut de type "circuit ouvert" a été généré au niveau de l'interrupteur $S_3'$ à l'instant t = 0,5 s. En ce qui concerne la détection du défaut, la méthode utilisée au chapitre 1, rappelée brièvement en introduction de la section 2.4 (Voir la Figure 2-9), est utilisée dans un premier temps. Ensuite, les résultats obtenus pour les trois méthodes optimisées proposées à la section 2.5 seront présentés. La Figure 2-19 illustre le signal de commande appliqué à l'interrupteur $S_3'$, rendu défaillant pour générer le défaut, ainsi que la sortie du compteur temporel de la détection de défaut. On peut déjà noter que le défaut est effectivement détecté dans un délai de 30 µs, comme prévu au niveau du choix du paramètre *N* de la détection de défaut.

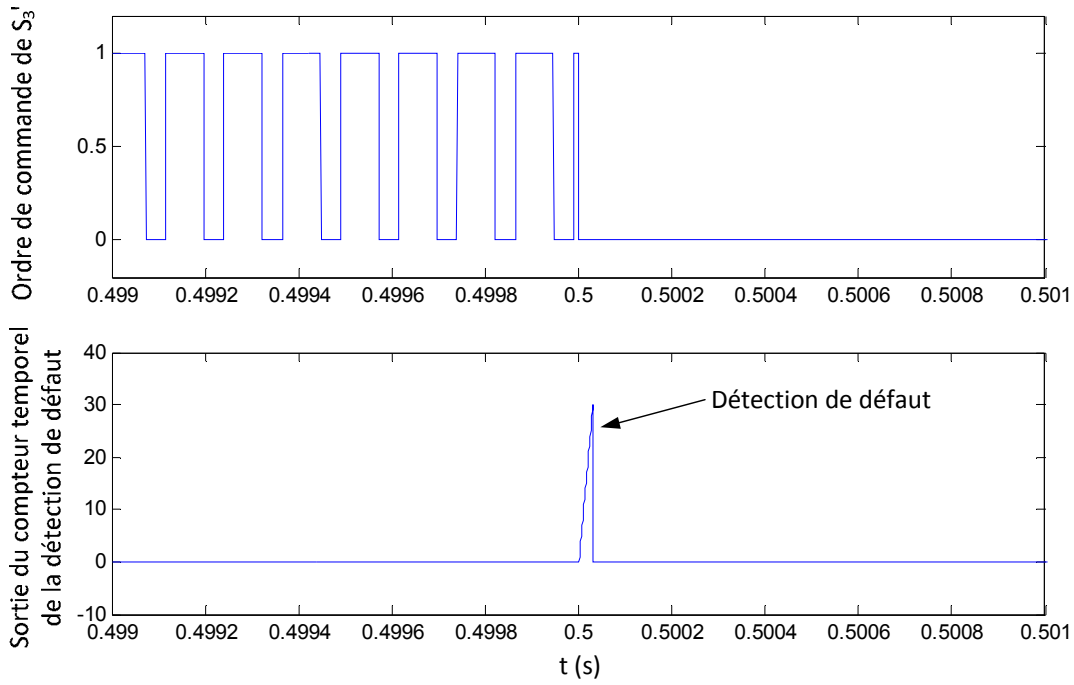



Figure 2-19 : Ordres de commande appliqués à $S_3'$ et sortie du compteur temporel de la détection de défaut pour un défaut généré sur $S_3'$ à t=0,5 s.

La Figure 2-20 représente les courants d'entrée du système, vus du côté de la source AC, avant et après détection et compensation du défaut. La Figure 2-21 présente ensuite les courants traversant la charge RL. Le défaut ayant été généré du côté de la charge RL, on peut visualiser à la Figure 2-21 un faible effet, ponctuel et limité, au niveau du courant de la phase affectée par le défaut. Le chronogramme de la tension aux bornes du bus continu est tracé à la Figure 2-22. Le courant traversant le triac $T_c$ est quant à lui tracé à la Figure 2-23. Ce triac conduit effectivement le courant de la phase rendue défaillante, après détection du défaut et reconfiguration.

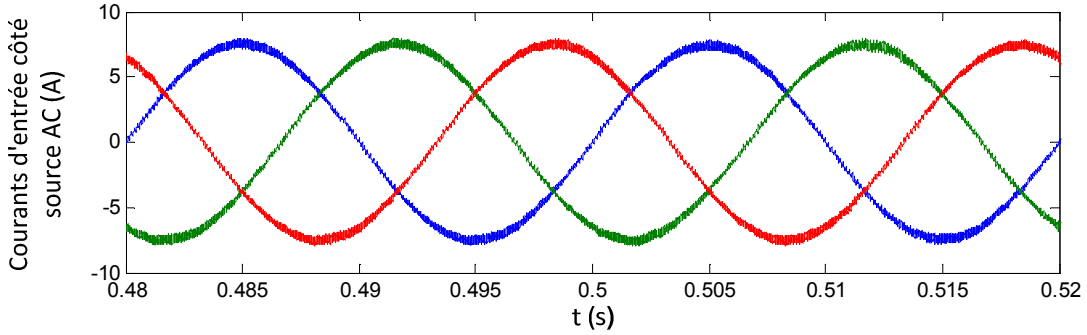



Figure 2-20 : Courants d'entrée côté source AC avant et après détection de la défaillance de $S_3'$ à t=0,5 s et reconfiguration du convertisseur 6/5 bras.

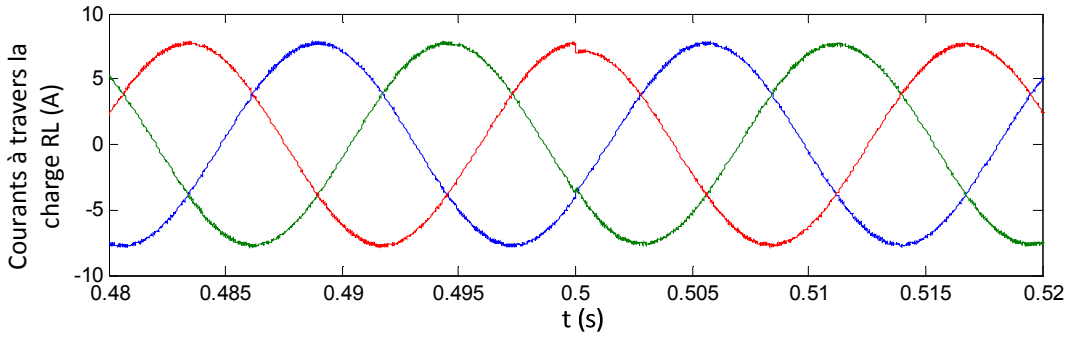



Figure 2-21 : Courants traversant la charge RL lors de la défaillance de $S_3{}'$ à t=0,5 s.

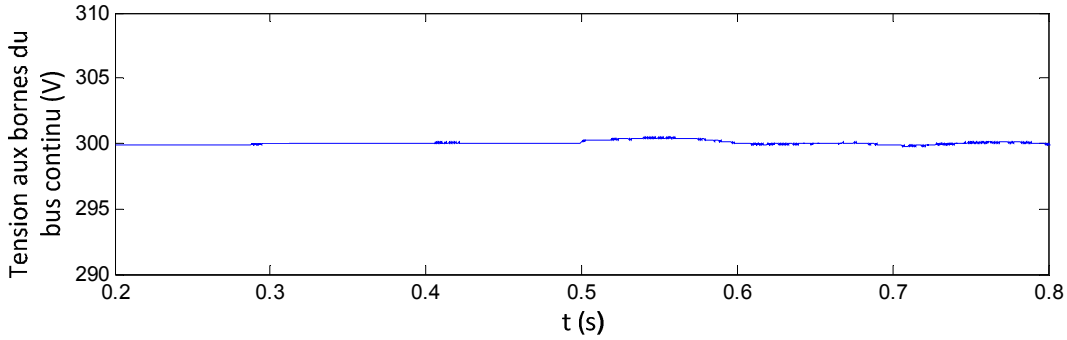



Figure 2-22 : Tension aux bornes du bus continu lors de la défaillance de $S_3{}'$ à t=0,5 s.

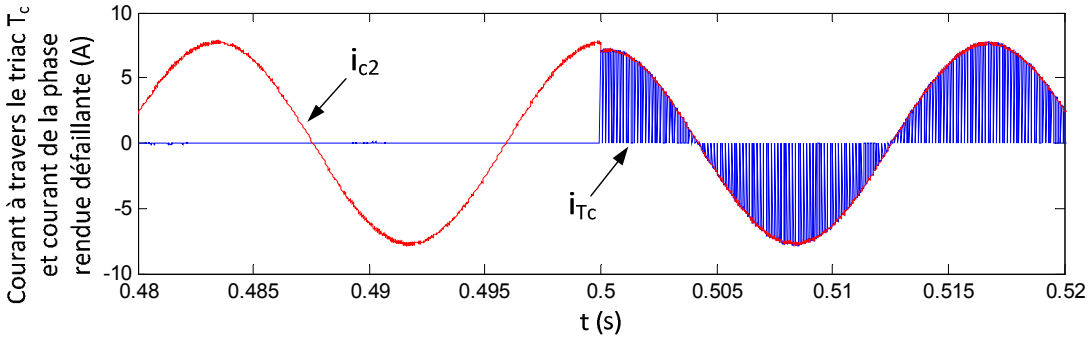



Figure 2-23 : Courant à travers le triac $T_c$ et courant $i_{c2}$ de la phase rendue défaillante lors de la défaillance de $S_3{}'$ à t=0,5 s.

Les résultats de simulation présentés démontrent que la topologie de convertisseur 6/5 bras associée au contrôleur "fault tolerant" proposé permet effectivement de garantir la continuité de service du système lors de la défaillance d'un de ses interrupteurs. A l'exception d'un impact mineur sur la forme d'onde du courant de la phase directement affectée par le défaut, dû au temps de détection de défaut, on peut constater qu'aucune déformation notable n'apparait sur les formes d'ondes. Ceci est naturellement obtenu grâce au faible temps de détection qui pourra être atteint expérimentalement par la mise en œuvre de la détection de défaut sur FPGA, à logique câblée.

### 2.6.2.2 Cas du système éolien basé sur une MADA

Les Figures 2-24 à 2-28 présentent les résultats de simulation pour le système éolien basé sur une MADA, intégrant le convertisseur 6/5 bras. Un défaut de type "circuit ouvert" a été généré au niveau de $S_3'$ (côté CCM) à l'instant t = 2,5 s. La sortie du compteur temporel de la détection de défaut est tracée à la Figure 2-24. Ici encore, on note que le défaut a été immédiatement détecté. Les chronogrammes des courants côtés CCM et du CCR sont respectivement tracés sur les Figures 2-25 et 2-26. La tension du bus continu ainsi que les puissances active et réactive statoriques sont respectivement tracées sur les Figures 2-27 et 2-28. La référence de puissance réactive statorique est d'abord fixée à 0 MVAr, puis deux échelons lui sont appliqués.

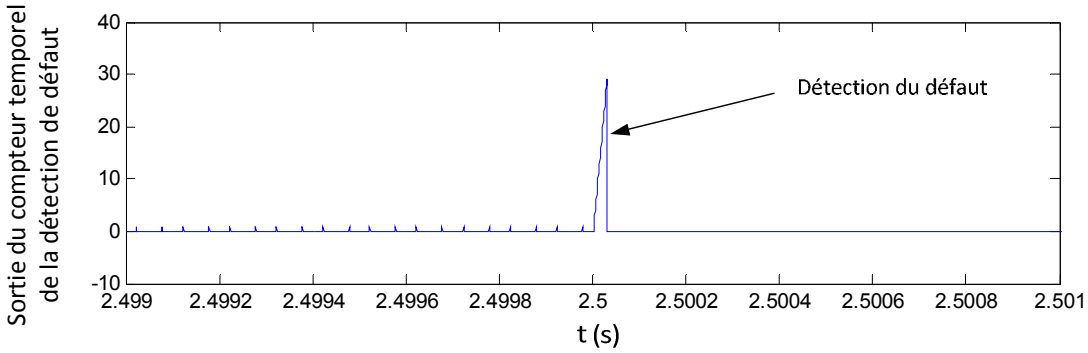



Figure 2-24 : Sortie du compteur temporel de la détection de défaut pour un défaut généré sur $S_3'$ à t=2,5 s.

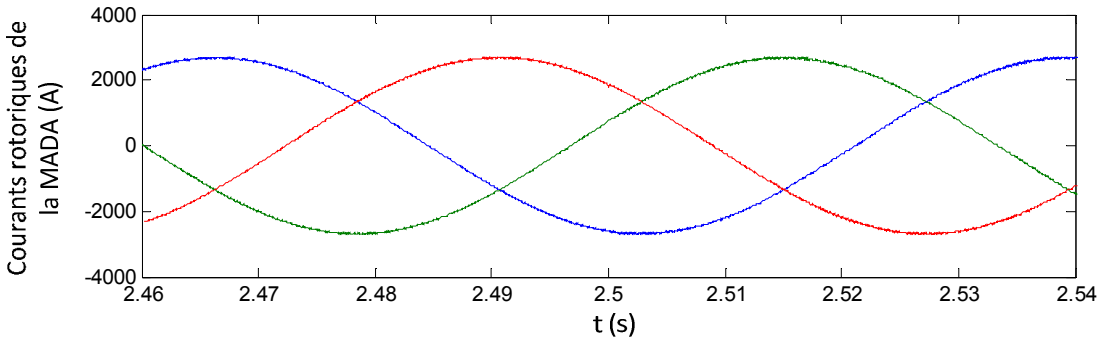



Figure 2-25 : Courants rotoriques de MADA lors de la défaillance de $S_3'$ à t=2,5 s.

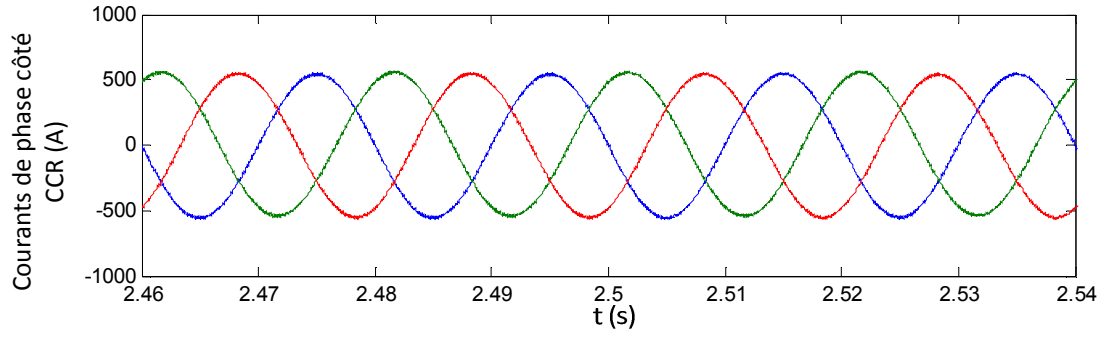



Figure 2-26 : Courants de phase côté CCR lors de la défaillance de $S_3'$ à t=2,5 s.

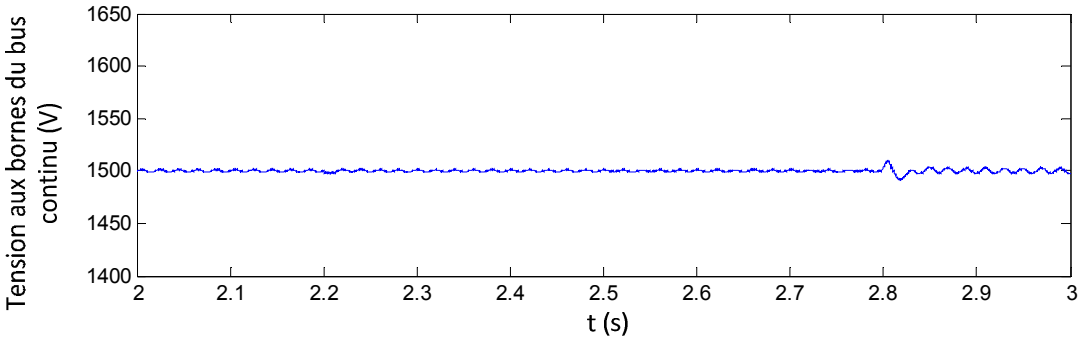



Figure 2-27 : Tension aux bornes du bus continu lors de la défaillance de $S_3'$ à t=2,5 s.

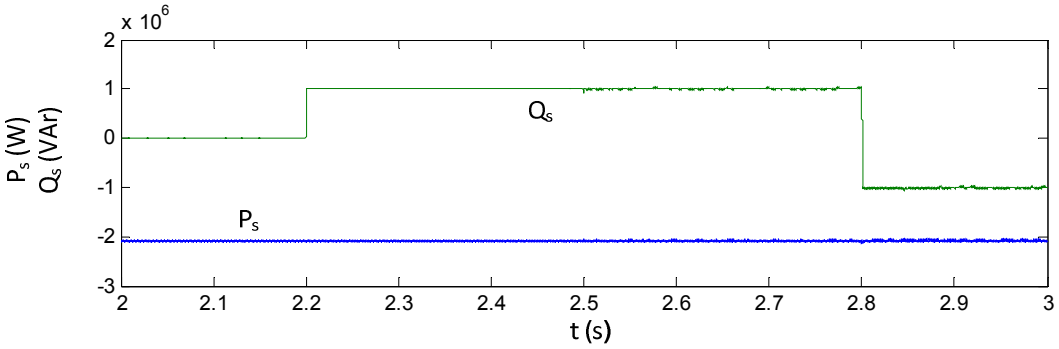



Figure 2-28 : Puissances active et réactive statoriques lors de la défaillance de $S_3'$ à t=2,5 s.

Dans ce cas plus complexe d'un système éolien basé sur une MADA, la topologie de convertisseur 6/5 bras, associée au contrôleur "fault tolerant", permet de garantir la continuité de service du système lors de la défaillance d'un de ses interrupteurs.

De plus, comme le montre la Figure 2-28 lors des échelons appliqués à la consigne de puissance réactive statorique, la MADA est toujours correctement contrôlée lors qu'elle est alimentée par le convertisseur 6/5 bras, reconfiguré en topologie 5 bras.

### *2.6.2.3 Résultats de simulation pour les méthodes optimisées de détection de défaut*

Dans cette section, nous présentons les résultats obtenus par simulation pour les optimisations proposées à la section 2.5 et portant sur la méthode de détection de défaut. D'abord, des simulations sont effectuées pour valider les 'Méthodes 1 et 2' décrites à la section 2.5.1. Ensuite, les résultats de simulation pour la "méthode 3", spécifique au cas du convertisseur 6/5 bras, seront présentés. Les simulations sont réalisées dans le cas de l'alimentation d'une charge RL triphasée par le convertisseur 6/5 bras (voir Figure 2-5), avec les paramètres du Tableau 2-1.

#### 2.6.2.3.1 Résultats de simulation pour les méthodes 1 et 2

Dans cette section, nous présentons les résultats obtenus par simulation pour l'optimisation de la détection de défaut ayant conduit aux méthodes 1 et 2. Un défaut de type "circuit ouvert" est généré au niveau de l'interrupteur $S_2$ à l'instant t = 0,072s. Dans un premier temps, l'efficacité de cette méthode est démontrée, puis le processus de

détection de défaut est analysé et explicité. La Figure 2-29 présente les courants côté charge RL, après détection du défaut par la 'méthode 2' suivie de la reconfiguration du convertisseur en 5 bras. La méthode 1 conduit à des résultats similaires. Dans ce cas, en utilisant indifféremment l'une de ces deux méthodes de détection, le défaut a été immédiatement détecté et les courants ne sont pas affectés par le défaut.

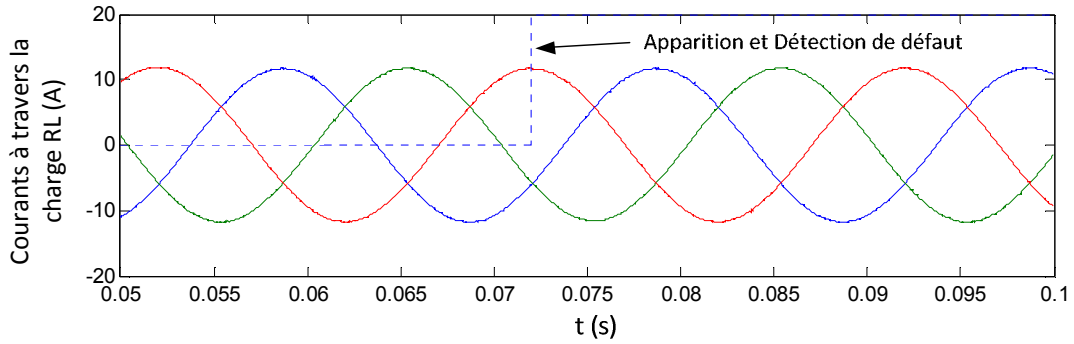



Figure 2-29 : Courants traversant la charge RL lors de la défaillance de $S_2$ à t=0,072s.

La Figure 2-30 est dédiée à la comparaison de la détection de ce même défaut "circuit ouvert" de l'interrupteur $S_2$ à l'instant t = 0,072s, lors de la mise en œuvre de la 'méthode 1' et de la 'méthode 2'. Comme prévu, dans le cas de la 'méthode 1', les compteurs temporels des blocs $DD_{ab}$ et $DD_{bc}$ fonctionnent correctement alors que le compteur temporel de $DD_{ac}$ n'est pas incrémenté car la tension $V_{c1a1,calc}$ n'est pas affectée par le défaut de $S_2$. Pour un défaut intervenant à l'instant t = 0,072s, la 'méthode 1' et la 'méthode 2' conduisent à des résultats similaires.

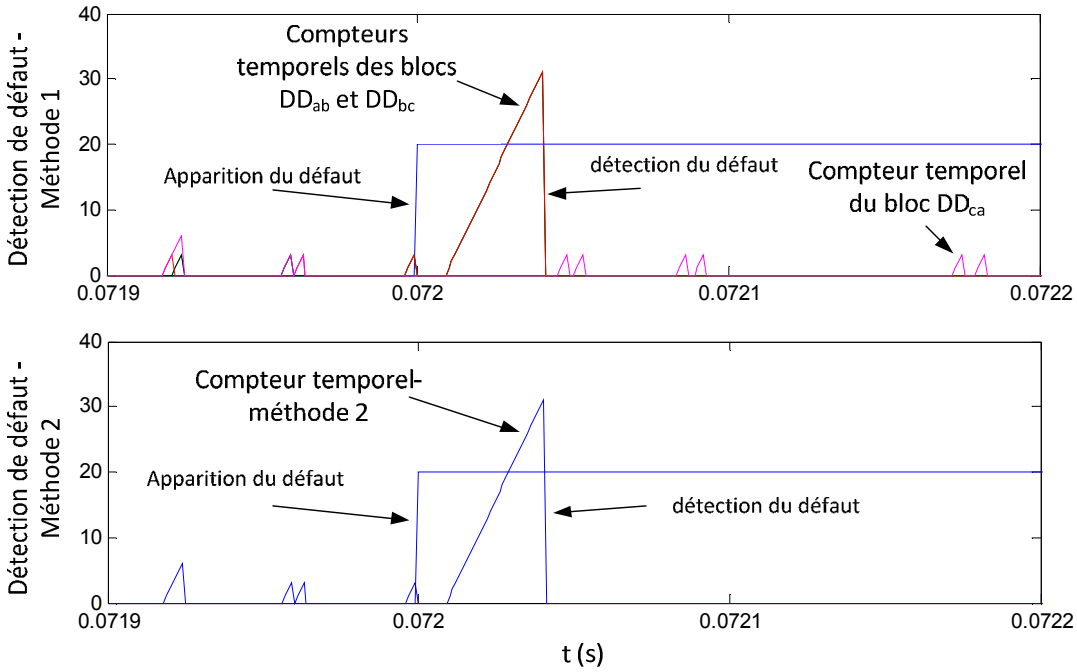



Figure 2-30 : Comparaison des performances des méthodes 1 et 2 lors de la défaillance de $S_2$ à t=0,072s.

Cependant, si l'on considère un défaut "circuit ouvert" survenant au niveau de l'interrupteur $S_2$ à l'instant t = 0,0723s, la commutation des interrupteurs d'un bras sain

interfère avec la détection de défaut. Dans ce cas, la 'méthode 1' et la 'méthode 2' ne conduisent plus à des résultats similaires, comme cela était le cas à la Figure 2-30. Les résultats obtenus dans ce cas de figure sont présentés à la Figure 2-31. On peut constater que les commutations dans les bras $a_1$ et $c_1$ ont respectivement entraîné une remise à zéro des compteurs temporels en sorties des blocs $DD_{ab}$ et $DD_{bc}$. Ainsi, le temps de détection est augmenté de près de 170%. En revanche, la 'méthode 2', robuste envers les commutations, n'est pas affectée et on peut vérifier que la détection du défaut est réalisée aussi rapidement que dans le cas de l'exemple précédent, le défaut survenant alors à l'instant t=0,072s. De plus, on peut noter sur la Figure 2-31 qu'au moment de la détection de défaut, le signal '$act_{ca}$' a la plus petite valeur parmi les trois signaux 'act' traduisant l'activité des compteurs. D'après la Figure 2-16, c'est ce constat qui a permis de localiser le défaut au niveau du bras '$b_1$'.

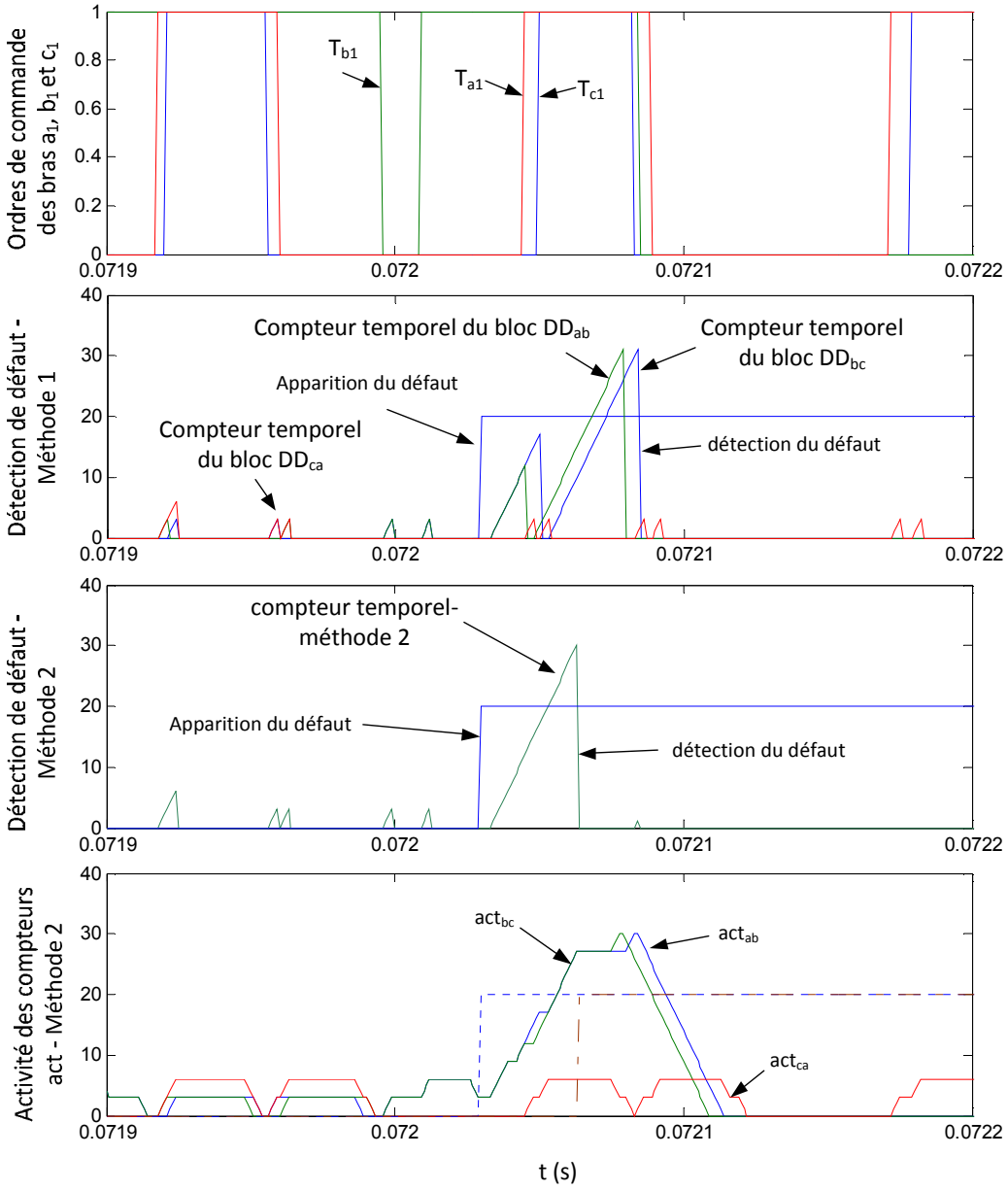



Figure 2-31 : Comparaison des performances des méthodes 1 et 2 lors de la défaillance de $S_2$ à t=0,0723s.

Ces résultats montrent que la ‘méthode 2’ proposée est robuste et rapide, tout en minimisant de manière non négligeable le nombre des capteurs de tension nécessaires à la détection de défaut. En effet, seuls 4 capteurs de tension sont nécessaires au lieu de 6 pour la méthode présentée au chapitre 1.

#### 2.6.2.3.2 Résultats de simulation pour la “méthode 3”

La Figure 2-32 illustre le résultat de la détection du défaut par la ‘méthode 3’ (défaut circuit ouvert généré au niveau de $S_3'$ à t=0,5 s). Cette méthode conduit au même résultat que celui obtenu avec la méthode initialement employée (résultat identique à celui de la Figure 2-19). Le défaut a été détecté immédiatement après son apparition (délai de 30 µs, comme prévu dans l’algorithme). La Figure 2-33 présente les courants à travers la charge RL, avant et après détection du défaut et la reconfiguration du convertisseur en 5 bras. Les chronogrammes de ces courants sont également similaires à ceux de la Figure 2-21. Ainsi, on peut vérifier que l’optimisation proposée est efficace. Elle garantit les mêmes performances que la méthode de détection de défaut initialement employée tout en minimisant le nombre des capteurs de tension.

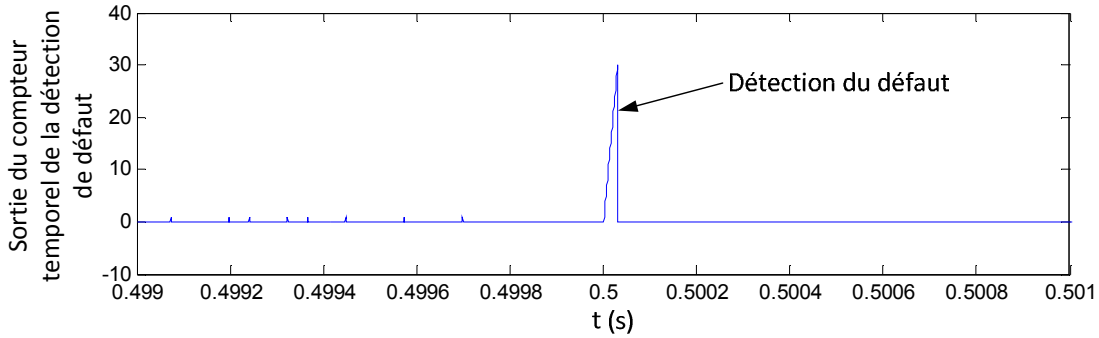



Figure 2-32 : Méthode 3 - Sortie du compteur temporel de la détection de défaut pour un défaut généré au niveau de $S_3'$ à t=0,5 s.

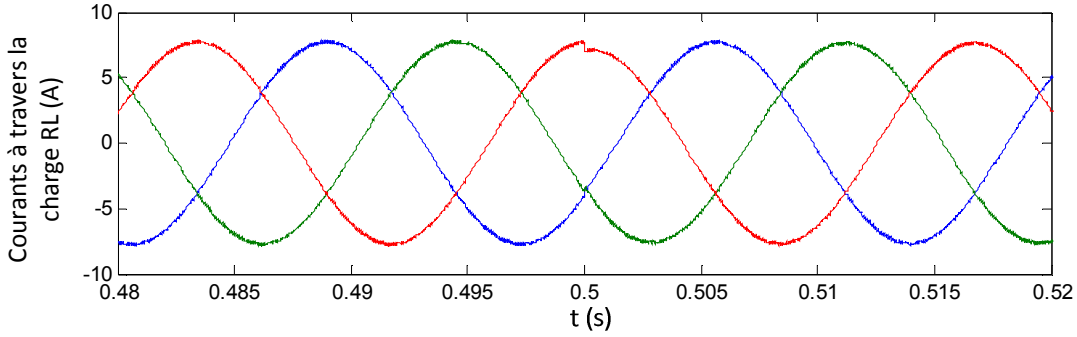



Figure 2-33 : Méthode 3 - Courants traversant la charge RL lors de la défaillance de $S_3'$ à t=0,5 s.

Ayant validé nos études par simulation, nous allons maintenant présenter les résultats par prototypage “FPGA in the Loop”.

### 2.6.3 Résultats du prototypage "FPGA in the Loop"

Le prototypage "FPGA in the Loop" est maintenant présenté et les résultats obtenus commentés. Ici encore, l'étude sera menée pour les deux applications suivantes : d'abord l'alimentation d'une charge RL triphasée, puis un système éolien de conversion de l'énergie basé une MADA. Toutefois, l'objet principal de ce chapitre étant l'étude du convertisseur 6/5 bras et du contrôleur reconfigurable, les tests "FPGA in the Loop" sont effectués pour ces deux applications avec la méthode de détection du chapitre 1. Afin de ne pas alourdir ce chapitre, nous ne présenterons pas dans cette section les résultats "FPGA in the Loop" pour les optimisations proposées concernant le nombre de capteurs de tension. Néanmoins, ces méthodes optimisées de détection feront séparément l'objet de validations expérimentales, présentées ultérieurement à la section 2.6.4.3.

#### *2.6.3.1 Cas de l'alimentation d'une charge RL*

Les résultats "FPGA in the Loop" sont représentés sur les Figures 2-34 à 2-38, dans le cas d'un défaut de type "circuit ouvert" de à $S_3'$ à l'instant t = 0,5 s. Ils sont totalement identiques et conformes aux résultats obtenus par simulation à la section 2.6.2.1, avec cette fois le contrôleur "fault tolerant" physiquement implanté sur cible FPGA. Ici encore, la topologie de convertisseur 6/5 bras associée au contrôleur "fault tolerant" proposé permet effectivement de garantir la continuité de service du système lors de la défaillance d'un de ses interrupteurs.

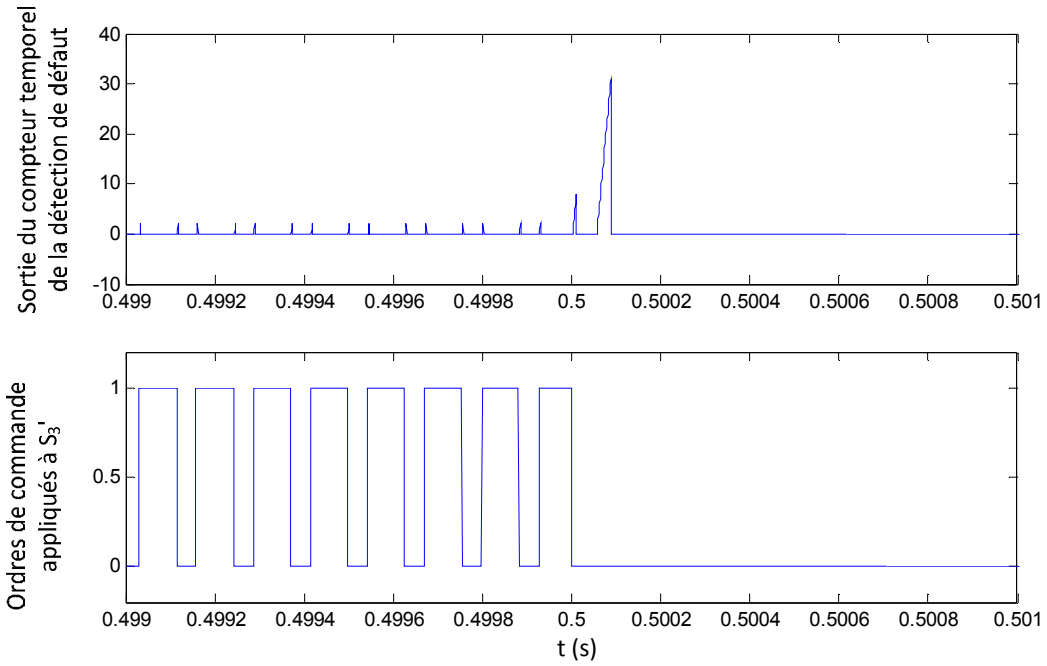



Figure 2-34 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=0,5 s – De haut en bas : Sortie du compteur temporel de la détection de défaut et ordres de commande appliqués à $S_3'$.

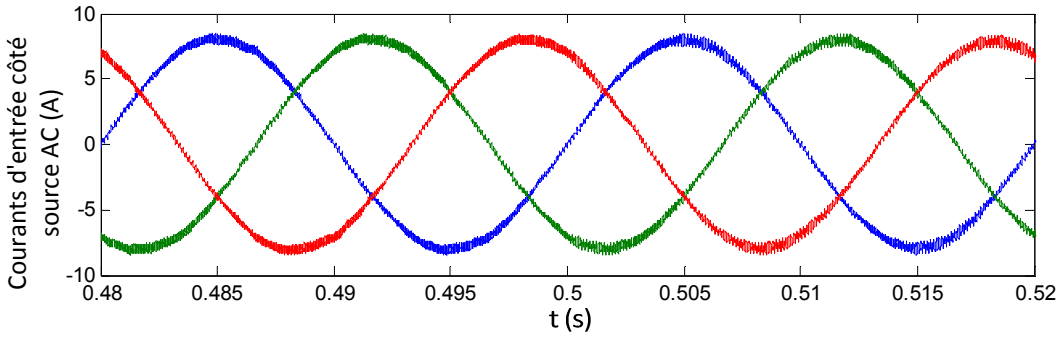



Figure 2-35 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : courants d’entrée côté source AC.

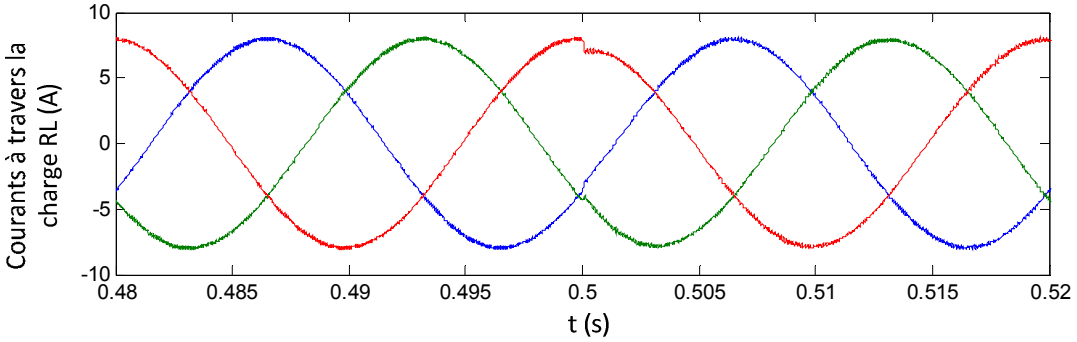



Figure 2-36 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : courants à travers la charge RL.

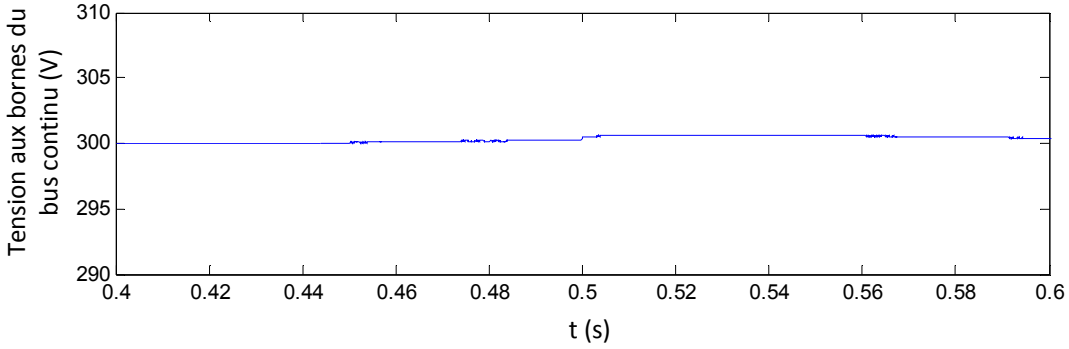



Figure 2-37 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : tension aux bornes du bus continu.

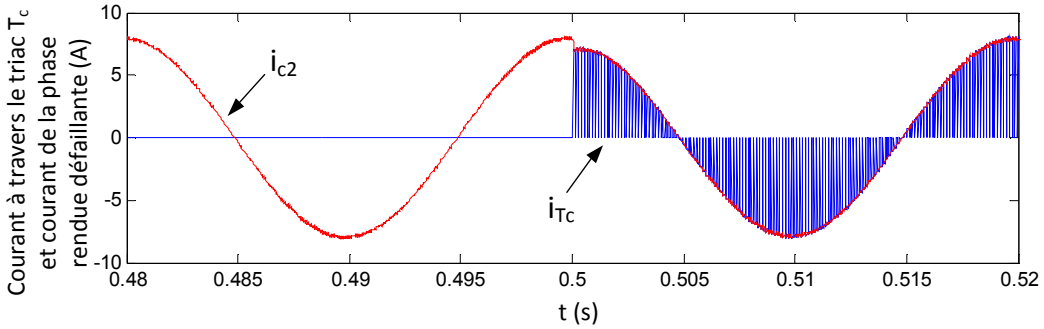



Figure 2-38 : Résultats du prototypage “FPGA in the Loop” lors de la défaillance de $S_3'$ à t=0,5 s : courant à travers le triac $T_c$ et courant à travers la phase défaillante.

### 2.6.3.2 *Cas du système éolien basé sur une MADA*

Dans cette section, les tests "FPGA in the Loop" sont effectués pour le système éolien basé sur une MADA, intégrant le convertisseur 6/5 bras. Un défaut de type "circuit ouvert" de $S_3'$ (côté CCM) a été généré à l'instant t = 2,5 s. Les résultats obtenus sont présentés sur les Figures 2-39 à 2-43. Ils sont totalement identiques et conformes aux résultats obtenus par simulation à la section 2.6.2.2 pour le contrôleur "fault tolerant" physiquement implanté sur cible FPGA. Cette étape valide également l'implantation numérique du contrôleur "fault tolerant" avant de l'intégrer sur le banc de test expérimental.

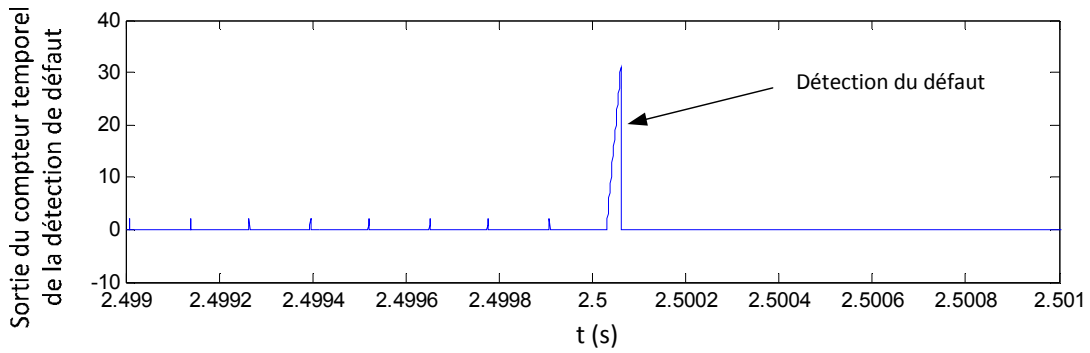



Figure 2-39 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=2,5 s : Sortie du compteur temporel de la détection de défaut.

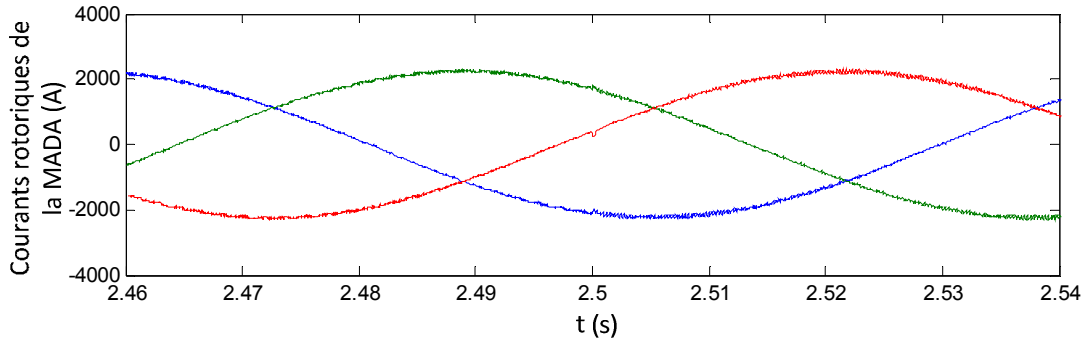



Figure 2-40 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=2,5 s : Courants rotoriques de MADA.

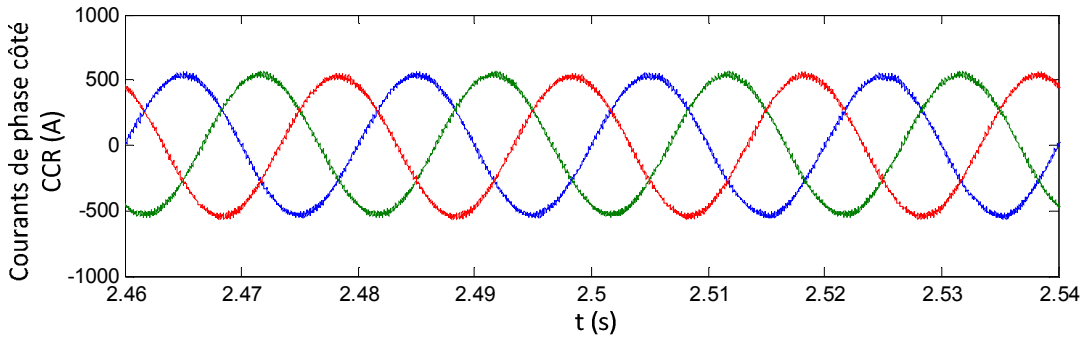



Figure 2-41 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=2,5 s : Courants de phase côté CCR.

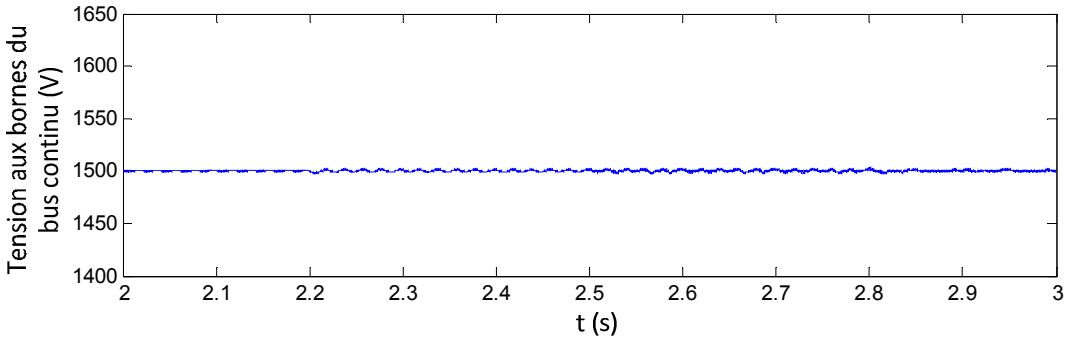



Figure 2-42 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=2,5 s : Tension aux bornes du bus continu.

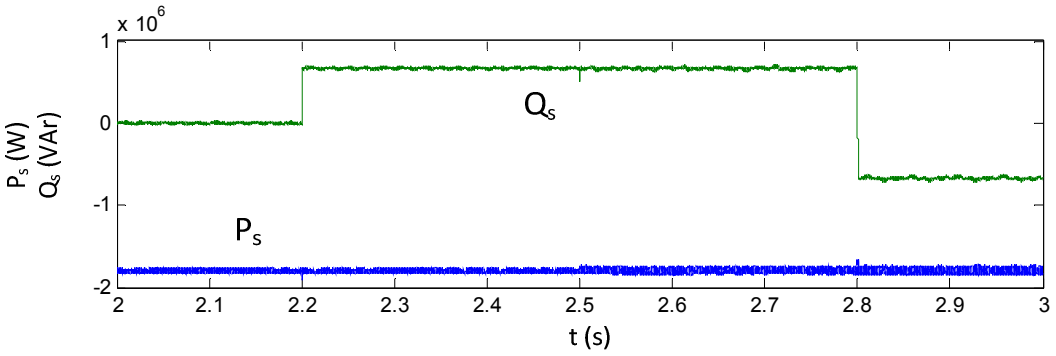



Figure 2-43 : Résultats du prototypage "FPGA in the Loop" lors de la défaillance de $S_3'$ à t=2,5 s : Puissances active et réactive statoriques.

### 2.6.4 Résultats Expérimentaux sur bancs de tests

Après les validations par modélisation/simulation et par expérimentation "FPGA in the Loop", on peut maintenant envisager les tests entièrement expérimentaux. Deux bancs expérimentaux ont été mis en œuvre pour valider le convertisseur 6/5 bras dans les deux cas d'applications proposés. Dans cette section, les deux bancs sont présentés ainsi que les résultats expérimentaux obtenus. Les méthodes optimisées de détection de défaut sont également validées expérimentalement.

#### *2.6.4.1 Banc de test et résultats expérimentaux dans le cas de l'alimentation d'une charge RL*

Une photographie du banc d'essai est présentée à la Figure 2-44. Ce banc comporte deux convertisseurs trois bras classiques à IGBTs, les triacs nécessaires à la reconfiguration du convertisseur, une charge RL triphasée, une source triphasée ainsi qu'un filtre RL. Les convertisseurs sont réalisés à partir de modules IGBT référencés SKM50GB123D et commercialisés par la société SEMIKRON. Ces IGBTs sont pilotés par des drivers SKHI 22A de la société SEMIKRON. Le bus continu est réalisé par deux condensateurs connectés en série, d'une capacité unitaire de 2200µF. Le filtre RL est

constitué d'une inductance de 3 mH et d'une résistance de 0,4 Ω.

Le contrôle "fault tolerant" du système et la détection de défaut sont tous deux implantés sur une unique cible FPGA de la famille ALTERA. Nous utilisons ici la même carte de développement que celle décrite au chapitre 1, intégrant un composant FPGA de la famille Stratix. Un défaut de type circuit ouvert est généré au niveau de l'interrupteur $S_6'$ en mettant à zéro l'ordre de commande de cet interrupteur.

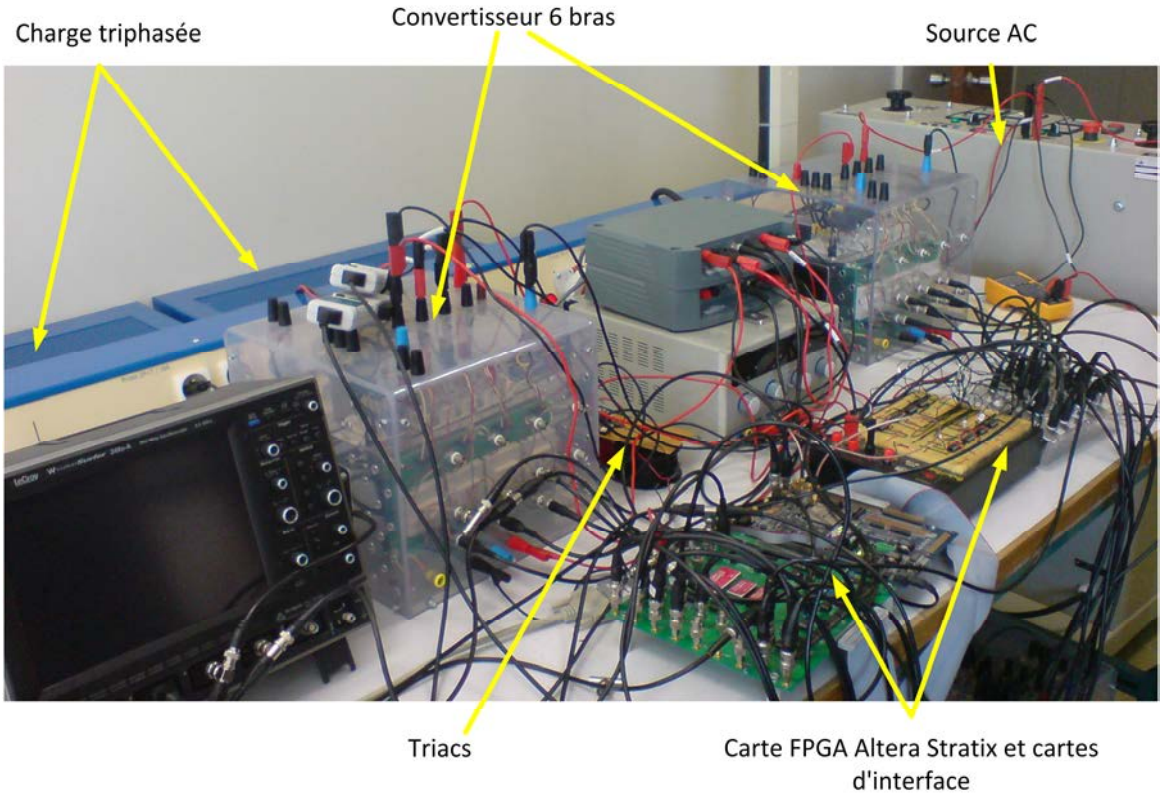



Figure 2-44 : Cas de l'alimentation d'une charge RL triphasée par le convertisseur 6/5 bras fault tolerant : Photographie du banc de test.

Avant et après l'apparition du défaut, on peut visualiser sur la Figure 2-45(a) le courant de la phase défaillante côté charge RL et celui de la phase $a_1$ du côté de la source AC. Malgré l'apparition du défaut de $S_6'$ côté charge, les courants de source et de charge ne sont pas affectés. Une vue détaillée des formes d'ondes des principaux signaux liés à la détection de défaut est présentée à la Figure 2-45(b). Il est important de préciser ici que le défaut intervient alors que le courant $i_{c2}$ de la phase connectée au bras défaillant est négatif. On peut constater que le défaut de $S_6'$ a été détecté très rapidement, en 30 µs. Ceci est conforme à l'algorithme implanté car $S_6'$ est défaillant (circuit ouvert) alors qu'il devrait conduire ($i_{c2} < 0$). On observe également des pics de faibles amplitudes au niveau de la sortie du compteur du bloc de détection de défaut ; ces pics sont dus aux retards dans la boucle de contrôle (contrôleur, convertisseurs statiques, capteurs, convertisseurs A/N, …). Un choix adapté de la valeur du paramètre *N* du bloc de détection de défaut permet de ne pas interpréter à tort ces pics comme des défaillances ; il

garantit ainsi la robustesse de la méthode de détection de défaut, expérimentalement validée par ces essais. La tension aux bornes du bus continu est également tracée à la Figure 2-45(b) ; on peut vérifier qu'elle reste correctement régulée, après reconfiguration du convertisseur.

Si $i_{c2} > 0$ au moment de l'apparition du défaut de $S_6'$ , le courant passe par $D_6'$ alors que $S_6'$ devient défaillant ; ainsi le convertisseur fonctionne normalement. Dans ce cas, le défaut ne peut pas être aussitôt détecté, comme cela peut être visualisé à la Figure 2-46(a) qui illustre ce cas de figure. Ainsi, le défaut ne pourra être détecté qu'à partir du passage à zéro du courant de la phase défaillante, comme illustré à la Figure 2-46(b).

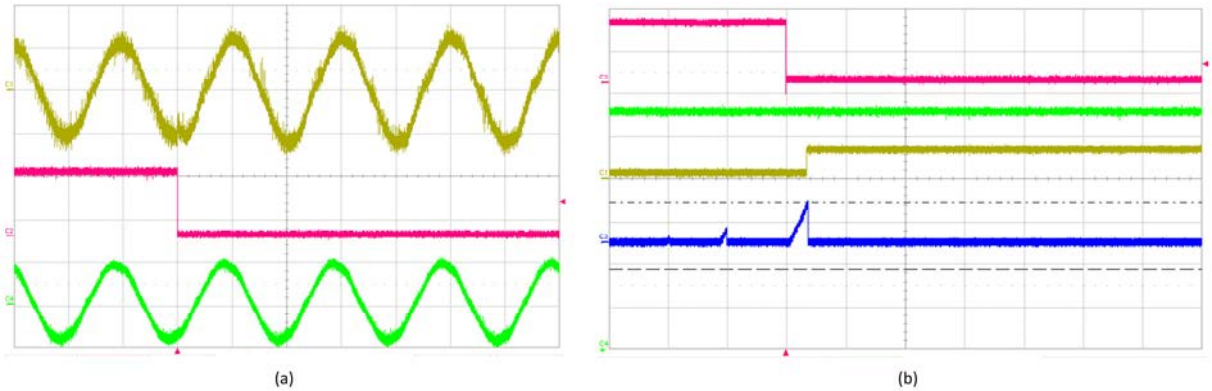



Figure 2-45 : Résultats expérimentaux : Défaillance de type circuit ouvert de l'interrupteur $S_6'$
(a) : De haut en bas: courant $i_{c2}$ à travers la phase défaillante (5 A/div), signal "défaut", courant $i_{a1}$ du côté source (10 A/div)- Echelle de temps: 10ms/div ;
(b) Vue zoomée de la détection de défaut - De haut en bas: signal "défaut", tension aux bornes du bus continu (50 V/div), détection de défaut, compteur temporel de la détection de défaut- Echelle de temps: 100µs/div.

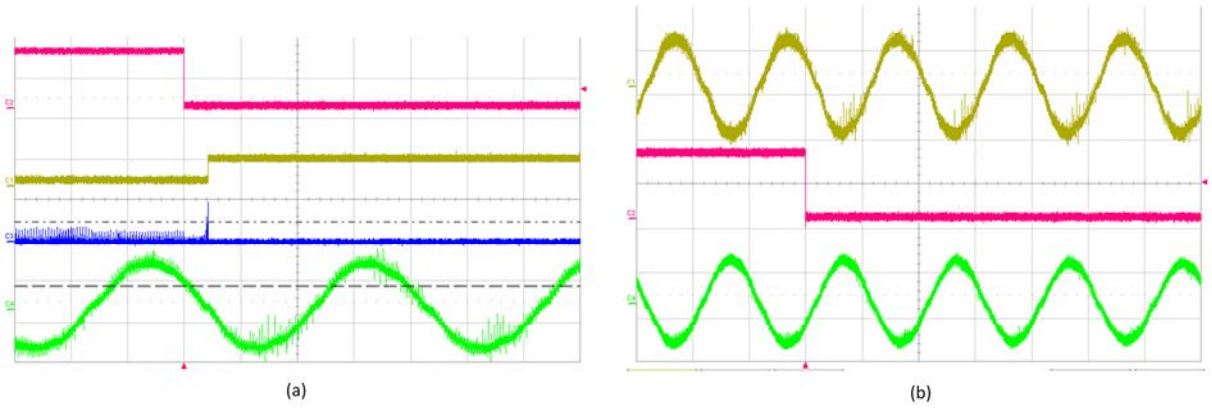



Figure 2-46 : Résultats expérimentaux : Défaillance de type circuit ouvert de l'interrupteur $S_6'$ alors que le courant de phase $i_{c2}$ traverse la diode $D_6'$ montée en antiparallèle sur $S_6'$
(a) : De haut en bas: signal "défaut", détection de défaut, compteur temporel de la détection de défaut, courant $i_{c2}$ de la phase défaillante (5 A/div) - Echelle de temps: 5ms/div.
(b) : De haut en bas: courant de la phase défaillant (5 A/div), signal "défaut", courant de la phase 1 côté source AC (10 A/div) - Echelle de temps: 10ms/div .

Les résultats expérimentaux sont conformes aux résultats de simulation (Figures 2-19 à 2-23) et de prototypage "FPGA in the Loop" (Figures 2-34– 2-38). Nous avons ainsi pu

valider expérimentalement que pour les deux cas étudiés, le convertisseur 6/5 bras assure effectivement la continuité de service recherchée. Ces résultats valident également les performances "temps réel" et la robustesse de l'algorithme de détection de défaut et du contrôle reconfigurable proposé. De plus, nous avons également pu valider expérimentalement qu'un seul FPGA peut intégrer avec efficacité le contrôle "fault tolerant" ainsi que la détection de défaut.

#### *2.6.4.2 Banc de test et résultats expérimentaux dans le cas du système éolien basé sur une MADA*

Le banc de test expérimental, présenté au chapitre 1 et dont la photographie peut être visualisée à la Figure 1-42, a été modifié afin de valider le convertisseur 6/5 bras dans le cas d'un système éolien basé sur une MADA. Ainsi, les mêmes composants ont été utilisés et la topologie du convertisseur "6 bras avec bras redondant" a notamment été remplacée par la topologie 6/5 bras de la Figure 2-7.

Comme dans le cas des essais expérimentaux du chapitre 1, un contrôleur dSPACE a été utilisé pour la partie contrôle de cette application éolienne. Le contrôleur implanté au chapitre 1 sur le système dSPACE a été modifié au sens où il a été rendu "fault tolerant" par l'implantation supplémentaire de la MLI pour la topologie 5 bras. L'implantation réalisée et validée au chapitre 1 a donc pu être avantageusement réutilisée pour les essais menés dans cette section. Néanmoins, la partie "détection de défaut et compensation" a été mise en œuvre sur la carte FPGA. Nous utilisons ici encore la même carte de développement que celle décrite au chapitre 1, intégrant un composant FPGA ALTERA Stratix. Le contrôleur dSPACE génère les ordres de commande pour tous les interrupteurs. Ces ordres de commande sont ensuite envoyés à la carte FPGA qui exécute en parallèle l'algorithme de détection et d'identification de défaut. En mode de fonctionnement normal, le FPGA impose directement ces mêmes ordres de commande aux interrupteurs du CCM et du CCR. Après détection d'un défaut, les ordres de commande des interrupteurs du bras défaillant sont mis à '0' immédiatement. En même temps, l'information d'apparition du défaut est envoyée au système dSPACE qui génère alors sur interruption les nouveaux ordres de commande en utilisant l'algorithme présenté à la section 2.3.1 et les transmet au FPGA.

La même procédure qu'au chapitre 1 est utilisée pour présenter les résultats expérimentaux.

Dans un premier temps, un défaut de type "circuit ouvert" a été généré au niveau de l'IGBT de l'interrupteur $S_3'$ côté CCR, par la mise à '0' de ses ordres de commande. Les références de puissances active et réactive statoriques sont respectivement égales à 1kW et 0 VAr. Le glissement de la MADA est égal à +20%. La Figure 2-47 présente les courants de phase côté CCR, avant et après défaut. L'instant de génération du défaut (à environ t = 4,94 s) y figure. On peut remarquer que les courants restent sinusoïdaux et équilibrés, leur amplitude étant maintenue constante après compensation du défaut. Les

courants de phase rotoriques, côté CCM, sont tracés à la Figure 2-48. Leurs formes d'ondes restent également inchangées après compensation du défaut. Les puissances active et réactive statoriques sont tracées à la Figure 2-49. On valide ainsi le contrôle du système éolien en mode 5 bras: les puissances restent égales à leurs valeurs de référence après compensation du défaut. Il en est de même pour la tension du bus continu, tracée à la Figure 2-50.

La Figure 2-51 est une vue détaillée des signaux liés à la détection de défaut. On peut constater à la Figure 2-51(a) que la détection de défaut a été très rapide et que le courant de la phase $c_1$ connectée au bras défaillant reste correctement contrôlé après reconfiguration du convertisseur. Un vue plus précise des signaux de détection de défaut est présenté à la Figure 2-51(b). Après reconfiguration, la commande du bras commun (constitué dans ce cas des bras $c_1$ et $c_2$) est calculée à partir de la MLI 5 bras (Voir Figure 2-3). Elle remplace la commande de $S_3'$, après reconfiguration du convertisseur.

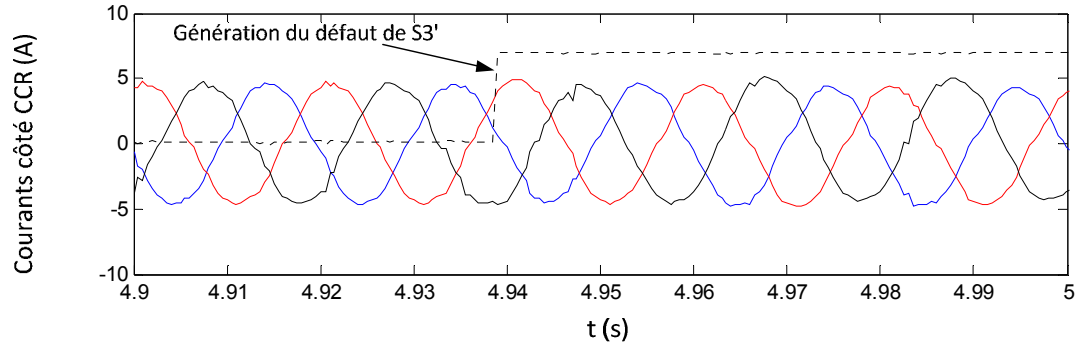



Figure 2-47 : Défaut de type "circuit ouvert" de l'interrupteur $S_3'$ : Courants de phase côté CCR.

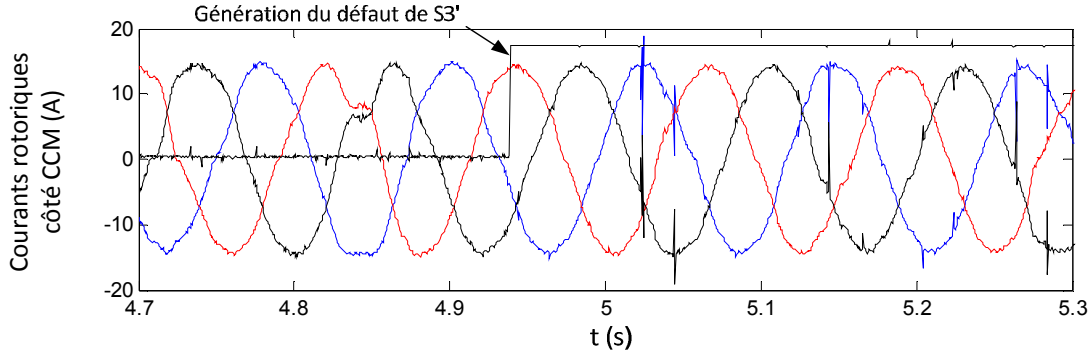



Figure 2-48 : Défaut de type "circuit ouvert" de l'interrupteur $S_3'$ : Courants rotoriques côté CCM.

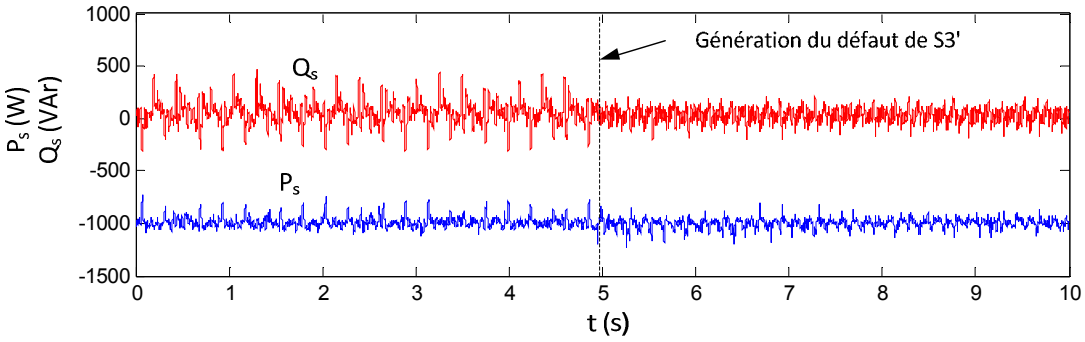



Figure 2-49 : Défaut de type "circuit ouvert" de l'interrupteur $S_3'$ : Puissances active et réactive statoriques.

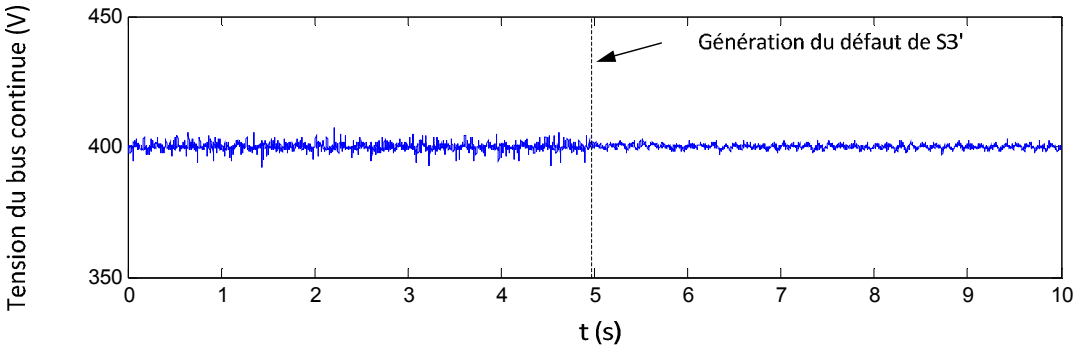



Figure 2-50 : Défaut de type "circuit ouvert" de l'interrupteur $S_3'$ : Tension du bus continu.

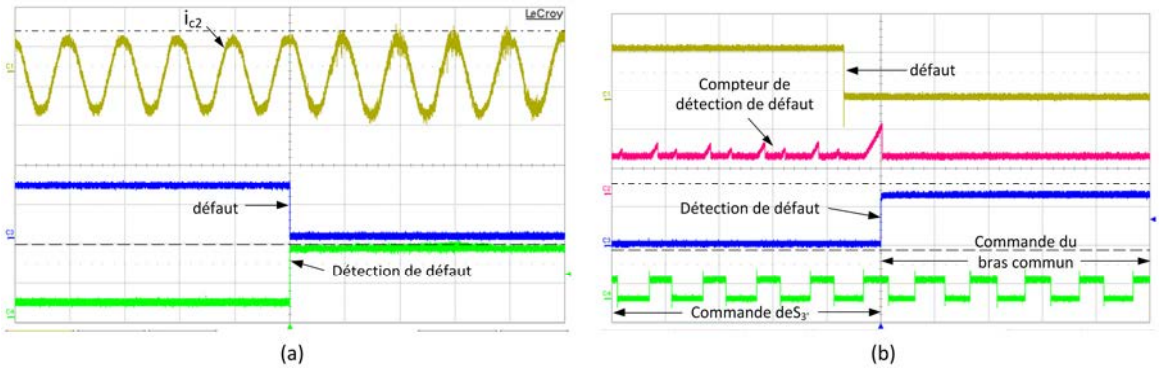



Figure 2-51 : Défaut de type "circuit ouvert" de l'interrupteur $S_3'$ : (a) De haut en bas: courant $i_{c2}$ de la phase $c_2$ défaillante côté CCR (5 A/div), signal "défaut", détection de défaut - Echelle de temps: 20ms/div; (b) De haut en bas: signal "défaut", compteur temporel de la détection de défaut, détection du défaut, commande de $S_3'$ (avant reconfiguration)/ commande du bras commun (après reconfiguration) (10V/div) - Echelle de temps: 100µs/div.

Nous présentons maintenant les résultats expérimentaux obtenus lors d'un défaut de type "circuit ouvert" généré au niveau de l'interrupteur $S_3$ côté CCM. Les références des puissances active et réactive statoriques sont respectivement égales à 1kW et 0 VAr. Les chronogrammes des courants rotoriques sont tracés à la Figure 2-52 : ces courants sont correctement contrôlés après reconfiguration du convertisseur. Il en est de même pour les puissances active et réactive statoriques présentées à la Figure 2-53. Le contrôle de la tension $V_{dc}$ est également opérationnel après défaut, en mode 5 bras, comme cela peut être constaté à la Figure 2-54.

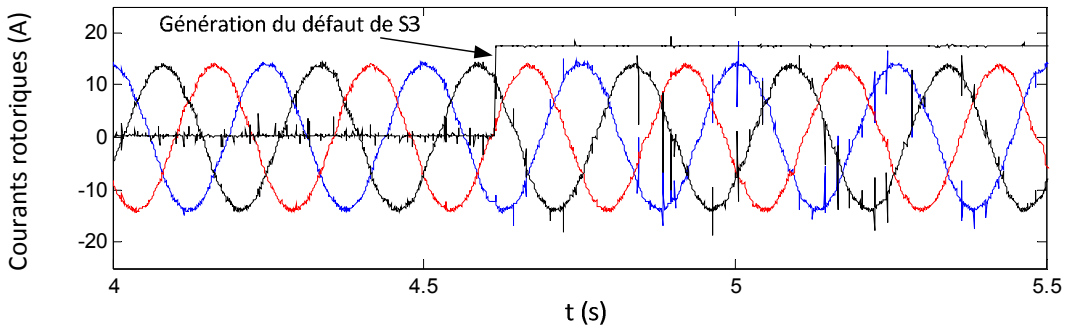



Figure 2-52 : Défaut de type "circuit ouvert" de l'interrupteur $S_3$ : Courants de phase rotoriques côté CCM.

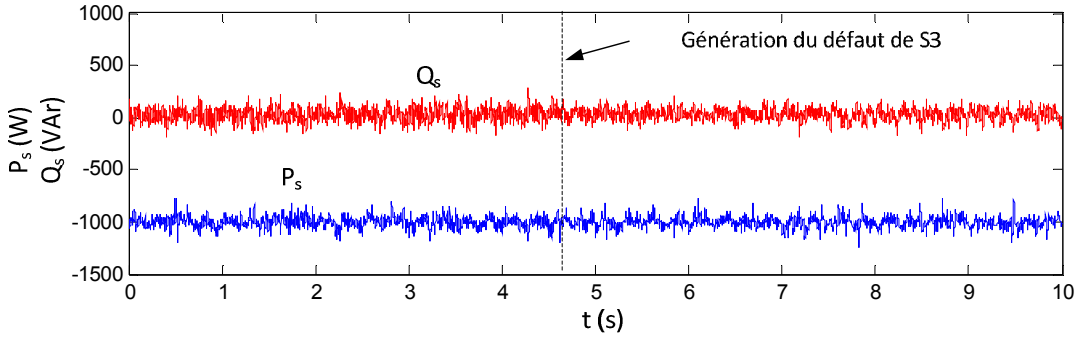



Figure 2-53 : Défaut de type "circuit ouvert" de l'interrupteur $S_3$ : Puissances active et réactive statoriques.

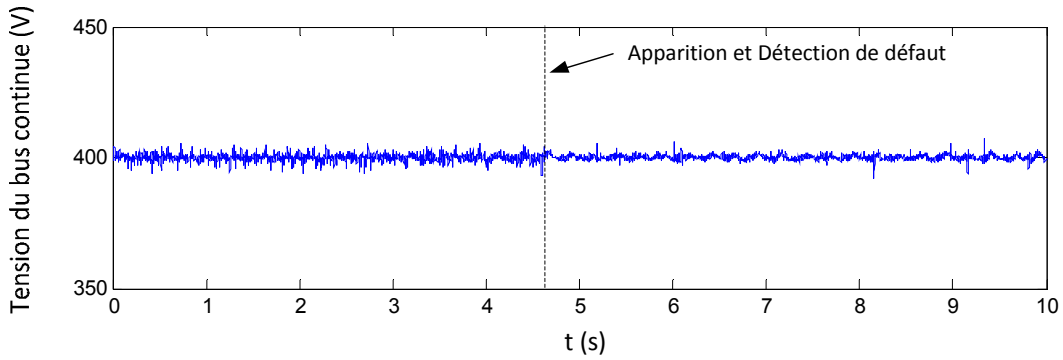



Figure 2-54 : Défaut de type "circuit ouvert" de l'interrupteur $S_3$ : Tension aux bornes du bus continu.

La Figure 2-55 est une vue détaillée des signaux liés à la détection de défaut et à la reconfiguration du convertisseur, lors de la défaillance de $S_3$. La Figure 2-56(a) présente le courant $i_{c1}$ de la phase $c_1$ défaillante ainsi que le courant traversant le triac $T_c$, avant et après reconfiguration du convertisseur. Le courant de la phase $c_1$ reste correctement contrôlé après reconfiguration du convertisseur. La Figure 2-56(b) présente une vue zoomée des formes d'ondes plus spécifiques à la détection de défaut. Ces formes d'ondes sont également en accord avec les résultats de modélisation/simulation et de prototypage "FPGA in the Loop". Cette figure valide donc la détection de défaut en 30 µs.

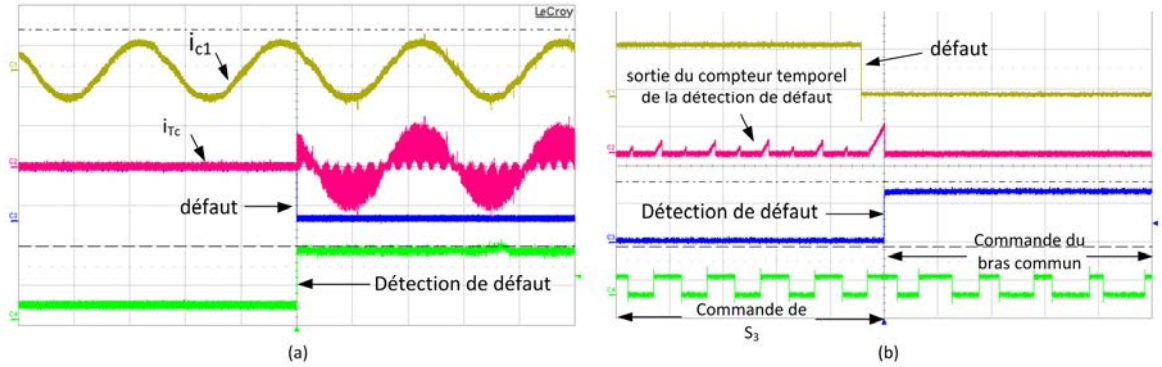



Figure 2-55 : Défaut de type "circuit ouvert" de l'interrupteur $S_3$ : (a) De haut en bas: courant à travers la phase 3 défaillante (20 A/div), courant à travers le triac $T_c$ (20 A/div), signal "défaut", détection de défaut - Echelle de temps: 100ms/div; (b) De haut en bas: signal "défaut", sortie du compteur temporel de la détection de défaut, détection de défaut, ordres de commande pour $S_3$, puis pour le bras commun (10V/div) - Echelle de temps: 100µs/div.

### *2.6.4.3 Résultats expérimentaux pour les méthodes d'optimisation de la détection de défaut*

Dans un premier temps, nous présentons une étude comparative basée sur les résultats expérimentaux obtenus pour les méthodes 1 et 2 d'optimisation de la détection de défaut, proposées à la section 2.5. Lors de ces essais, le contrôleur reconfigurable ainsi que la détection de défaut sont mis en œuvre sur une unique cible FPGA. Un défaut de type circuit ouvert est appliqué à l'interupteur $S_2$. Les résultats expérimentaux sont présentés à la Figure 2-56. Dans ce cas, les méthodes 1 et 2 garantissent les mêmes performances, comme on peut le voir sur la Figure 2-56. Néanmoins, la Figure 2-57 montre que dans certain cas, la méthode 1 peut être plus lente que la méthode 2.

Dans un second temps, la méthode 3, spécifique au convertisseur 6/5 bras, a été validée expérimentalement. Les résultats obtenus sont présentés à la Figure 2-58. Un défaut de type circuit ouvert est appliqué au niveau de $S_3'$. Les formes d'ondes de la Figure 2-58 montrent que, dans ce cas, la détection du défaut a effectivement été rapide et correcte (temps de détection d'environ 30 µs).

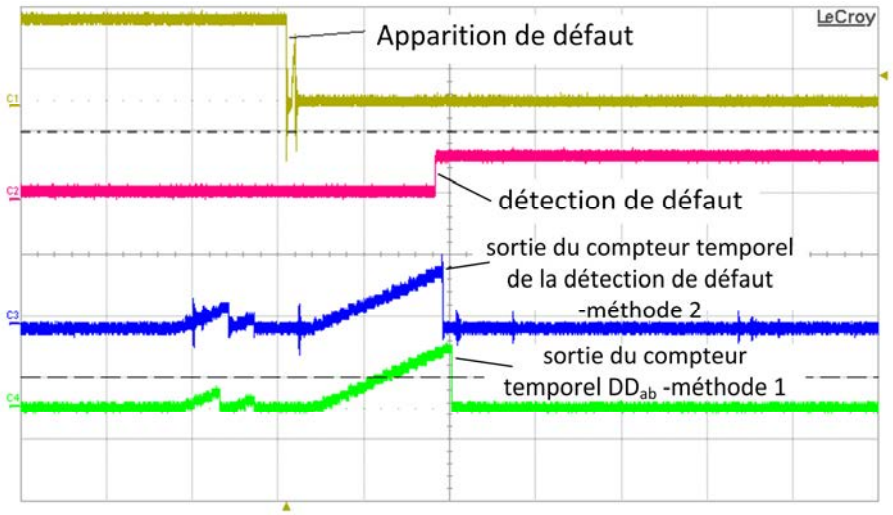



Figure 2-56 : Comparaison des signaux de détection de défaut pour les méthodes 1 et 2 : De haut en bas : signal "défaut", détection du défaut, compteur de la méthode 2, compteur du bloc DD12 de la méthode 1, Echelle de temps: 10 ms/div.

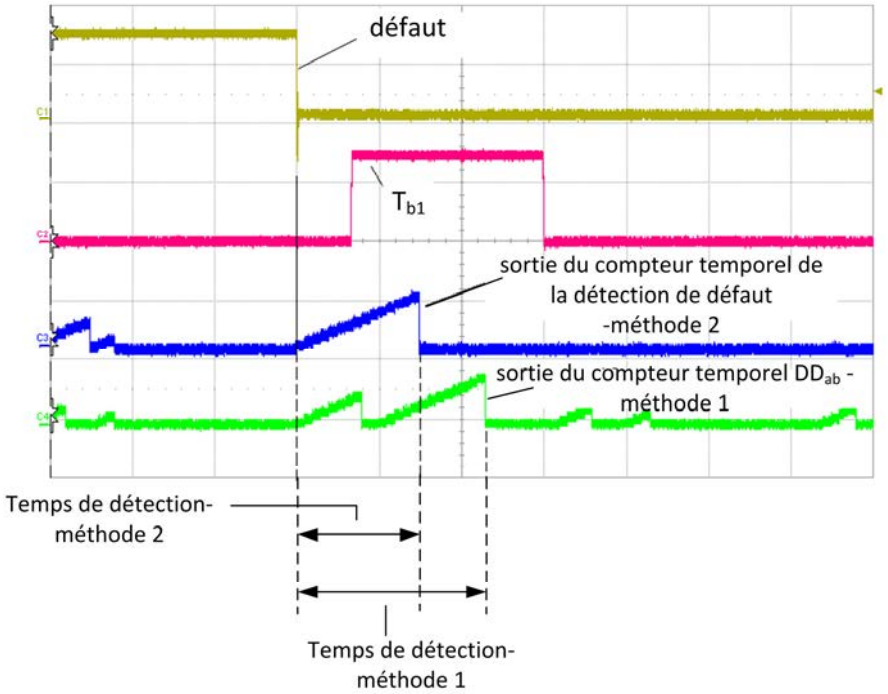



Figure 2-57 : Comparaison des signaux de détection de défaut pour les méthodes 1 et 2 lors d'un défaut circuit ouvert de $S_1$. (Axe-y de haut en bas : 10V/div, 10V/div, 33/div, 33/div; axe-x: 20 $\mu s$/div).

Tous les résultats expérimentaux présentés sont en accord avec les résultats de simulation et montrent que les méthodes optimisées proposées sont efficaces pour la détection rapide de défaut, tout en réduisant le nombre de capteurs de tension requis.

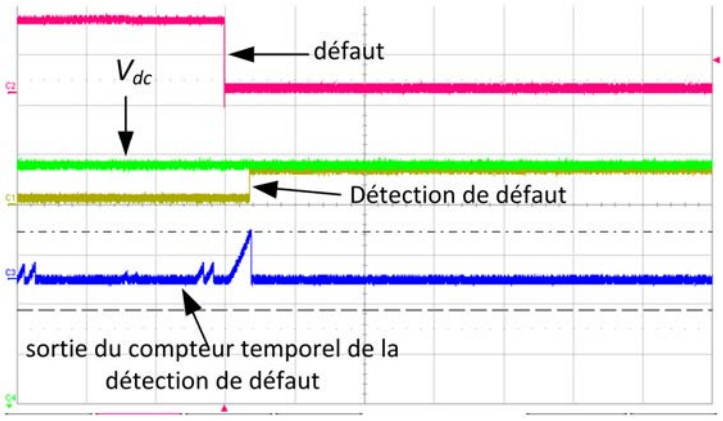



Figure 2-58 : Détection de défaut selon la méthode 3 : De haut en bas : signal “défaut”, tension aux bornes du bus continu (50 V/div), détection de défaut, sortie du compteur temporel de la détection de défaut ; Echelle de temps : 100µs/div.

## 2.7 Conclusion

Ce chapitre a été consacré à l'étude d'un convertisseur back-to-back “fault tolerant” sans redondance, dénommé dans ce mémoire “convertisseur 6/5 bras”. Pour cette topologie, le convertisseur peut continuer à fonctionner après la défaillance de l’un de ses bras, en effectuant une reconfiguration appropriée et en utilisant les 5 bras encore opérationnels.

Un contrôleur reconfigurable a été proposé pour cette topologie, associé à un composant FPGA pour la détection du défaut et sa compensation. Deux applications majeures ont été envisagées. La première est l’alimentation d’une charge RL triphasée. Dans ce cas, le contrôleur reconfigurable et la détection ont tous deux été mis en œuvre sur un unique FPGA. Ensuite, l’application au cas d’un système éolien avec MADA a été étudiée. Dans ce cas, le contrôleur reconfigurable a été implanté sur un système dSPACE ; ce choix nous a permis de réutiliser les travaux expérimentaux menés sur dSPACE au chapitre 1. La partie “détection de défaut et identification” a été implantée sur cible FPGA. La méthode de prototypage “FPGA in the Loop”, développée au chapitre 1, a pu être mise à profit dans ce chapitre pour la validation du contrôle-commande implanté sur FPGA. Pour les 2 applications ciblées, de nombreux résultats expérimentaux ont été présentés et commentés. Nous avons ainsi pu valider l'efficacité du contrôleur reconfigurable proposé et valider également la topologie de convertisseur 6/5 bras.

Enfin, nous avons proposé des méthodes permettant de réduire le nombre de capteurs de tension nécessaires à la détection de défaut. Ces méthodes ont été également validées expérimentalement. Cette possibilité de réduire le nombre de capteurs de tension permet de réduire le coût additionnel de la tolérance de pannes.

# 3. Convertisseur 5 bras sans redondance tolérant aux défauts

## 3.1 Introduction

Au cours de ces dernières années, les convertisseurs statiques comportant un nombre réduit de semi-conducteurs ont fait l'objet de nombreux articles [Jones2008], [Liu2009], [Jacobin2008]. De par la réduction du nombre de leurs composants, ces convertisseurs présentent une plus grande fiabilité, tout en ayant un volume et un coût réduit. L'une de ces structures dite "convertisseur cinq bras" [Jones2008-1] a en partie fait l'objet du chapitre 2 de ce mémoire (Voir Figure 2-2). Ce convertisseur a notamment été proposé pour des applications telles que le contrôle indépendant de deux machines électriques triphasées [Jones2008], [Kimura2005] et la conversion de puissance AC/DC/AC [Jacobina2006]. Cette topologie de convertisseur à 5 bras a également été présentée comme une alternative intéressante au convertisseur AC/DC/AC classique à 6 bras, principalement dans les cas où les fréquences d'entrée et de sortie de ce convertisseur sont identiques [Jacobina2006]. La topologie de convertisseur à 5 bras peut donc être vue comme un convertisseur bidirectionnel AC/DC/AC entièrement contrôlable, offrant la possibilité du contrôle des grandeurs électriques des deux côtés du convertisseur par un unique contrôleur.

Quant à elle, la topologie de convertisseur à quatre bras permet de réduire davantage encore le nombre de semi-conducteurs. A ce jour, elle a cependant fait l'objet d'un nombre limité de publications. Dans [Ledzema2001], ce convertisseur a été proposé dans le cas général de la conversion de puissance AC/AC. Dans [Jacobina2007], les trois topologies possibles de convertisseur à quatre bras ont été étudiées. Ces topologies sont représentées à la Figure 3-1. Pour deux topologies sur les trois, un bras est mutualisé entre les deux côtés du convertisseur et une phase du côté entrée ou sortie est connectée au point milieu du bus DC. Dans le troisième cas, les deux côtés du convertisseur sont connectés au point milieu du bus DC [Ledzema2001]. La pertinence et l'efficacité de ce convertisseur ont été validées [Jacobina2007]. Il a été démontré que lorsque les fréquences à l'entrée et à la sortie de ce convertisseur sont identiques, une réduction du niveau de tension requis aux bornes du bus continu est possible, relativement au cas général [Jacobina2007].

Dans ce chapitre, nous présentons et étudions une topologie originale et innovante de convertisseur 5 bras sans redondance, tolérante à la défaillance d'un interrupteur de puissance. Cette topologie est directement liée aux topologies 5 bras et 4 bras, respectivement avant et après détection d'un défaut et la reconfiguration du convertisseur. En effet, avant l'apparition du défaut, le convertisseur fonctionne normalement, comme un convertisseur sain à cinq bras. Après l'apparition d'un défaut au niveau d'un interrupteur et sa détection, la structure cinq bras est reconfigurée à l'aide de triacs en une structure à quatre bras. Un contrôleur reconfigurable doit être également associé à cette

topologie à tolérance de pannes, en raison du changement de topologie après défaut.

Dans ce chapitre, nous étudierons cette topologie 5 bras sans redondance tolérante aux défauts, pour un système de puissance composé d'une source triphasée AC alimentant une charge triphasée. Dans ce cas, la mise en œuvre du contrôleur fault tolerant reconfigurable sera réalisée sur une unique cible FPGA. La reconfiguration de la topologie du convertisseur après défaut sera réalisée par des triacs supplémentaires, permettant de modifier la structure du convertisseur cinq bras en un convertisseur quatre bras, quelle que soit la localisation du défaut.

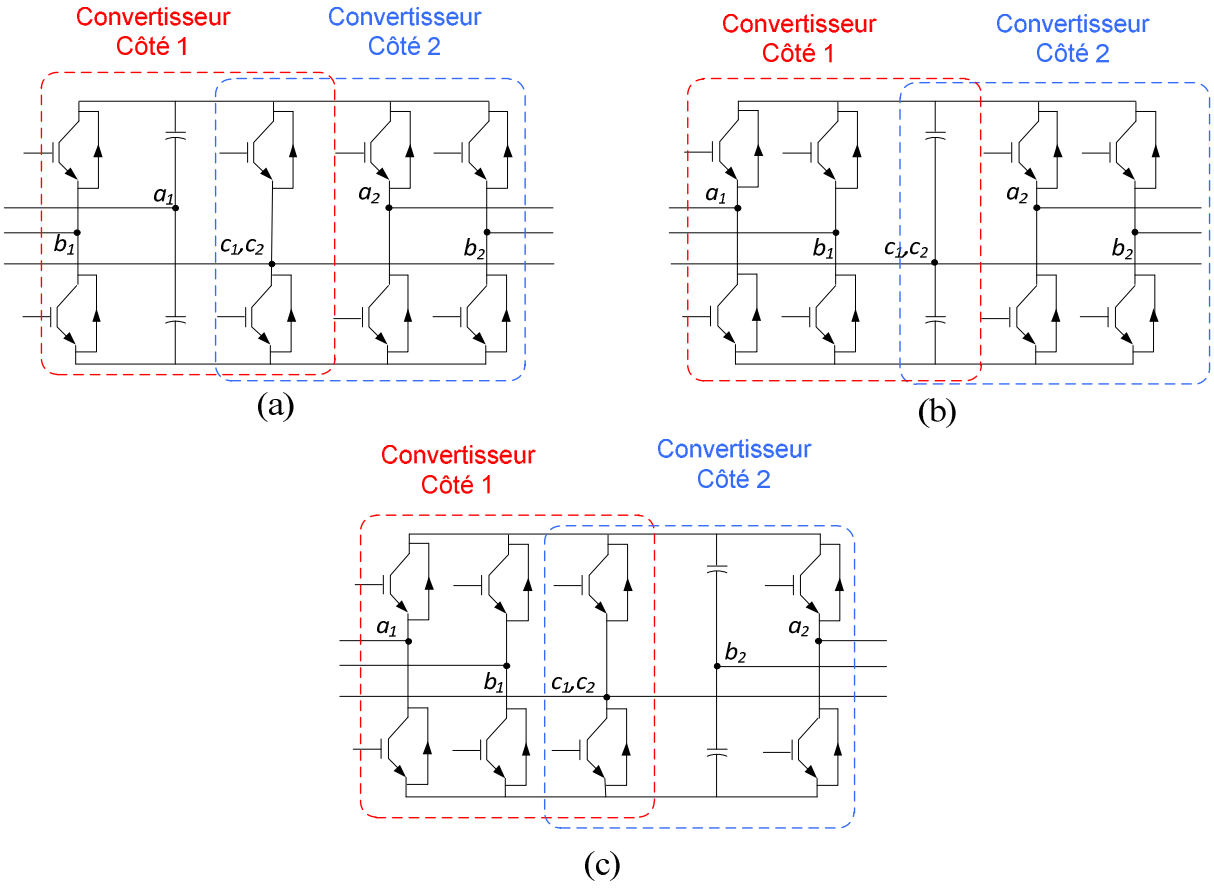



Figure 3-1 : Convertisseur à quatre bras ; (a) une phase du côté 1 est connectée au point milieu du bus continu, (b) une phase de chaque côté est connectée au point milieu du bus continu, (c) une phase du côté 2 connecté au point milieu du bus continu.

## 3.2 Topologie de Convertisseur cinq bras sans redondance tolérant aux défauts

### 3.2.1 Structure du convertisseur fault tolerant

La topologie de convertisseur cinq bras a déjà fait l'objet de quelques publications et différentes méthodes de contrôle ont été proposées dans la littérature scientifique

[Bouscayrol2005], [Jones2008-1, 2]. Comme cela a été validé expérimentalement au chapitre 2, cette topologie est capable de produire deux séries de tensions indépendantes pouvant par exemple être utilisées pour l'alimentation de deux moteurs ou charges triphasés ou bien encore pour des systèmes de conversion AC /AC. Toutefois, tout comme les autres convertisseurs conventionnels, cette structure est également sensible à la défaillance d'un de ses interrupteurs. Par conséquent, lors de l'utilisation d'un convertisseur cinq bras dans une application exigeant la tolérance de panne d'un de ses semi-conducteurs, sa capacité à compenser le défaut devient impérative.

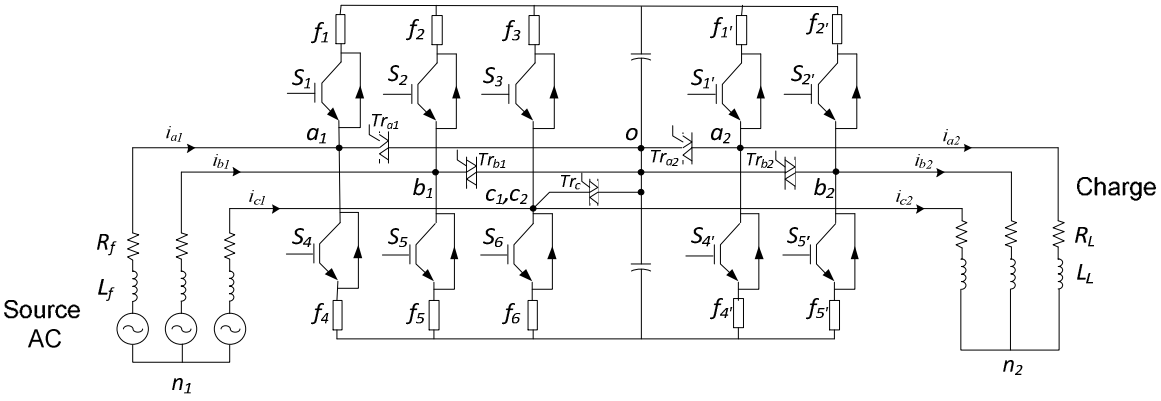



Figure 3-2 : Topologie 5 bras tolérante aux défauts sans redondance.

Pour assurer la continuité de service, une topologie de convertisseur cinq bras tolérant aux défauts est proposée, étudiée et validée expérimentalement dans ce chapitre. Cette topologie n'avait jusqu'alors jamais été publiée dans la littérature scientifique. Un contrôleur reconfigurable est associé à cette structure et fera ultérieurement l'objet d'une section spécifique. La topologie que nous avons proposée est représentée à la Figure 3-2. Elle est constituée d'un convertisseur à cinq bras (Voir la Figure 2-2 du chapitre 2) et de cinq interrupteurs bidirectionnels additionnels, connectés entre chaque bras et le point milieu du bus continu. Cinq capteurs de tension supplémentaires sont également nécessaires pour la détection du défaut ainsi que deux fusibles par bras afin de rendre ce convertisseur tolérant aux défauts de type "court circuit" (Voir la section 1.4 du chapitre 1). Ainsi, comme nous l'avons démontré à la section 1.4 du chapitre 1, un défaut de type court-circuit conduira à un défaut de type circuit ouvert. Comme dans le cas des chapitres précédents, des triacs sont utilisés comme interrupteurs bidirectionnels. Ces triacs doivent pouvoir supporter une tension au moins égale à $V_{dc}/2$ lors du fonctionnement normal du convertisseur, avec $V_{dc}$ la tension aux bornes du bus continu. En mode de fonctionnement normal, tous les triacs sont éteints et le convertisseur fonctionne comme un convertisseur cinq bras normal. Cependant, après l'apparition d'un défaut, l'algorithme de détection de défaut localisera l'interrupteur défaillant, mettra à '0' les ordres de commande du bras défaillant et commandera à la fermeture le triac connecté à ce bras défaillant. Notons que lorsqu'un triac sera mis en conduction suite à un défaut, le courant de la phase défaillante traversera alors ce triac. Dans la suite de ce chapitre, ce convertisseur est examiné plus en détail dans les conditions normales de fonctionnement et lors de défauts. Pour la détection de défaut, nous utiliserons la méthode exposée au chapitre 1, section 1.3. Le défaut sera

alors détecté en comparant les tensions de pôles mesurées et estimées.

### 3.2.2 Fonctionnement avant défaut en convertisseur cinq bras

Avant l'apparition du défaut, tous les triacs sont éteints et le convertisseur fonctionne comme un convertisseur cinq bras. Cette étude a déjà été abordée au chapitre 2. Comme au chapitre précédent, nous avons eu recours à la méthode dite "ZSS" (Voir section 2.2.1 du chapitre 2) pour le contrôler. La même méthode qu'au chapitre 1 section 1.3.3.3 (contrôle côté CCR) a été retenue pour la génération des références de tension côté source AC. Cette méthode permet de contrôler la tension du bus continu tout en garantissant un facteur de puissance unitaire vu de la source AC. Les références des tensions côté charge sont choisies équilibrées et sinusoïdales.

### 3.2.3 Fonctionnement après défaut en convertisseur 4 bras

Après l'apparition d'un défaut, l'algorithme de détection localise ce défaut et le convertisseur 5 bras est alors reconfiguré en une topologie à 4 bras. Le convertisseur doit ainsi continuer à fonctionner avec seulement ses quatre bras sains. Il est important de mentionner dès à présent que cette topologie de convertisseur 5 bras fault tolerant présente une spécificité, suite à l'apparition d'un défaut : selon la localisation du défaut, la reconfiguration peut conduire à trois topologies 4 bras différentes. Néanmoins et dans chacun de ces 3 cas, d'une manière similaire à la MLI pour le convertisseur cinq bras, le contrôle du convertisseur en mode de fonctionnement quatre bras est possible par l'injection d'un signal homopolaire "ZSS" approprié. Toutefois, ce signal "ZSS" injecté diffère pour chacune des trois structures quatre bras du convertisseur. Ces différents cas sont examinés dans la suite de cette section. Rappelons également ici que grâce aux fusibles rapides en série avec les interrupteurs, un défaut de type court-circuit conduira à une situation similaire à un défaut de type circuit ouvert. Ainsi, seuls les défauts de type circuit ouvert seront étudiés dans la suite de ce chapitre.

#### *3.2.3.1 Cas 1 : défaillance du bras $a_1$ ou du bras $b_1$*

Dans cette section, nous nous plaçons dans le cas d'un défaut de type circuit ouvert se produisant au niveau d'un des 4 interrupteurs des bras numérotés $a_1$ et $b_1$ à la Figure 3-2. Nous référencerons ce cas sous l'appellation "Cas 1" dans la suite de chapitre. Après défaut, la reconfiguration du convertisseur revient à connecter la phase d'entrée défaillante (phase $a_1$ ou $b_1$ côté source) au point milieu du bus continu. La reconfiguration est illustrée à la Figure 3-3 lors d'un défaut au niveau du bras $a_1$. Dans ce cas, en considérant que les 5 références de tension pour la MLI cinq bras sont respectivement $v_{A1}, v_{B1}, v_C, v_{A2}, v_{B2}$ (voir section 2.2.1.3 du chapitre 2) et en ayant recours à une injection homopolaire "ZSS" supplémentaire et basée sur la méthode du chapitre 2, les nouvelles tensions de référence $v_{Xi}^*$ ($Xi \in \{B1, C, A2, B2\}$) pour les bras

$b_1$, c ($c_1$, $c_2$), $a_2$ *et* $b_2$ sont définies par (Voir Figure 3-4) [Jacobina2003] et [Jones2008-1] :

$$v_{B1}^{*} = v_{b1} - v_{a1} \tag{3-1}$$
$$v_{C}^{*} = v_{c1} - v_{a1}$$
$$v_{A2}^{*} = v_{a2} - v_{c2} + v_{c1} - v_{a1}$$
$$v_{B2}^{*} = v_{b2} - v_{c2} + v_{c1} - v_{a1}$$

Ces tensions de référence sont alors les entrées d'une unité MLI qui établira les ordres de commande pour les bras $b_1$, c, $a_2$ *et* $b_2$. Pour un défaut au niveau du bras $b_1$, une méthode similaire est utilisée pour calculer les nouvelles tensions de référence pour les bras sains numérotés $a_1$, c, $a_2$ *et* $b_2$. La Figure 3-4 illustre la génération des nouvelles tensions de référence dans le cas d'un défaut au niveau du bras $a_1$.

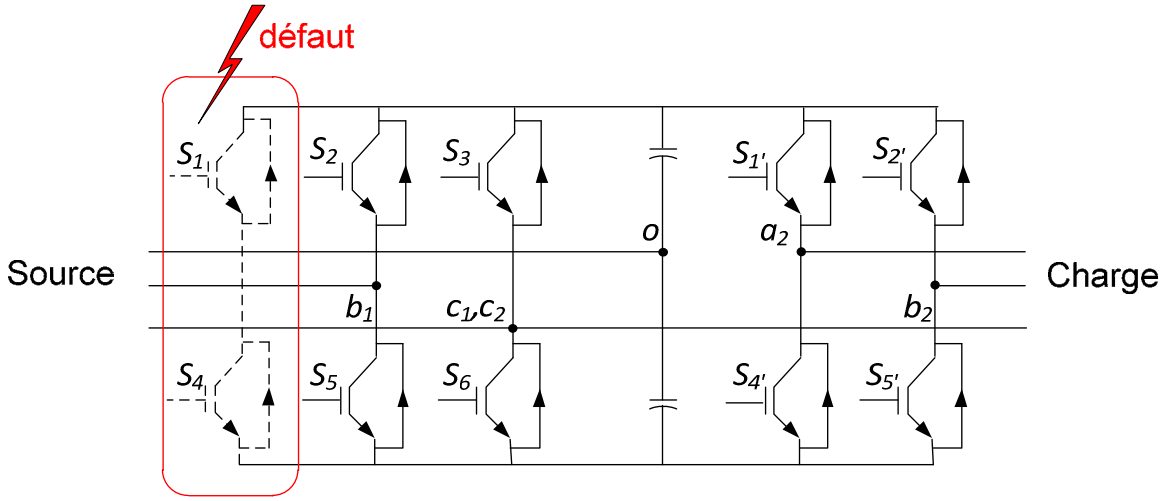



Figure 3-3 : Cas 1 - Topologie reconfigurée lorsque le bras $a_1$ est défaillant.

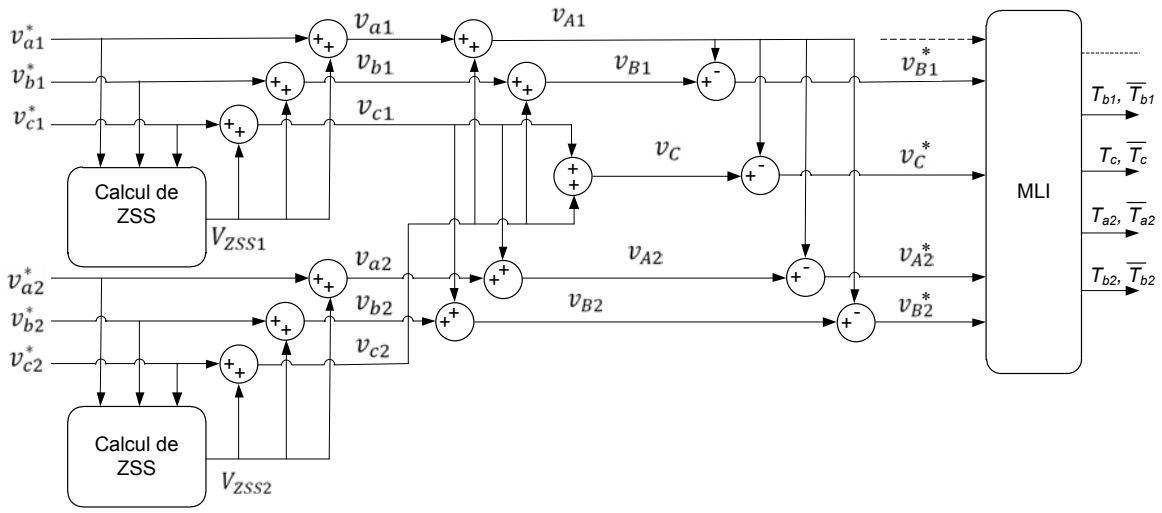



Figure 3-4 : Cas 1 – Etablissement des tensions de référence et des ordres de commande des bras sains lorsque le bras $a_1$ est défaillant.

### 3.2.3.2 Cas 2 : défaillance du bras mutualisé de la topologie 5 bras

Dans cette section, nous nous plaçons dans le cas d'un défaut de type circuit ouvert se produisant au niveau d'un des 2 interrupteurs du bras mutualisé de la topologie 5 bras, numéroté bras "$c_1, c_2$" à la Figure 3-1. Nous référencerons ce cas sous l'appellation "Cas 2" dans la suite de chapitre. Après la mise en conduction du triac connecté entre le bras c $(c_1, c_2)$ commun et le point milieu du bus continu, la structure reconfigurée est un convertisseur quatre bras alors composé de deux convertisseurs dit "Half-bridge". La Figure 3-5 présente la topologie du convertisseur 4 bras dans ce cas. Ce convertisseur a déjà été étudié dans la littérature scientifique [Ledzema2001]. En injectant un signal ZSS égal à $-v_C$, les quatre nouvelles tensions de référence peuvent être directement établies à partir des 5 références de tension pour la MLI cinq bras, selon les relations suivantes :

$$\begin{aligned} v_{A1}^* &= v_{a1} - v_{c1} \\ v_{B2}^* &= v_{b1} - v_{c1} \\ v_{A2}^* &= v_{a2} - v_{c2} \\ v_{B2}^* &= v_{b2} - v_{c2} \end{aligned} \tag{3-2}$$

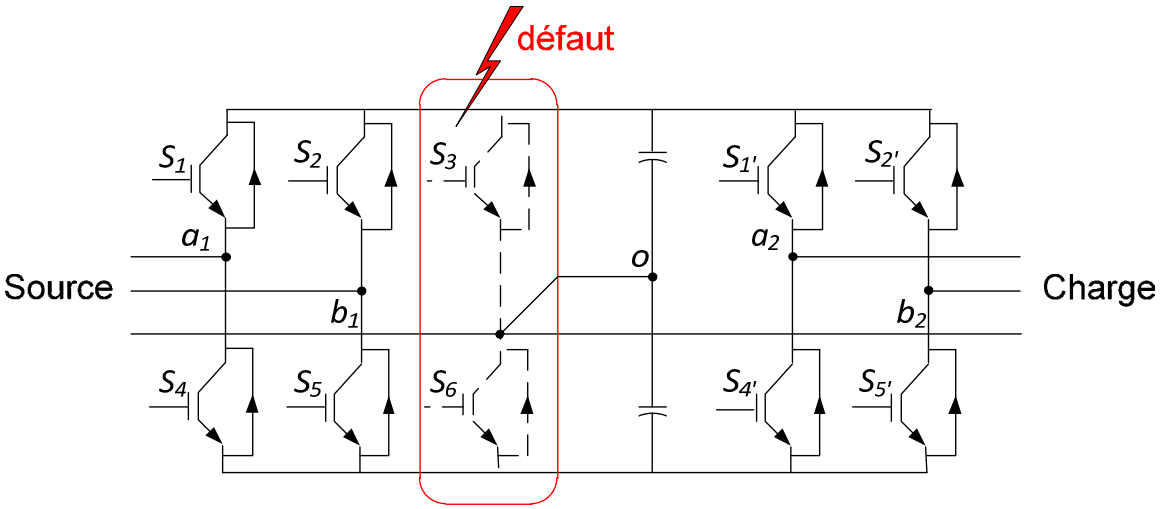



Figure 3-5 : Cas 2 - Topologie reconfigurée lorsque le bras commun c $(c_1, c_2)$ est défaillant.

### 3.2.3.3 Cas 3 : défaillance du bras $a_2$ ou du bras $b_2$

Dans cette section, nous nous plaçons dans le cas d'un défaut de type circuit ouvert se produisant au niveau d'un des 4 interrupteurs des bras numérotés $a_2$ et $b_2$ à la Figure 3-1. Nous référencerons ce cas sous l'appellation "Cas 3" dans la suite de chapitre. Dans ce cas, en déclenchant l'interrupteur bidirectionnel approprié, l'une des phases côté charge sera connectée au point milieu du bus continu après reconfiguration. La reconfiguration est illustrée à la Figure 3-6 pour un défaut au niveau du bras $b_2$.

Les quatre nouvelles tensions de référence pour les bras $a_1, b_1, \text{c } et\ a_2$ sont alors établies par les relations :

$$v_{A1}^{*} = v_{a1} - v_{c1} + v_{c2} - v_{b2} \quad (3\text{-}3)$$
$$v_{B1}^{*} = v_{b1} - v_{c1} + v_{c2} - v_{b2}$$
$$v_{C}^{*} = v_{c2} - v_{b2}$$
$$v_{A2}^{*} = v_{a2} - v_{b2}$$

Des relations similaires sont établies pour calculer les nouvelles tensions de référence dans le cas d'un défaut du bras $a_2$.

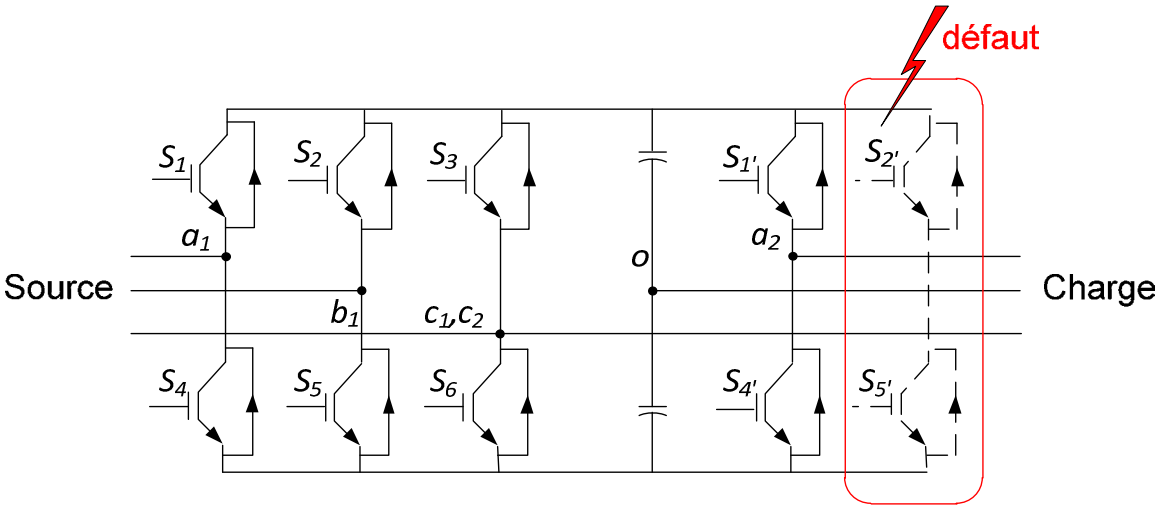



Figure 3-6 : Cas 3 - Topologie reconfigurée lorsque le bras $b_2$ est défaillant.

#### 3.2.3.4 *Algorithme général de génération des tensions de référence et ordres de commande*

L'algorithme général de génération des tensions de référence et des ordres de commande pour le convertisseur 5 bras fault tolerant sans redondance est présenté à la Figure 3-7. Les informations majeures requises sont les cinq références de tension en mode sain pour les cinq bras du convertisseur et la localisation du défaut.

Ainsi, après la détection d'un défaut, non seulement la structure du convertisseur, mais également son système de contrôle doivent tous deux être reconfigurés. En effet, dans les modes sain et défaillant, les contrôles appliqués des deux côtes du convertisseur ne sont pas similaires et doivent être changés aussi rapidement que possible afin d'éviter toute discontinuité ou perturbation au niveau des courants. Par conséquent, comme au chapitre précédent, nous proposons d'utiliser un unique FPGA pour la mise en œuvre du contrôleur reconfigurable et de la détection de défaut. La démarche de validation étape par étape du système fault tolerant proposé sera basée sur le flot de prototypage exposé à la section 1.4.3 du chapitre 1 (Voir Figure 1-14). Avant de présenter les différents résultats obtenus lors de cette validation, nous allons auparavant donner quelques précisions quant à la capacité de production de tension de la topologie 4 bras, comparativement à la topologie 5 bras et préciser l'architecture du contrôleur reconfigurable mis en œuvre.

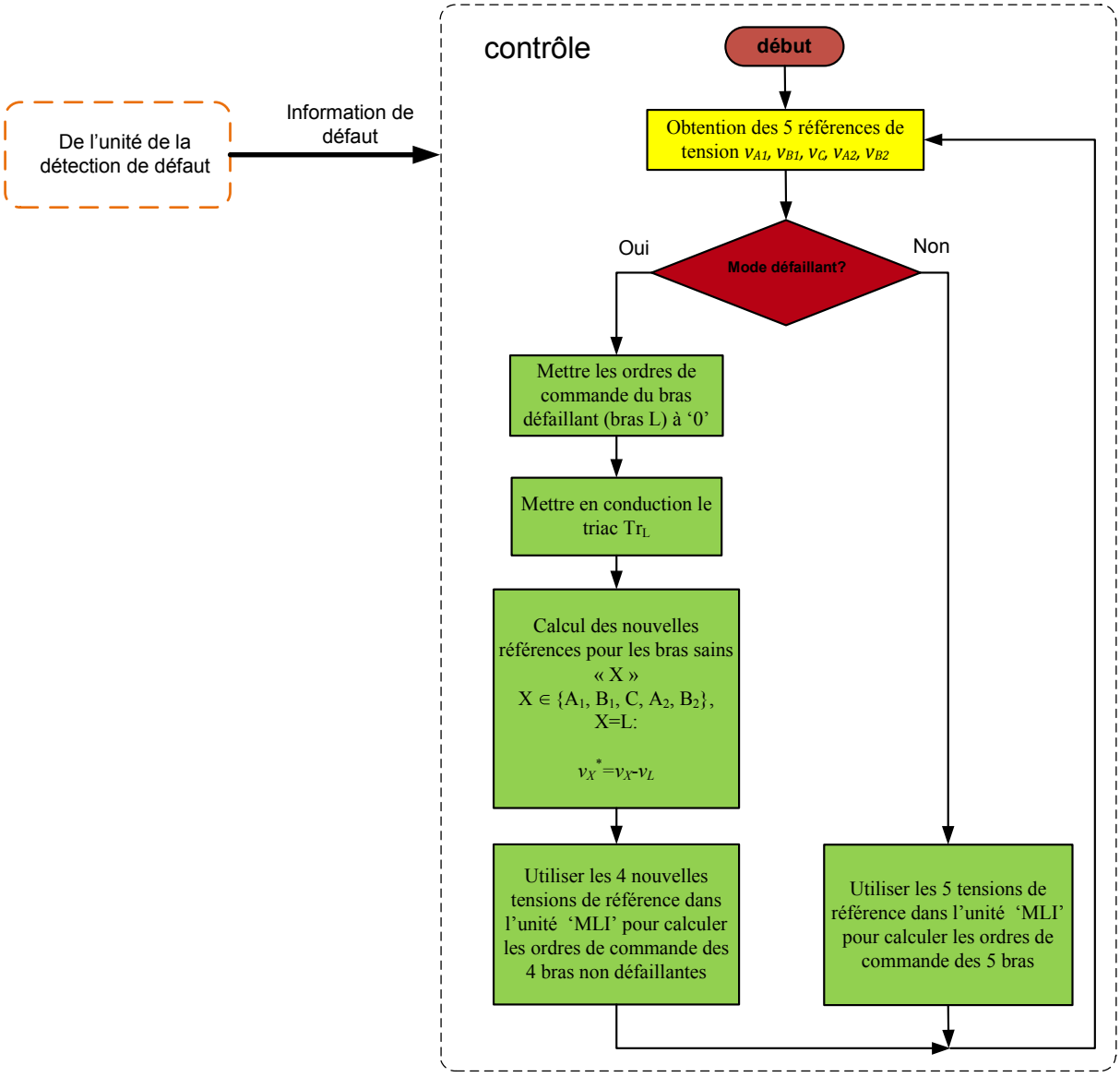



Figure 3-7 : Algorithme général pour la génération des tensions de référence et des ordres de commande.

### 3.2.4 Capacité de production de tension de la topologie 4 bras

Il est important de mentionner dans ce mémoire que quel que soit le cas de défaut considéré, la capacité de production de tensions AC des deux côtés du convertisseur quatre bras est inférieure à celle du convertisseur cinq bras. Par conséquent, plusieurs approches sont possibles si l'on souhaite pouvoir maintenir dans tous les cas la même capacité de production de tension aux bornes du bus continu :

- soit la tension aux bornes du bus continu a été initialement fixée à une valeur de référence suffisamment élevée en mode sain pour permettre au convertisseur après défaut et reconfiguration en structure 4 bras d'avoir la capacité suffisante de production de tension;

- soit la référence de tension aux bornes du bus continu est augmentée lors de la reconfiguration du contrôleur afin de permettre la même capacité de production de tension que celle du convertisseur avant défaut. Les composants du système doivent alors avoir été dimensionnés en conséquence pour permettre cette augmentation ;

- soit l'on admet que le convertisseur après défaut puisse être amené à fonctionner à un niveau de puissance réduit, en attente des opérations de maintenance, tout en assurant un fonctionnement équilibré de la charge (mode dégradé).

Ici, nous avons choisi la première approche.

Le Tableau 3-1 rassemble les contraintes portant sur les tensions maximales productibles par le convertisseur dans les modes cinq bras et quatre bras. Dans ce tableau, $V_1$ and $V_2$ représentent les valeurs maximales des tensions simples des deux côtés AC du convertisseur. Les résultats fournis sont obtenus sur la base des inégalités devant être satisfaites entre la tension du bus continu et les tensions des deux côtés du convertisseur, afin de garantir la contrôlabilité du convertisseur. A titre d'exemple et pour le convertisseur dans le "cas 3" (Figure 3-6), on peut établir les inégalités (3-4) à (3-10) mentionnées ci-dessous :

$$|v_{a1} - v_{b1}| < V_{dc} \tag{3-4}$$

$$|v_{a1} - v_{c1}| < V_{dc} \tag{3-5}$$

$$|v_{b1} - v_{c1}| < V_{dc} \tag{3-6}$$

$$|v_{a2o}| < V_{dc}/2 \tag{3-7}$$

$$|v_{c2o}| < V_{dc}/2 \tag{3-8}$$

$$|v_{a1o}| < V_{dc}/2 \tag{3-9}$$

$$|v_{b1o}| < V_{dc}/2 \tag{3-10}$$

Les limitations sont fixées par les contraintes (3-9) et (3-10). Pour $v_{a1o}$ nous avons :

$$v_{a1o} = v_{a1} - v_{c1} + v_{c2} - v_o = v_{a1n_1} - v_{c1n_1} + v_{c2n_2} - v_{on_2} \tag{3-11}$$

où $n_1$ et $n_2$ sont les points neutres des deux côtés du convertisseur. Pour $v_{b1o}$une équation similaire peut être écrite. A partir de l'équitation (3-11) , on peut alors établir :

$$\sqrt{3}V_1 + \sqrt{3}V_2 < V_{dc}/2 \tag{3-12}$$

Dans les autres cas, des calculs similaires conduisent à l'obtention des capacités de production de tension du Tableau 3-1 [Jacobina2003], [Jacobina2007].

Tableau 3-1 : Capacités de production de tension avant et après défaut.

| | |
|---|---|
| Avant défaut (cinq bras) | $V_1 + V_2 < V_{dc}/\sqrt{3}$ |
| Après défaut (quatre bras) cas 1 | $V_1 + V_2 < V_{dc}/\sqrt{3}/2$ |
| Après défaut (quatre bras) cas 2 | $V_1, V_2 < V_{dc}/\sqrt{3}/2$ |
| Après défaut (quatre bras) cas 3 | $V_1 + V_2 < V_{dc}/\sqrt{3}/2$ |

## 3.3 Contrôleur reconfigurable

Un contrôleur reconfigurable est nécessaire pour piloter le convertisseur tolérant au défaut proposé. La structure de commande reconfigurable est représentée à la Figure 3-8. Elle est composée de deux unités destinées à la génération des tensions de référence, de deux unités MLI pour les deux modes cinq bras et quatre bras et d'une unité de "détection de défaut et de compensation". Le rôle de l'unité de "détection de défaut et de compensation" est de détecter le défaut et son emplacement, puis de transmettre les ordres de commande appropriés aux interrupteurs et aux triacs.

L'unité de génération de la MLI quatre bras utilise les références de tension et la localisation du défaut pour établir les signaux de commande adéquats, selon le principe exposé à la section 3.2.3.

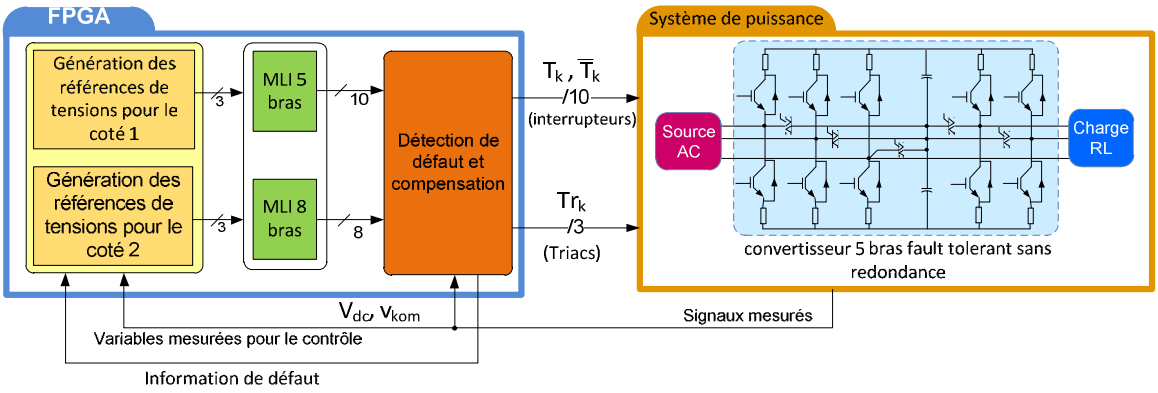



Figure 3-8 : Contrôleur reconfigurable pour le convertisseur 5 bras fault tolerant sans redondance.

## 3.4 Validation fonctionnelle par Modélisation/Simulation

Après avoir précisé dans un premier temps les paramètres du système étudié, les résultats obtenus par modélisation/simulation sont présentés et commentés au fil de cette section. Comme nous l'avons précisé en début de ce chapitre, nous étudierons cette topologie 5 bras fault tolerant sans redondance pour un système de puissance composé d'une source triphasée AC alimentant une charge RL triphasée. Les simulations sont

effectuées dans l'environnement Matlab/Simulink.

### 3.4.1 Paramètres du système

Les paramètres du système étudié sont consignés dans le Tableau 3-2. Ces paramètres sont choisis identiques à ceux du banc de test expérimental qui sera présenté ultérieurement.

Tableau 3-2 : Paramètres du système étudié.

| | |
|---|---|
| Source AC | Tension de la source AC : 50 Hz, 60 $V_{l-l}$<br>Impédance d'entrée: $R_f = 0.4\Omega$, $L_f = 3mH$ |
| Bus continu | Capacité du condensateur : 2200 $\mu F$ |
| Charge | $V_{ref}$=50 $V_{l-l}$ 60 Hz<br>$R_l = 2.75\Omega, L_l = 9mH$ |
| Paramètres de la détection de défaut | $N_t$ =30 ; $h$= 20 V |
| Fréquence de commutation des interrupteurs | 8 kHz |

### 3.4.2 Résultats de Modélisation/Simulation

Nous avons validé par modélisation/simulation la topologie de convertisseur proposée dans ce chapitre pour les 3 cas possibles de reconfiguration du convertisseur en une topologie 4 bras (Voir section 3.2.3 de ce chapitre). Les résultats obtenus sont présentés dans les sections suivantes.

#### *3.4.2.1 Cas 1 : Défaillance du bras $a_1$*

Dans cette section, un défaut de type circuit ouvert est généré au niveau de l'interrupteur $S_1$ du bras $a_1$ à l'instant t = 0,405 s. A la Figure 3-9, on peut observer la sortie du compteur temporel de la détection de défaut, avant et après l'apparition du défaut. La Figure 3-10 représente le courant d'entrée de la phase $a_1$ qui a été connectée au bras défaillant ainsi que le courant $i_{b2}(t)$ de la phase $b_2$ de la charge (Voir Figure 3-2) avant et après l'apparition du défaut. On peut constater que le convertisseur garantit effectivement la continuité de service du système.

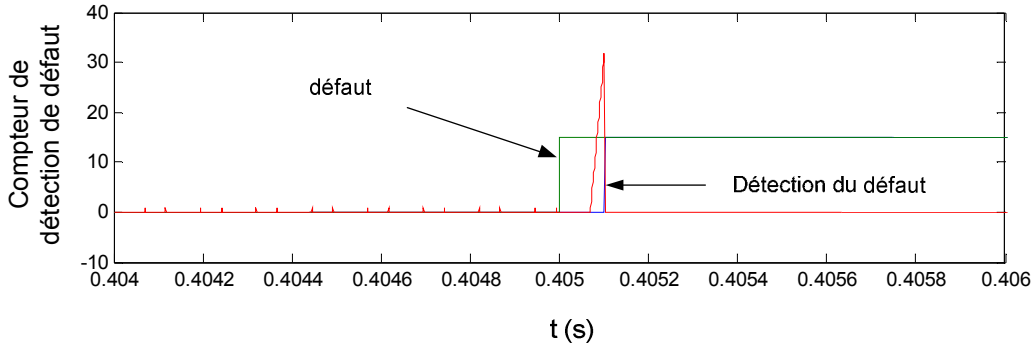



Figure 3-9 : Cas 1 - Défaillance du bras $a_1$ : signal "défaut" et détection du défaut.

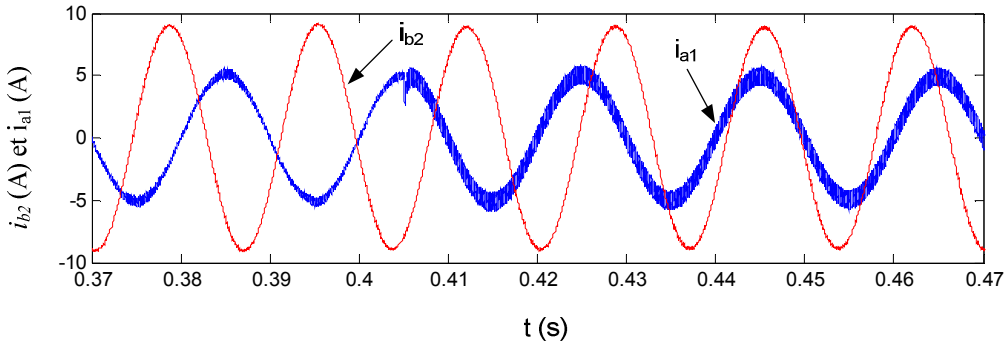



Figure 3-10 : Cas 1 - Défaillance du bras $a_1$ : Courant d'entrée $i_{a1}(t)$ de la phase "$a_1$" et courant $i_{b2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s).

On peut remarquer que le THD du courant côté source a augmenté, de 2,71 % à 9,07%, suite à la reconfiguration du convertisseur. Cette augmentation peut être expliquée et analysée par l'étude de formes d'ondes des tensions simples côté source et côté charge, en analysant leur contenu harmonique. La Figure 3-11 présente les chronogrammes de ces six tensions simples, notées $V_{k_i n_i}$ $(k \in \{a,b,c\}, i \in \{1,2\})$.

Toutefois, étant donné que la priorité de notre étude est la continuité de service et la tolérance aux défauts, une augmentation du THD côté source n'est pas un inconvénient majeur. On peut cependant mentionner que le THD du courant $i_{b2}$ (côté charge) a légèrement augmenté de 0,44 % à 0,72 %.

La tension aux bornes du bus continu est représentée à la Figure 3-12 ; cette tension est correctement contrôlée après reconfiguration.

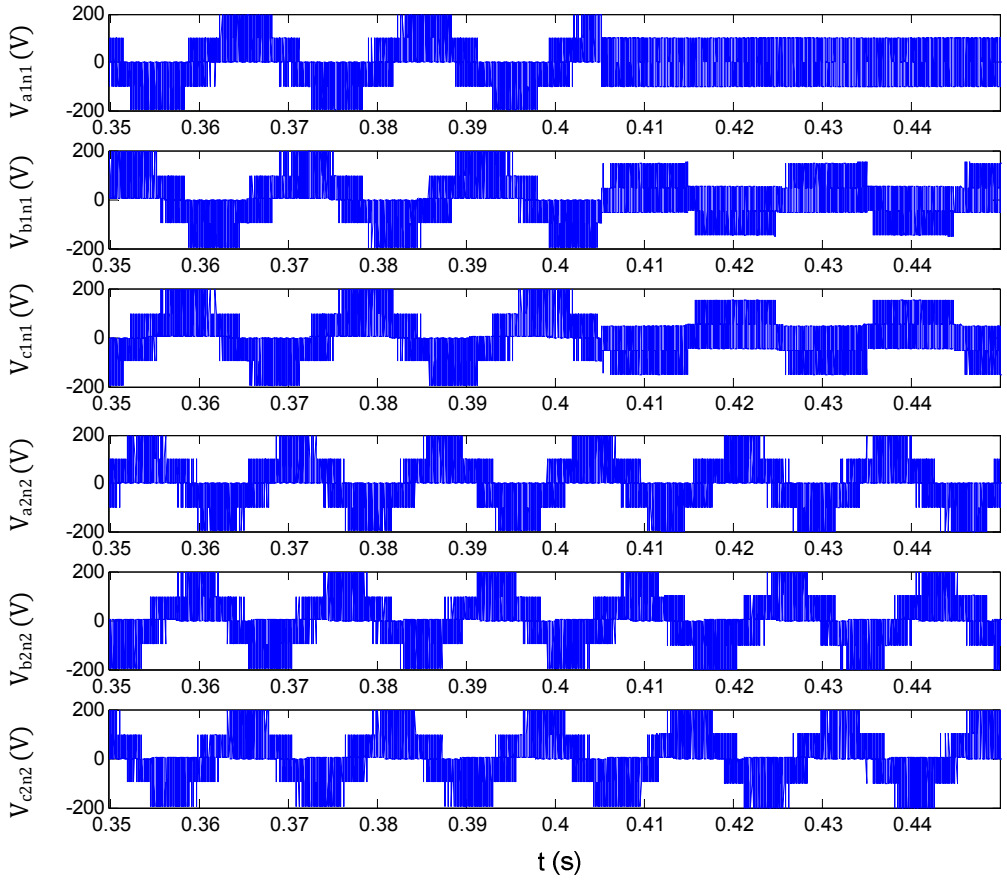



Figure 3-11 : Cas 1 - Défaillance du bras $a_1$ : Tensions simples de part et d'autre du bus continu.

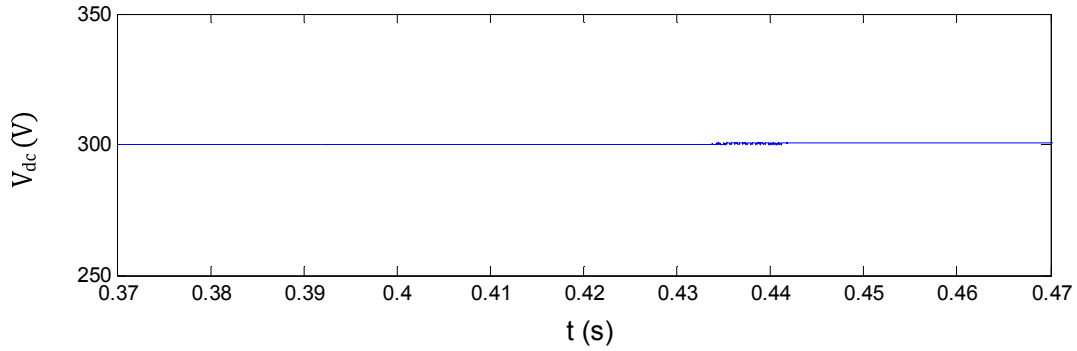



Figure 3-12 : Cas 1 - Défaillance du bras $a_1$ : Tension aux bornes du bus continu.

### *3.4.2.2 Cas 2 : Défaillance du bras mutualisé 'c'*

Dans cette section, un défaut de type circuit ouvert est généré au niveau de l'interrupteur $S_3$ du bras mutualisé (bras c $(c_1, c_2)$), à l'instant t = 0,405 s. Dans ce cas, le signal de détection de défaut et la sortie du compteur temporel de la détection de défaut sont tracés à la Figure 3-13. A la Figure 3-14, on peut observer avant et après l'apparition du défaut, les deux courants de la phase $c_1$ côté source et $c_2$ côté charge. La tension du bus continu est tracée à la Figure 3-15. Ici encore, le convertisseur n'est pas affecté par le défaut et la continuité de service est assurée.

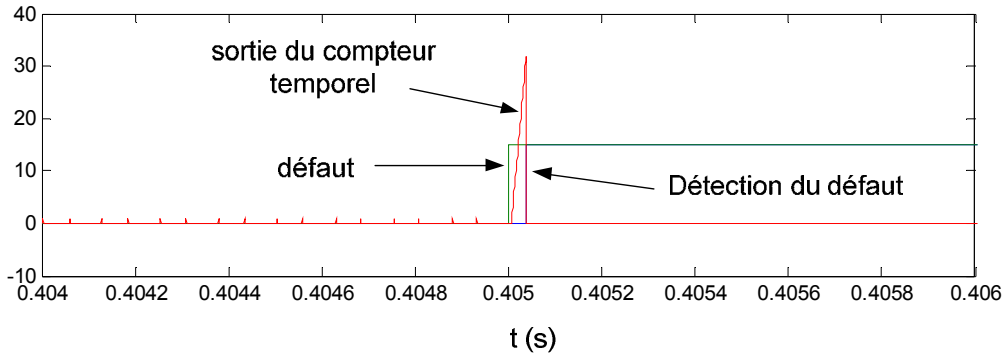



Figure 3-13 : Cas 2 - Défaillance du bras mutualisé : signal “défaut” et détection du défaut.

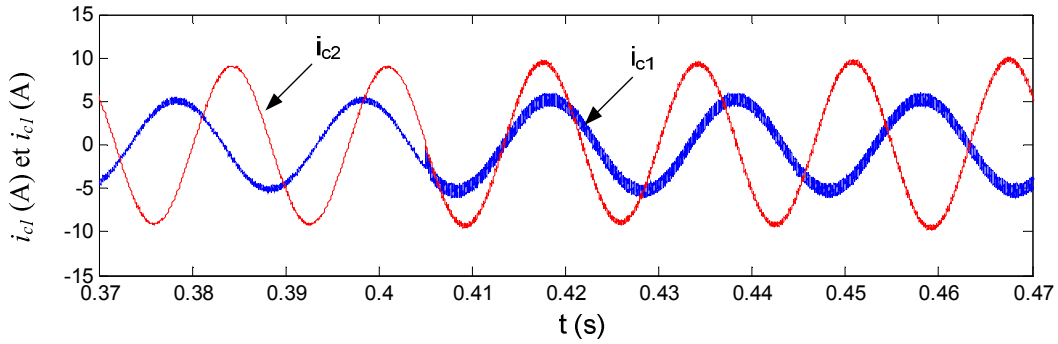



Figure 3-14 : Cas 2 - Défaillance du bras mutualisé : Courant $i_{c1}(t)$ côté source et courant $i_{c2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s).

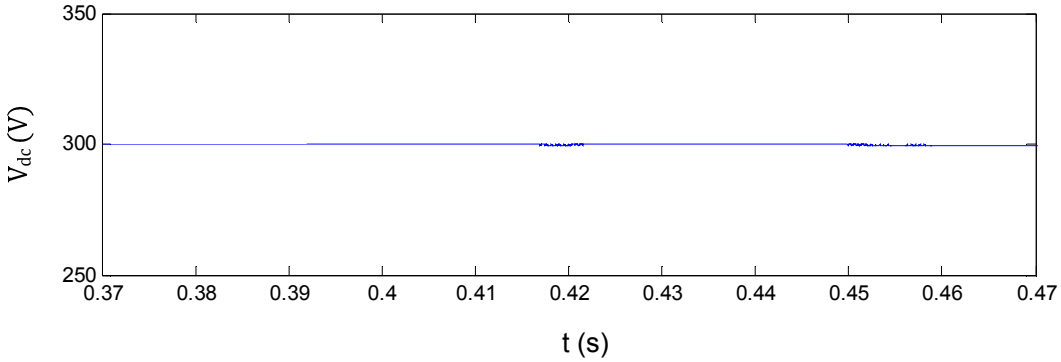



Figure 3-15 : Cas 2 - Défaillance du bras mutualisé : Tension aux bornes du bus continu.

L'analyse harmonique des courants du convertisseur montre que le THD des courants $i_{c1}(t)$ et $i_{c2}(t)$ augmente respectivement de 2,65% et 0,33% (avant défaut) à 7,38% et 0,38% (après défaut). Comme dans le cas précédent, l'augmentation du THD des courants des phases défaillantes est inévitable après reconfiguration, mais ce n'est pas une préoccupation majeure, puisque les courants sont toujours d’allure sinusoïdale et bien contrôlés après la reconfiguration.

#### *3.4.2.3 Cas 3 : Défaillance du bras $b_2$*

Dans cette section, un défaut de type circuit ouvert est généré au niveau de l’interrupteur $S_2'$ du bras $b_2$ (Voir Figure 3-2), à l’instant t = 0,405 s.

La Figure 3-16 illustre le processus de détection de défaut. La Figure 3-17 représente le courant $i_{a1}(t)$ côté source et le courant $i_{b2}(t)$ côté charge. La tension du bus continu est tracée à la Figure 3-18. On peut en conclure que dans ce cas également, la continuité de service est assurée.

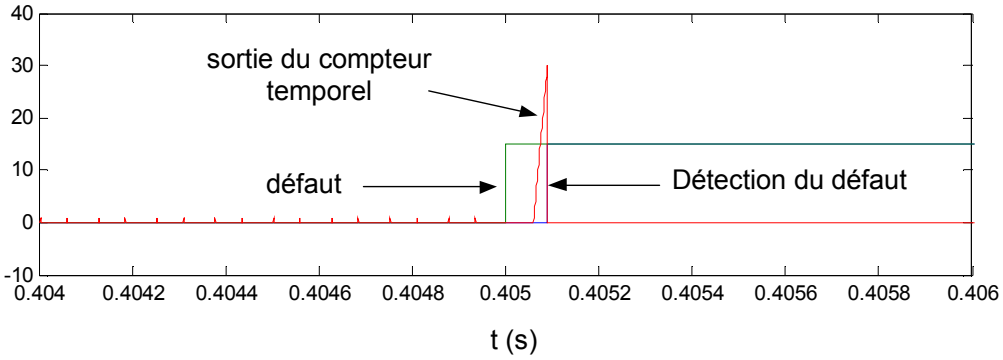



Figure 3-16 : Cas 3 - Défaillance du bras $b_2$ : signal "défaut" et détection du défaut.

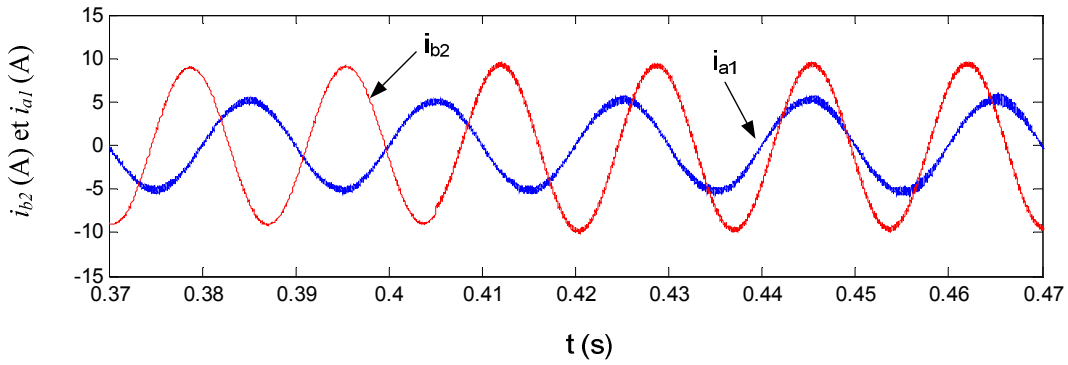



Figure 3-17 : Cas 3 - Défaillance du bras $b_2$: Courant $i_{a1}(t)$ côté source et courant $i_{b2}(t)$ côté charge (défaut circuit ouvert à t = 0,405s).

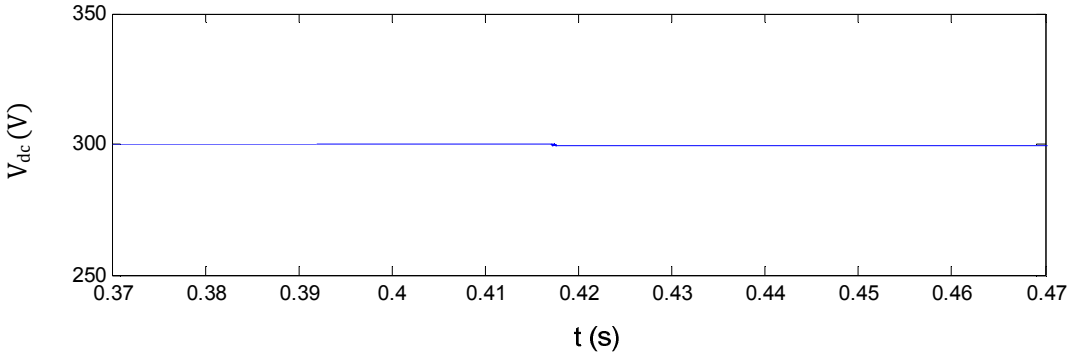



Figure 3-18 : Cas 3 - Défaillance du bras 5 : Tension aux bornes du bus continu.

Pour conclure cette section, on peut mentionner que la continuité de service du convertisseur 5 bras fault tolerant sans redondance a été fonctionnellement validée dans les 3 cas de défauts possibles. L'analyse harmonique montre que le THD du courant $i_{a1}$ (côté source) est resté constant (de 2,78% à 2,88%), tandis que le THD du courant $i_{b2}$ (côté charge) a augmenté de 0,42% à 1.44% après reconfiguration.

### 3.4.3 Validation par prototypage "FPGA in the Loop"

Après validation par simulation, nous procédons maintenant au prototypage "FPGA in the Loop" du contrôleur reconfigurable. Pour l'insertion dans la boucle de prototypage de ce contrôleur alors matériellement implanté sur FPGA, nous avons utilisé la carte de développement ALTERA décrite à la section 1.5.3 au chapitre 1. Ici encore, les trois cas de reconfigurations possibles du convertisseur sont étudiés.

D'abord, un défaut de type circuit ouvert est généré au niveau des ordres de commande de l'interrupteur $S_4$ du bras $a_1$ à l'instant t = 0,405 s (Cas 1). La Figure 3-19 présente les résultats alors obtenus pour la détection du défaut. Le courant côté source $i_{a1}(t)$ de la phase défaillante est tracé à la Figure 3-20. Sur cette même figure, on peut également visualiser le courant $i_{b2}(t)$ côté charge : l'alimentation de la charge n'est pas affectée par le défaut. La tension du bus continu est présentée à la Figure 3-21 : elle est correctement contrôlée après détection et compensation du défaut.

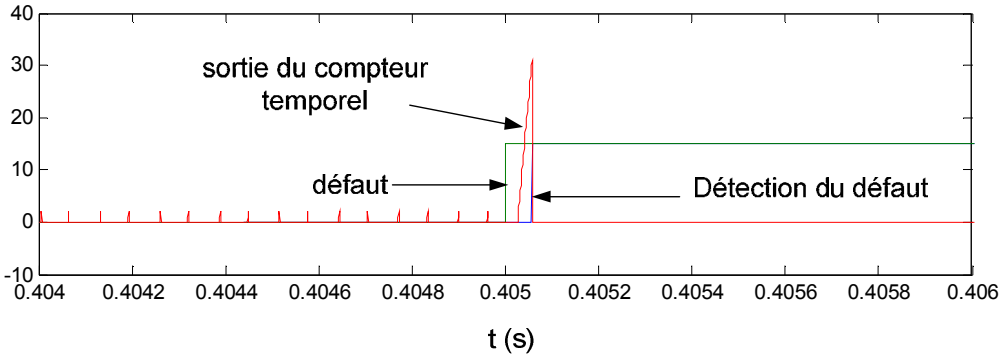



Figure 3-19 : Prototypage "FPGA in the Loop" - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: signal "défaut" et détection du défaut (défaut à t=0,405s).

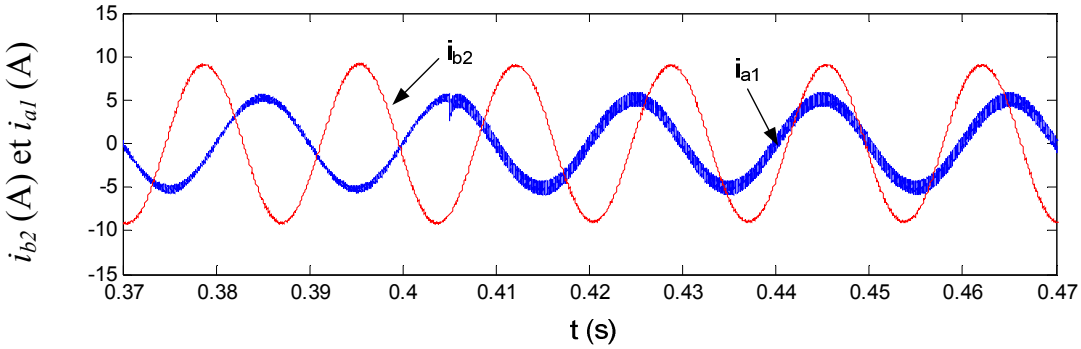



Figure 3-20 : Prototypage "FPGA in the Loop" - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: Courants $i_{a1}(t)$ et $i_{b2}(t)$ (défaut à t=0,405s).

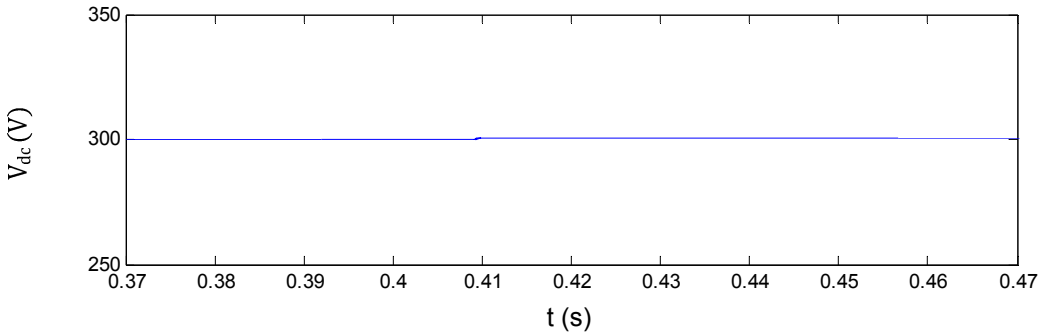



Figure 3-21 : Prototypage "FPGA in the Loop" - Cas 1 - Défaillance l'interrupteur $S_4$ du bras $a_1$: Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s).

Les tests précédents sont maintenant répétés lors d'un défaut circuit ouvert de l'interrupteur $S_3$ du bras commun à l'instant t = 0,405 s (Cas 2). La détection du défaut est illustrée par la Figure 3-22. A la Figure 3-23, on peut visualiser les chronogrammes des deux courants $i_{c1} et\ i_{c2}$ (Voir Figure 3-2). La tension du bus continu est tracée à la Figure 3-24.

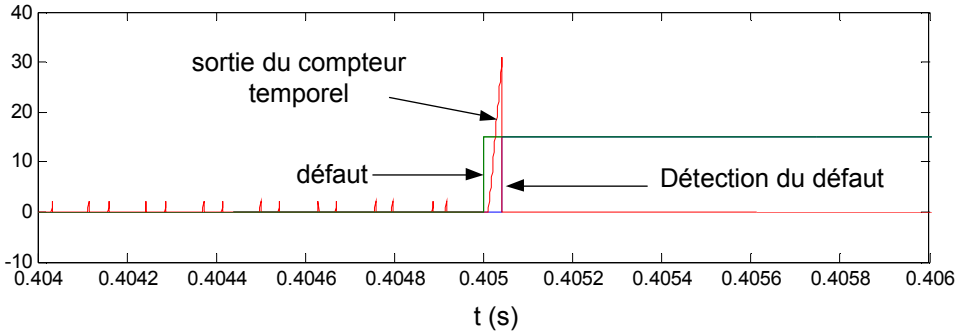



Figure 3-22 : Prototypage "FPGA in the Loop" - Cas 2 - Défaillance l'interrupteur $S_3$ du bras commun : signal "défaut" et détection du défaut (défaut à t=0,405s).

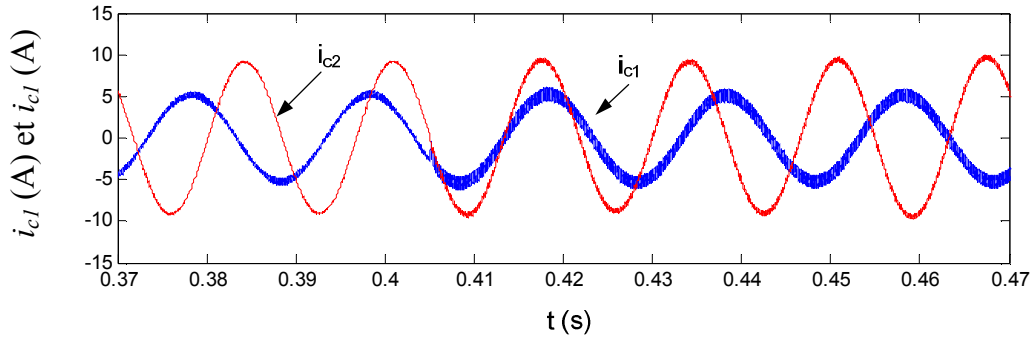



Figure 3-23 : Prototypage "FPGA in the Loop" - Cas 2 - Défaillance l'interrupteur $S_3$ du bras commun : Courants $i_{c1}(t)$ et $i_{c2}(t)$ (défaut à t=0,405s).

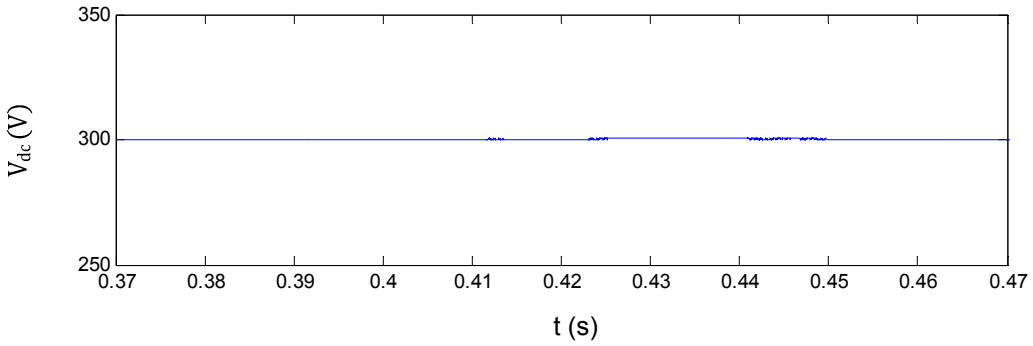



Figure 3-24 : Prototypage "FPGA in the Loop" - Cas 2 - Défaillance l'interrupteur $S_3$ du bras commun : Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s).

Enfin, pour mener à bien le prototypage dans le cas 3, un défaut circuit ouvert a été appliqué à l'interrupteur $S_2'$ du bras $b_2$ à l'instant t=0,405 s. Les formes d'ondes de la détection de défaut sont illustrées par la Figure 3-25. Le courant $i_{b2}$(t) de la phase défaillante est représenté à la Figure 3-26. Sur cette même figure se trouve également le courant $i_{a1}(t)$ côté charge afin de valider l'alimentation sans interruption de la charge après défaut. La tension du bus continu est tracée à la Figure 3-27.

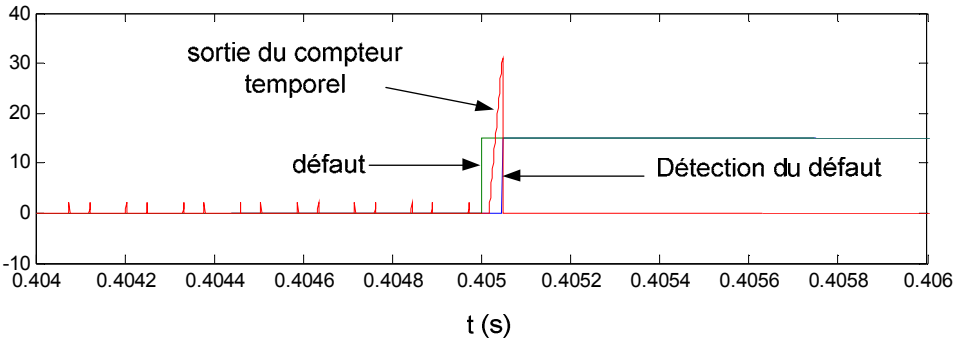



Figure 3-25 : Prototypage "FPGA in the Loop" - Cas 3 - Défaillance l'interrupteur $S_2'$ du bras $b_2$ : signal "défaut" et détection du défaut (défaut à t=0,405s).

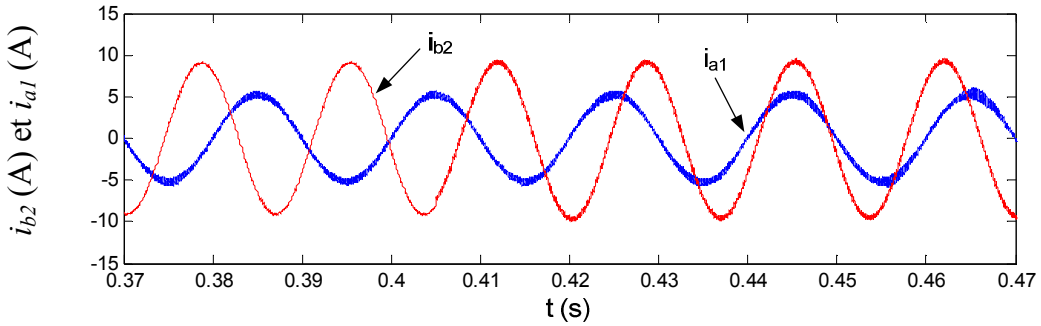



Figure 3-26 : Prototypage "FPGA in the Loop" - Cas 3 - Défaillance l'interrupteur $S_2'$ du bras $b_2$ : Courants $i_{a1}(t)$ et $i_{b2}(t)$ (défaut à t=0,405s).

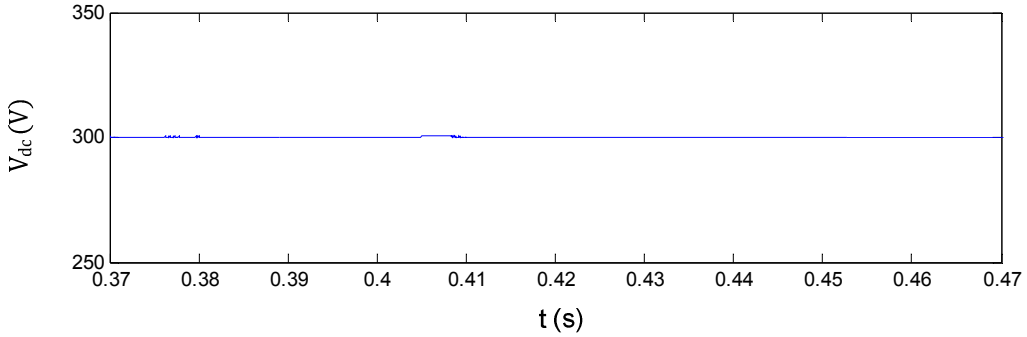



Figure 3-27 : Prototypage "FPGA in the Loop" - Cas 3 - Défaillance l'interrupteur $S_2'$ du bras $b_2$ : Tension $V_{dc}$ aux bornes du bus continu (défaut à t=0,405s).

Comme lors des précédents chapitres, l'ensemble des résultats obtenus par prototypage "FPGA in the Loop" est en parfaite concordance avec les résultats de modélisation/simulation. Cette étape ainsi validée, nous pouvons maintenant procéder aux tests entièrement expérimentaux en insérant notre contrôleur reconfigurable implanté sur FPGA dans notre banc de test. Ce banc d'essai expérimental et les résultats expérimentaux obtenus sont présentés à la section suivante.

### 3.4.4 Validation expérimentale sur banc de test

Une photographie du montage expérimental mis en œuvre pour évaluer et valider les performances du convertisseur cinq bras tolérant aux défauts est présentée à la Figure 3-28. Une partie du banc d'essai présenté au chapitre précédent, section 2.6.4.1, a été réutilisée et modifiée pour mener ces tests. Le côté 1 du convertisseur est relié à une source triphasée sinusoïdale via une inductance triphasée de 3 mH et de résistance égale à 0,4 Ω par phase. Une charge triphasée RL composée par phase d'une résistance de 5,5 Ω et d'une inductance de 9 mH est connectée côté charge. La fréquence de commutation des interrupteurs IGBTs est égale à 8 kHz.

Les essais expérimentaux sont effectués pour les trois cas de défauts présentés à la section 3.2.3. Tout d'abord, un défaut de type circuit ouvert a été généré au niveau du bras $a_1$ du convertisseur côté source (cas 1) par la mise à zéro des ordres de commande de l'IGBT de l'interrupteur $S_4$. La Figure 3-29(a) est une vue des formes d'onde autour de l'instant d'apparition du défaut. Le défaut est détecté très rapidement. La Figure 3-29(b) présente les chronogrammes du courant traversant la triac $Tr_{a1}$ qui a été mis en conduction après détection du défaut, du courant $i_{a1}$ côté source et du courant $i_{b2}$ côté charge. La Figure 3-29(c) est une vue détaillée de la Figure 3-29(b). La continuité de service du convertisseur est ainsi validée.

La Figure 3-29(d) présente les principales formes d'ondes directement liées à la détection du défaut. La tension estimée $V_{a_1 o,es}$ est obtenue à partir des ordres de commande de $T_{a1}$ et de la tension du bus continu. La sortie du compteur temporel, utilisée pour la détection du défaut (voir la section 1.3.2), est également tracée sur cette figure.

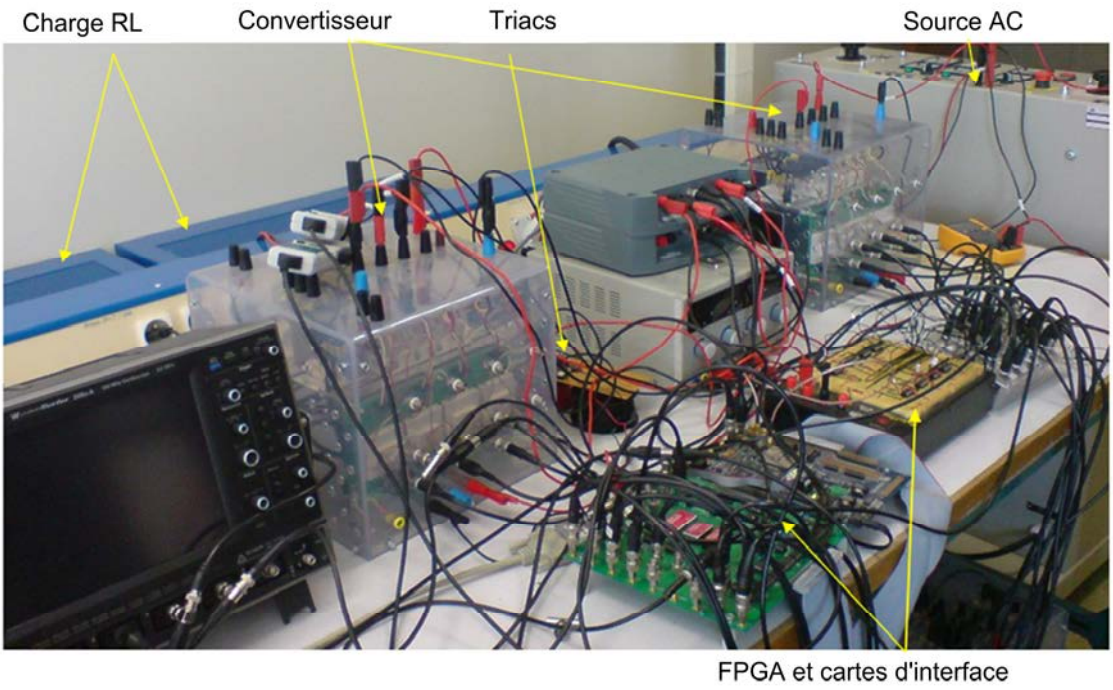



Figure 3-28 : Banc d'essai expérimental.

Lors d'un dysfonctionnement du convertisseur, quand la différence entre (au moins) une des tensions de pôles mesurées et estimées est suffisamment grande, la sortie du compteur associé au bras défaillant commence à augmenter et c'est seulement lorsqu'elle atteint la valeur seuil $N_t$ (=30) qu'un défaut est alors détecté. Il convient de noter ici que les pics de faibles amplitudes sur la forme d'onde du compteur temporel ne sont pas interprétés comme des défauts, à juste titre.

L'analyse harmonique des courants du convertisseur montre que le THD du courant $i_{a1}(t)$ de la phase défaillante augmente de 2,91% (avant défaut) à 4,29% (après défaut), tandis qu'il n'y a pas un changement aussi significatif des valeurs du THD du courant lié au bras $b_2$ (de 7,57% à 9,4%).

Pour le "cas 2", lors d'un défaut survenant au niveau du bras commun, des essais similaires au "cas 1" sont réalisés et les formes d'onde obtenues sont présentées à la Figure 3-30.

La Figure 3-30(a) présente les courants de phases $i_{c1}(t)$ et $i_{c2}(t)$ liés au bras commun, respectivement à l'entrée et à la sortie du convertisseur, ainsi que le courant traversant le triac $Tr_c$. La Figure 3-30(b) présente les signaux de détection du défaut. La détection du défaut et la reconfiguration du convertisseur sont également validées dans ce second cas. Le THD des courants $i_{c1}$et $i_{c2}$ augmente après reconfiguration du convertisseur, passant respectivement de 3,45% et 4,58% à 7,28% et 6,32%.

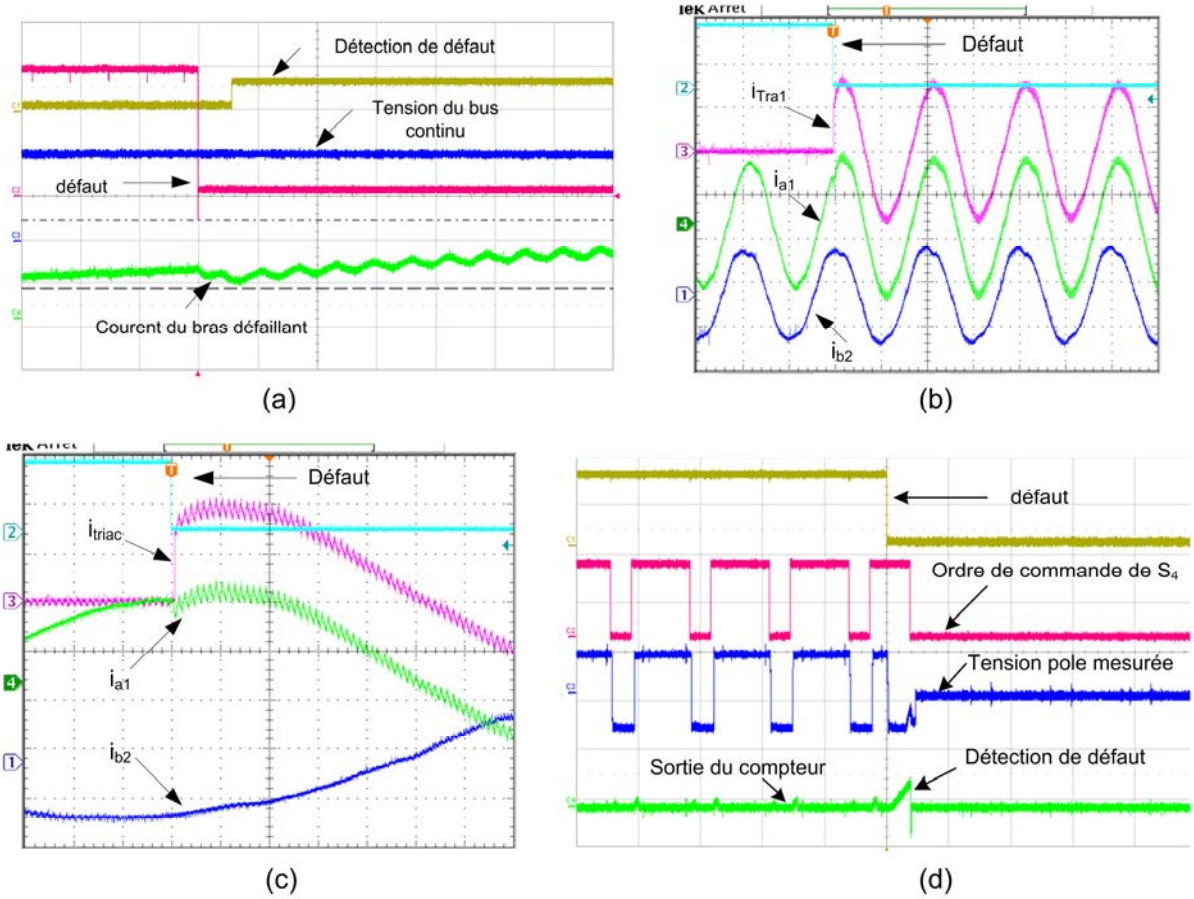



Figure 3-29 : Cas 1 - Défaut circuit ouvert de l'interrupteur $S_4$ du bras $a_1$ : (a) De haut en bas: signal "défaut", détection du défaut, tension du bus continu (100V/div), courant $i_{a1}$ de la phase défaillante (5A/div) - Echelle de temps : 200$\mu s$/div.
(b) De haut en bas: signal "défaut", courant $i_{Tra1}$ à travers le triac $Tr_{a1}$(5A/div), courant $i_{a1}$ de la phase a1 défaillante (5A/div), courant $i_{b2}$ côté de la charge (5A/div) - Echelle de temps: 10ms/div.
(c) De haut en bas: signal "défaut", courant $i_{Tra1}$ à travers le triac $i_{Tra1}$(5A/div), courant $i_{a1}$ de la phase a1 défaillante (5A/div), courant $i_{b2}$ côté de la charge (5A/div) - Echelle de temps: 1ms/div.
(d) Signaux liés à la détection de défaut : De haut en bas: signal "défaut"- ordres de commande de $T_{a1}$ ; tension de pôle mesurée $V_{a1o,m}$ (200V/div) , sortie du compteur temporel de la détection de défaut- Echelle de temps: 100$\mu s$/div

Enfin, lors d'un défaut circuit ouvert de l'interrupteur $S_2$, du bras $b_2$ (côté charge – "cas 3"), les résultats expérimentaux sont présentés à la Figure 3-31(a). Le courant $i_{b2}$ et le courant $i_{Trb2}$ du triac $Tr_{b2}$ sont tracés à la Figure 3-31(a). La Figure 3-31(b) présente les signaux liés à la détection de défaut dans ce cas. La détection du défaut et la reconfiguration du convertisseur sont donc également validées dans ce cas. Ici encore, le THD du courant $i_{b2}$ de la phase défaillante a augmenté après reconfiguration. En effet, le THD de $i_{b2}$ est passé de 4,40% à 9,74%, tandis que le THD de $i_{a1}$ est resté le même (3,74% à 3,82%). On peut noter également une augmentation du THD du courant $i_{a2}(t)$ côté charge qui est passé de 4,83% à 5,63%.

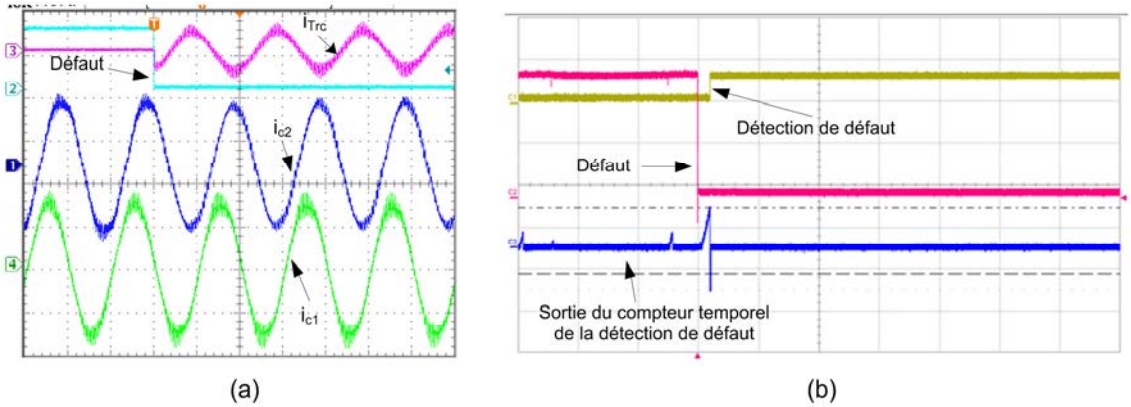



Figure 3-30 : Cas 2 - Défaut circuit ouvert de l'interrupteur $S_{3,3}$, du bras c :
(a) : De haut en bas: signal "défaut"- courant $i_{Trc}$ à travers le triac $Tr_c$ (20A/div)- courant $i_{c2}$ du côté charge (5A/div) - courant $i_{c1}$côté source (10A/div) - Echelle de temps : 10ms/div.
(b) : De haut en bas : signal "défaut"- détection de défaut- sortie du compteur temporel de la détection de défaut- Echelle de temps : 200$\mu s$/div.

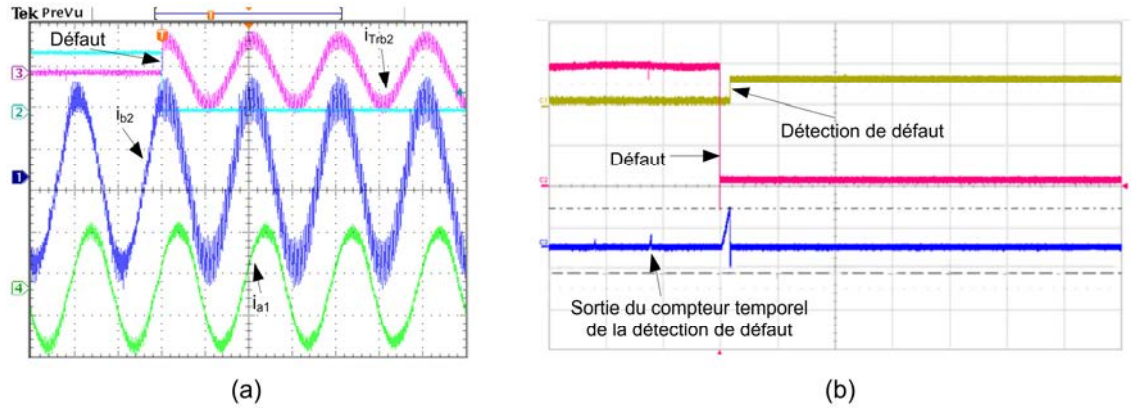



Figure 3-31 : Cas 3 - Défaut circuit ouvert de l'interrupteur $S_2$,du bras $b_2$:
(a) : De haut en bas: signal "défaut"- courant $i_{Trb2}$ à travers le triac $Tr_{b2}$ (20A/div)- courant $i_{b2}$du bras défaillant (5A/div) - courant $i_{a1}$côté source (10A/div) - échelle de temps : 10ms/div.
(b) : De haut en bas: signal "défaut"- détection de défaut- sortie du compteur temporel de la détection de défaut- Echelle de temps : 200$\mu s$/div.

D'après tous les résultats expérimentaux précédemment présentés, on peut conclure que la détection rapide d'un défaut et la reconfiguration du convertisseur 5 bras "fault tolérant" sans redondance sont validés expérimentalement. Des essais pour les 3 cas de reconfigurations possibles du convertisseur ont été réalisés et validés. Il faut cependant noter que le THD du courant de la phase défaillante augmente généralement après reconfiguration. Ceci n'est cependant pas un souci majeur car l'objectif principal de nos travaux est de garantir la continuité de service du système, effectivement assurée pour cette topologie.

## 3.5 Conclusion

Une topologie innovante de convertisseur 5 bras "fault tolerant" sans redondance a été étudiée dans ce chapitre. Elle comporte un nombre réduit de semi-conducteurs et est basée

sur une topologie à cinq bras. Après détection et localisation d'un défaut au niveau d'un des semi-conducteurs, un contrôleur reconfigurable permet d'assurer la continuité de service de la conversion de puissance AC/DC/AC. Le convertisseur reconfiguré est une structure à 4 bras dont 3 variantes de topologies sont possibles, selon la localisation du défaut. Ces 3 variantes ont été étudiées et validées, de la simulation aux essais expérimentaux, sur le banc de test mis en œuvre.

La structure de convertisseur 5 bras est notamment rendue "fault tolerant" par l'ajout de cinq triacs supplémentaires. Des fusibles doivent également être ajoutés afin de garantir la continuité de service lors d'un défaut de type "court-circuit". Pour les mêmes raisons qu'aux deux chapitres précédents, un FPGA est utilisé pour la détection de défaut et la reconfiguration du contrôleur. Lors de notre approche, nous avons montré qu'il était possible de mettre en œuvre simultanément les tâches de contrôle et de détection de défaut sur un unique FPGA. En outre, avec cette approche, le fonctionnement en parallèle des sous-systèmes liés au contrôle et à la détection de défaut est garanti. Une détection de défaut "temps réel" est également rendue possible grâce aux performances de la logique câblée du FPGA.

# Conclusion générale et perspectives

# Conclusion générale et perspectives

Les convertisseurs statiques triphasés AC/DC/AC à structure tension sont largement utilisés dans de nombreuses applications de puissance. La continuité de service de ces systèmes ainsi que leur sécurité, leur fiabilité et leurs performances sont aujourd'hui des préoccupations majeures de ce domaine lié à l'énergie. En effet, la défaillance du convertisseur peut conduire à la perte totale ou partielle du contrôle des courants de phase et peut donc provoquer de graves dysfonctionnements du système, voire son arrêt complet. Ainsi, tout défaut non compensé peut rapidement mettre en danger le système. Par conséquent, afin d'empêcher la propagation du défaut aux autres composants du système et assurer la continuité de service en toute circonstance lors d'une défaillance du convertisseur, des méthodes efficaces et rapides de détection et de compensation de défaut doivent être mises en œuvre. Ensuite, une fois le défaut détecté et localisé, il est nécessaire de reconfigurer la topologie du convertisseur, voire reconfigurer également son contrôle si de la redondance n'est pas mise en œuvre. Dans ce mémoire, nous avons étudié la continuité de service de trois topologies de convertisseurs AC/DC/AC avec ou sans redondance, lors de la défaillance d'un de leurs interrupteurs. Lors de ces études, les topologies de convertisseurs proposées, associées à leurs contrôleurs, ont été validées de la modélisation/simulation à la validation sur banc de test expérimental, en passant par le prototypage "FPGA in the Loop", du FPGA destiné plus spécifiquement à la détection de défaut.

Au premier chapitre, notre étude a porté sur une topologie avec redondance : un convertisseur "back-to-back" à tolérance de pannes, comportant un bras additionnel. L'application de puissance principalement concernée par ce convertisseur est la conversion de l'énergie éolienne basée sur une génératrice de type MADA. Cette topologie a été nommée "convertisseur 6 bras avec bras redondant". L'étude présentée complète les études théoriques antérieures, menées au sein des laboratoires GREEN et LIEN, lors des travaux de thèse de Monsieur Arnaud GAILLARD.

Le système éolien basé sur une MADA a tout d'abord été modélisé, puis son contrôle a été brièvement rappelé. La méthode utilisée pour la détection et la compensation du défaut a ensuite été exposée. Elle est robuste au regard des commutations des interrupteurs. Nous avons fait le choix d'utiliser une cible FPGA pour mettre en œuvre cette détection du défaut et ainsi garantir des performances "temps réel". Une méthodologie de prototypage rapide dite "FPGA in the Loop" est utilisée tout au long de ces travaux. Elle nous a permis de valider la conception sur cible FPGA de la détection de défaut et de la reconfiguration du convertisseur, avant de procéder aux tests entièrement expérimentaux. Un banc d'essai expérimental a été conçu et réalisé lors de cette thèse. Le contrôle du convertisseur bidirectionnel 6 bras avec un bras redondant a été réalisé à l'aide d'un système dSPACE alors que la détection de défaut a été réalisée sur une carte

de développement FPGA Stratix de la société ALTERA. Les résultats expérimentaux ainsi obtenus ont permis de conclure et de valider les travaux de recherche précédemment menés dans notre laboratoire, portant sur ce "convertisseur 6 bras avec bras redondant ". Une possibilité d'optimisation de la méthode de détection de défaut a été proposée au chapitre 2 : il est possible de réduire à 4 le nombre de capteurs additionnels nécessaires à la mesure des tensions de pôles pour détecter le défaut, tout en garantissant les mêmes performances qu'avec la méthode initialement proposée. Dans la continuité de ces travaux, les deux chapitres suivants ont été consacrés à l'étude de structures de convertisseurs AC/DC/AC, sans redondance.

Au second chapitre, nous avons présenté un convertisseur AC/DC/AC à six bras, sans redondance. Dans le cas de cette topologie, après apparition d'un défaut au niveau de l'un des interrupteurs des 6 bras du convertisseur "fault tolerant", une reconfiguration appropriée permet d'assurer la continuité de service à l'aide des 5 bras sains dont on dispose encore. Par ailleurs, un contrôleur "fault tolerant" spécifique et approprié a été nécessaire pour garantir la reconfiguration rapide et efficace du système, non seulement au niveau de la topologie du convertisseur mais également au niveau de sa commande qui doit être modifiée lors du passage d'une topologie 6 bras à une topologie 5 bras. Globalement, pour une application de puissance donnée, le dimensionnement des interrupteurs utilisés dans un convertisseur à 5 bras conduit à des valeurs supérieures à celles d'un convertisseur 6 bras, principalement au niveau du bras mutualisé. Cependant, nous ne savons pas au niveau de quel bras un éventuel défaut interviendrait et quel bras serait alors mutualisé. De même, une augmentation de la référence de tension du bus continu peut être requise après reconfiguration afin de maintenir la capacité nominale du convertisseur si le fonctionnement du système l'exige. Il est donc nécessaire de dimensionner en conséquence l'ensemble du convertisseur 6 bras "fault tolerant" si l'on souhaite garantir un fonctionnement en mode normal après défaut. Ceci n'est pas nécessaire si l'on accepte un fonctionnement en mode dégradé et à puissance réduite après défaut. Néanmoins, le convertisseur à 6 bras ne comporte pas de redondance, ce qui conduit à une diminution des coûts par rapport à la structure présentée au chapitre 1. Deux applications ont été étudiées et validées pour ce convertisseur : l'alimentation d'une charge RL triphasée, puis un système éolien de conversion de l'énergie basé sur une MADA. Trois optimisations de la méthode de détection de défaut ont été également proposées, évaluées et validées dans ce chapitre.

Finalement, au chapitre 3, une nouvelle topologie de convertisseur AC/DC/AC "fault tolerant" avec un nombre réduit de semi-conducteurs de puissance a été présentée. Ce convertisseur comporte cinq bras en mode de fonctionnement normal et peut continuer à fonctionner après avoir subi un défaut au niveau de l'un de ses bras, en utilisant les quatre bras sains dont on dispose encore. Ainsi, après l'apparition d'un défaut au niveau d'un interrupteur et sa détection, la structure cinq bras est reconfigurée à l'aide de triacs en une structure quatre bras. Selon la localisation du défaut, cette reconfiguration peut conduire à trois topologies quatre bras différentes qui ont toutes été examinées et validées lors de ces travaux de recherche. Un contrôle reconfigurable a également été proposé pour ce

convertisseur, puis validé sur un banc de test expérimental. Dans ce cas de topologie sans redondance, la capacité de production des tensions AC des deux côtés du convertisseur 4 bras est inférieure à celle du convertisseur cinq bras, si l'on ne prend pas de précaution particulière lors du dimensionnement du convertisseur. Si l'on souhaite conserver les performances nominales après défaut, la tension du bus continu doit être initialement fixée à une valeur de référence suffisamment élevée en mode sain pour permettre au convertisseur, après défaut et reconfiguration en une structure 4 bras, d'avoir une capacité de production de tension égale à celle que l'on peut obtenir en mode 5 bras. Nous avons également constaté et mentionné que le THD du courant de la phase défaillante augmente après la reconfiguration du convertisseur. Cet accroissement est dû au changement des formes d'ondes des tensions simples du côté défaillant du convertisseur et donc de leur contenu harmonique. Un exemple de ces tensions avant et après l'occurrence d'un défaut a été fourni, la tension simple de la phase défaillante ayant une forme d'onde à cinq niveaux avant l'apparition du défaut alors qu'elle passe à trois niveaux après défaut.

Plusieurs axes d'études et de recherches complémentaires peuvent être envisagés comme perspectives de ce travail. A court terme, des études portant sur la topologie de convertisseur 5 bras "fault tolerant", présenté au chapitre 3, peuvent être envisagées. Il s'agit en effet d'une topologie originale et jamais publiée dont l'étude pourrait être spécifiquement ciblée sur le cas particulier d'un système éolien basé sur une MADA. Bien que cette topologie ait été étudiée ici dans le cas de l'alimentation d'une charge triphasée, son utilisation dans ce contexte de conversion de l'énergie éolienne, en mode nominal, voire dégradé, trouverait un intérêt.

Dans ce mémoire, trois topologies de convertisseurs AC/DC/AC ont été étudiées et il a été démontré que toutes trois permettent de garantir la continuité de service attendue, en mode nominal. Néanmoins, une étude comparative de la fiabilité de chacune de ces trois structures nous semblerait intéressante et complémentaire. Ce critère de comparaison permettrait de guider le choix de la structure, en plus de critères plus industriels liés aux applications concernées. En effet, nous avons montré que les structures sans redondance, à savoir les topologies à 6 et 5 bras comportant un nombre réduit de semi-conducteurs, permettent de garantir les fonctionnalités nominales attendues après défaut. On peut donc penser qu'a priori elles pourraient conduire à une fiabilité plus grande ainsi qu'à un volume et un coût réduit. Néanmoins, comme nous nous sommes fixés la contrainte du maintien du mode nominal après défaut, le surdimensionnement des composants qui en découle doit être intégré lors de l'étude de fiabilité.

D'autre part, bien que nous nous soyons fixés dans ce mémoire de garder la fonctionnalité nominale du convertisseur après apparition du défaut, il est également possible d'envisager un fonctionnement en mode dégradé après défaut. Cependant, il est important de mentionner ici que ce cas du mode dégradé ne conviendrait pas pour certaines applications dites "safety critical" ou ne serait pas un choix judicieux pour certaines applications dont les pertes financières liées au mode dégradé seraient supérieures au surcoût induit par le maintien du mode nominal. Ceci pourrait être le cas

de l'éolien offshore, par exemple. Le mode dégradé pourrait cependant être intéressant dans le cas d'un système terrestre de conversion de l'énergie éolienne. Sans surdimensionnement du convertisseur AC/DC/AC "fault tolerant" sans redondance, il est effectivement possible de réduire les tensions côté rotor en réduisant la plage de fonctionnement autour de la vitesse de synchronisme tout en y associant un choix approprié des références de puissances réactives côté stator et côté CCR. Dans ce cas, l'analyse comparative de fiabilité précédemment mentionnée pourrait être répétée, à l'avantage des structures sans redondance, non seulement en terme de fiabilité mais également en terme de coût. De cette façon, une analyse complète peut être faite, formulant les relations entre le coût, la fiabilité et la fonctionnalité de ces convertisseurs, en modes nominal ou dégradé après défaut.

Quant à l'implantation sur cible numérique de type FPGA du contrôleur "fault tolerant", plusieurs idées pourraient être développées. Par exemple, la mise en œuvre de la possibilité de reconfigurer dynamiquement le FPGA mènerait à une conception plus compacte, pouvant être implantée dans un composant FPGA de taille minimale. Il serait également intéressant d'étudier et de développer la tolérance aux défauts au niveau de la mise en œuvre numérique sur FPGA. Ce dernier point nécessiterait de développer des architectures numériques intégrant ce critère de fiabilité, comme cela est le cas lors d'implantation matérielle sur FPGA de contrôles/commandes pour applications dites "safe critical" (avionique, transport, …).

Dans une perspective de recherches futures à plus long terme, des études peuvent être développées dans le cas d'autres topologies de convertisseurs statiques. Nos travaux ont porté sur des structures de convertisseurs AC/DC/AC à deux niveaux. Récemment, les convertisseurs multi-niveaux et matriciels ont fait l'objet de nombreux travaux de recherche. Ainsi, on pourrait alors envisager d'étudier la tolérance de pannes et la détection de défaut pour ces convertisseurs. La méthode de détection de défaut et le contrôle reconfigurable étudiés dans ce mémoire pourraient être, dans un premier temps, adaptés à ces types de convertisseur, pour fournir une détection de défaut ainsi qu'une reconfiguration très rapide. Ensuite, de nouvelles méthodes plus spécifiques pourraient être proposées. On peut dès à présent mentionner que la méthode de détection de défaut, basée sur les tensions aux bornes des interrupteurs a été récemment étudiée dans quelques publications de cette année 2012, dans le cas de convertisseurs matriciels. Le temps de détection du défaut pourrait être réduit si une cible FPGA était retenue pour son implantation. D'autre part, pour les convertisseurs multi-niveaux dits "Neutral-Point Clamped" ou "cascaded H-bridge", une version légèrement modifiée de notre méthode de détection de défaut pourrait être effective, mais la détection de l'emplacement exact du défaut nécessiterait des études complémentaires.

D'autre part, l'approche proposée, basée sur une de détection du défaut et un contrôleur "fault tolerant" sur cible FPGA, peut être étendue aux convertisseurs DC-DC également. La détection rapide des défauts dans ces convertisseurs n'est pas largement étudiée et publiée dans la littérature scientifique et il semble donc intéressant et novateur de la

développer ainsi que la stratégie de reconfiguration des convertisseurs. Ce thème est actuellement en cours d'étude dans notre laboratoire par un doctorant.

# Publications et communications du doctorant

## Publications :

**M. Shahbazi,** P. Poure, S. Saadate, M. R. Zolghadri, “FPGA-based reconfigurable control for fault-tolerant back-to-back converter without redundancy”, *IEEE Trans. on Industrial Electronics*, 2012 (accepted, article in press).

**M. Shahbazi,** P. Poure, S. Saadate, M. R. Zolghadri, “FPGA-based Fast Detection with Reduced Sensor Count for a Fault-Tolerant Three-Phase Converter”, *IEEE Trans. on Industrial Informatics*, 2012 (accepted, article in press).

**M. Shahbazi,** P. Poure, S. Saadate, M. R. Zolghadri, “Fault Tolerant Five-Leg Converter Topology with FPGA-based Reconfigurable Control”, *IEEE Trans. on Industrial Electronics*, 2012 (accepted, article in press).

**M. Shahbazi,** P. Poure, S. Saadate, M. R. Zolghadri, “Five-leg converter topology for wind energy conversion system with doubly fed induction generator”, *Elsevier, Renewable Energy*, vol. 36, pp. 3187-3194, 2011.

**M. Shahbazi,** P. Poure, M. R. Zolghadri, S. Saadate, "Six-Leg AC-AC Fault Tolerant Converter with Reduced Extra-Sensor Number ", IREE, International Review of Electrical Engineering, February 2011, Vol. 6, No. 1.

## Communications :

**M. Shahbazi**, M.R. Zolghadri, P. Poure, S. Saadate; “Implementation and Hardware in the Loop Verification of Five-Leg Converter Control System on a FPGA”, IECON 2011.

**M. Shahbazi,** A. Gaillard, P. Poure, M. R. Zolghadri, “FPGA-based fault tolerant scheme with reduced extra-sensor number for WECS with DFIG”, ISIE 2011.

**M**. **Shahbazi,** M.R. Zolghadri, P. Poure, S. Saadate; “Fast Detection of Open-Switch Faults with Reduced Sensor Count for a Fault-Tolerant Three-Phase Converter”; PEDSTC 2011.

# Références bibliographiques

# Références bibliographiques

## A:

[Abad2011] G. Abad, J. López, M. Rodriguez, L. Marroyo, G. Iwanski, and others, "*Doubly Fed Induction Machine: Modeling and Control for Wind Energy Generation Applications*", vol. 86: Wiley-IEEE Press, 2011.

[Abrahamsen2000] F. Abrahamsen, C. Klumpner, F. Blaabjerg, K. Ries, and H. Rasmussen, "Fuse protection of IGBT's against rupture," *Proceed. of NORPIE,* pp. 64-68, 2000.

[Ambusaidi2010] K. Ambusaidi, V. Pickert, and B. Zahawi, "New circuit topology for fault tolerant H-bridge dc-dc converter," *IEEE Transactions on Power Electronics,* vol. 25, pp. 1509-1516, 2010.

[Amirat2009] Y. Amirat, M. E. H. Benbouzid, E. Al-Ahmar, B. Bensaker, and S. Turri, "A brief status on condition monitoring and fault diagnosis in wind energy conversion systems," *Renewable & Sustainable Energy Reviews,* vol. 13, pp. 2629-2636, 2009.

[An2011] Q. T. An, L. Z. Sun, K. Zhao, and L. Sun, "Switching Function Model-Based Fast-Diagnostic Method of Open-Switch Faults in Inverters Without Sensors," *IEEE Transactions On Power Electronics,* vol. 26, pp. 119-126, 2011.

## B:

[Baroudi2007] J. A. Baroudi, V. Dinavahi, A. M. Knight, "A review of power converter topologies for wind generators", *Renewable Energy*, Vol. 32, Issue 14, pp. 2369-2385, November 2007.

[Barriuso2009] P. Barriuso, J. Dixon, P. Flores, and L. Moran, "Fault-Tolerant Reconfiguration System for Asymmetric Multilevel Converters Using Bidirectional Power Switches," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 1300-1306, 2009.

[Blaabjerg2002] F. Blaabjerg, F. Iov, K. Ries, "Fuse protection of IGBT modules against explosions", *Journal of Power Electronics*, vol. 2, no. 2, pp. 88-94, April 2002.

[Bojoi2008] R. Bojoi, P. Guglielmi, and G. M. Pellegrino, "Sensorless direct field-oriented control of three-phase induction motor drives for low-cost applications," IEEE Transactions on Industry Applications, vol. 44, pp. 475-481, 2008.

[Bouscayrol2005] A. Bouscayrol, B. Francois, P. Delarue, and J. Niiranen, "Control implementation of a five-leg AC-AC converter to supply a three-phase induction machine," *Ieee Transactions On Power Electronics,* vol. 20, pp. 107-115, 2005.

[Braun1997] D. Braun, D. Pixler, and P. LeMay, "IGBT module rupture categorization and testing," Proceedings of IEEE Industry Applications Society Annual Meeting, New Orleans pp. 1259-1266.

## C:

[Ceballos2011] S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate, and J. L. Martin, "Fault-tolerant neutral-point-clamped converter solutions based on including a fourth resonant leg," *IEEE Transactions on Industrial Electronics,* vol. 58, pp. 2293-2303, 2011.

[Cruz2011] S. M. A. Cruz, M. Ferreira, A. M. S. Mendes, and A. J. M. Cardoso, "Analysis and diagnosis of open-circuit faults in matrix converters," *Industrial Electronics, IEEE Transactions on,* vol. 58, pp. 1648-1661, 2011.

## D:

[Datta2002] R. Datta and V. T. Ranganathan, "Variable-speed wind power generation using doubly fed wound rotor induction machine - A comparison with alternative schemes," *IEEE Transactions On Energy Conversion,* vol. 17, pp. 414-421, 2002.

[de Castro2003] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, J. Uceda, "Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA," *IEEE Transactions On Power Electronics,* vol. 18, pp. 334-343, 2003.

[Delarue2003] P. Delarue, A. Bouscayrol, and E. Semail, "Generic control method of multileg voltage-source-converters for fast practical implementation," IEEE Transactions on Power Electronics, vol. 18, pp. 517-526, Mar 2003.

[Diallo2005] D. Diallo, M. E. H. Benbouzid, D. Hamad, and X. Pierre, "Fault detection and diagnosis in an induction machine drive: A pattern recognition approach based on concordia stator mean current vector," *IEEE Transactions On Energy Conversion,* vol. 20, pp. 512-519, 2005.

[Duan2011] P. Duan, K. G. Xie, L. Zhang, and X. L. Rong, "Open-Switch Fault Diagnosis and System Reconfiguration of Doubly fed Wind Power Converter Used in a Microgrid," *IEEE Transactions On Power Electronics,* vol. 26, pp. 816-821, 2011.

[Dujic2009] D. Dujic, M. Jones, S. N. Vukosavic, and E. Levi, "A General PWM Method for a (2n + 1)-Leg Inverter Supplying n Three-Phase Machines," I*EEE Transactions on Industrial Electronics*, vol. 56, pp. 4107-4118, 2009.

## G:

[Gaillard2010] A. Gaillard, "Système éolien basé sur une MADA : contribution à l'étude de la qualité de l'énergie électrique et de la continuité de service," thèse de doctorat de Nancy Universite, 2010.

[Galvez-Carrillo2011] M. Galvez-Carrillo and M. Kinnaert, "Sensor fault detection and isolation in doubly-fed induction generators accounting for parameter variations," *Renewable Energy,* vol. 36, pp. 1447-1457, 2011.

## H:

[Hameed2009] Z. Hameed, Y. S. Hong, Y. M. Cho, S. H. Ahn, and C. K. Song, "Condition monitoring and fault detection of wind turbines and related algorithms: A review," *Renewable & Sustainable Energy Reviews,* vol. 13, pp. 1-39, 2009.

## I:

[Idkhajine2009] L. Idkhajine, E. Monmasson, M. W. Naouar, A. Prata, and K. Bouallaga, "Fully integrated FPGA-based controller for synchronous motor drive," *Industrial Electronics, IEEE Transactions on,* vol. 56, pp. 4006-4017, 2009.

## J:

[Jacobina2003] C. B. Jacobina, R. L. D. Ribeiro, A. M. N. Lima, and E. R. C. da Silva, "Fault-tolerant reversible AC motor drive system," IEEE Transactions on Industry Applications, vol. 39, pp. 1077-1084, Jul-Aug 2003.

[Jacobina2006] C. B. Jacobina, I. S. de Freitas, E. R. C. da Silva, A. M. N. Lima, and R. L. D. Ribeiro, "Reduced switch count dc-link ac-ac five-leg converter," *Ieee Transactions On Power Electronics,* vol. 21, pp. 1301-1310, 2006.

[Jacobina2007] C. B. Jacobina, I. S. de Freitas, and A. M. N. Lima, "DC-Link Three-Phase-to-Three-Phase Four-Leg Converters," IEEE Transactions on Industrial Electronics, vol. 54, pp. 1953-1961, 2007.

[Jacobina2008] C. B. Jacobina, E. C. dos Santos, E. R. C. da Silva, M. B. D. R. Correa, A. M. N. Lima, and T. M. Oliveira, "Reduced switch count multiple three-phase ac machine drive systems," *Ieee Transactions On Power Electronics,* vol. 23, pp. 966-976, 2008.

[Jones2008-1] M. Jones, S. N. Vukosavic, D. Dujic, E. Levi, and P. Wright, "Five-leg inverter PWM technique for reduced switch count two-motor constant power applications," IET, Electric Power Applications, vol. 2, pp. 275-287, 2008.

[Jones2008-2] M. Jones, D. Dujic and E. Levi, "A performance comparison of PWM techniques for five-leg VSIs supplying two-motor drives," IECON 2008, pp. 508-513.

## K:

[Karimi2008] S. Karimi, A. Gaillard, P. Poure, and S. Saadate, "FPGA-Based Real-Time Power Converter Failure Diagnosis for Wind Energy Conversion Systems," *IEEE Transactions On Industrial Electronics,* vol. 55, pp. 4299-4308, 2008.

[Karimi2009-1] S. Karimi, A. Gaillard, P. Poure, and S. Saadate, "Current Sensor Fault-Tolerant Control for WECS With DFIG," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 4660-4670, 2009.

[Karimi2009-2] S. Karimi, "Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle", Thèse de doctorat, Université Henri Poincaré, 2009.

[Karimi2010] S. Karimi, P. Poure, and S. Saadate, "An HIL-Based Reconfigurable Platform for Design, Implementation, and Verification of Electrical System Digital Controllers," *IEEE Transactions on Industrial Electronics,* vol. 57, pp. 1226-1236, 2010.

[Kazemi2010] M. V. Kazemi, A. S. Yazdankhah, and H. M. Kojabadi, "Direct power control of DFIG based on discrete space vector modulation," *Renewable Energy,* vol. 35, pp. 1033-1042, 2010.

[Kim2009] T. J. Kim, W. C. Lee, and D. S. Hyun, "Detection Method for Open-Circuit Fault in Neutral-Point-Clamped Inverter Systems," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 2754-2763, 2009.

[Kimura2005] Y. Kimura, M. Hizume, and K. Matsuse, "Independent vector control of two PM motors with five-leg inverter by the expanded two-arm modulation method," in European Conference on Power Electronics and Applications, 2005.

[Kwak2010] S. Kwak, "Fault-tolerant structure and modulation strategies with fault detection method for matrix converters," *IEEE Transactions on Power Electronics,* vol. 25, pp. 1201-1210, 2010.

[Kwak2012] S. Kwak, "Four-Leg-Based Fault-Tolerant Matrix Converter Schemes Based on Switching Function and Space Vector Methods," *IEEE Transactions On Industrial Electronics,* vol. 59, pp. 235-243, 2012.

## L:

[Ledezma2001] E. Ledezma, B. McGrath, A. Muñoz, and T. A. Lipo, "Dual AC-drive system with a reduced switch count," *Industry Applications, IEEE Transactions on,* vol. 37, pp. 1325-1333, 2001.

[Li2012-1] J. Li, A. Q. Huang, Z. G. Liang, and S. Bhattacharya, "Analysis and Design of Active NPC (ANPC) Inverters for Fault-Tolerant Operation of High-Power Electrical Drives," *IEEE Transactions On Power Electronics,* vol. 27, pp. 1-1, 2012.

[Li2012-2] Y. Li, N. S. Choi, B. M. Han, and E. C. Nho, "Direct Duty-ratio Modulated Fault-tolerant Strategy for Matrix Converter-fed Motor Drives," *Journal of Power Electronics,* vol. 12, pp. 24-32, 2012.

[Liu2009] C. W. Liu, B. Wu, N. R. Zargari, D. W. Xu, and J. C. Wang, "A Novel Three-Phase Three-Leg AC/AC Converter Using Nine IGBTs," *Ieee Transactions On Power Electronics,* vol. 24, pp. 1151-1160, 2009.

## M:

[Malinowski2001] M. Malinowski, "Sensorless control strategies for three-phase PWM rectifiers," Ph.D thesis, Warsaw University of Technology, Poland, 2001.

[Masrur2010] M. A. Masrur, Z. Chen, and Y. Murphey, "Intelligent diagnosis of open and short circuit faults in electric drive inverters for real-time applications," *Iet Power Electronics,* vol. 3, pp. 279-291, 2010.

[Mendes2006] A. M. S. Mendes and A. J. M. Cardoso, "Fault-tolerant operating strategies applied to three-phase induction-motor drives," *IEEE Transactions On Industrial Electronics,* vol. 53, pp. 1807-1817, 2006.

[Mirecki2005] A. Mirecki, “Etude comparative de chaînes de conversion d’énergie dédiées à une éolienne de petite puissance”, Thèse de doctorat de l’Institut National Polytechnique de Toulouse, 2005.

[Monmasson2011-1] E. Monmasson, L. Idkhajine, M. N. Cirstea, I. Bahri, A. Tisan, and M. W. Naouar, "FPGAs in Industrial Control Applications," *IEEE Transactions On Industrial Informatics,* vol. 7, pp. 224-243, 2011.

[Monmasson2011-2] E. Monmasson, L. Idkhajine, and M. W. Naouar, "FPGA-based Controllers," *IEEE Industrial Electronics Magazine,* vol. 5, pp. 14-26, 2011.

[Muller2002] S. Muller, M. Deicke, R. W. De Doncker, “Doubly fed induction generator systems for wind turbines”, *IEEE Industry Applications Magazine*, pp. 26-33, May-June 2002.

[Multon2004] B. Multon ; X. Roboam ; B Dakyo ; C. Nichita ; O Gergaud ; H. Ben Ahmed, “Aérogénérateurs électriques”, *Techniques de l’Ingénieur*, Traités de génie électrique, D3960, Novembre 2004.

[Munteanu2010] I. Munteanu, A. I. Bratcu, S. Bacha, D. Roye, and J. Guiraud, "Hardware-in-the-Loop-based Simulator for a Class of Variable-speed Wind Energy Conversion Systems: Design and Performance Assessment," *IEEE Transactions On Energy Conversion*, vol. 25, no. 2, pp. 564-576, 2010.

## N:

[Nian2011] H. Nian, Y. P. Song, P. Zhou, and Y. K. He, "Improved Direct Power Control of a Wind Turbine Driven Doubly Fed Induction Generator During Transient Grid Voltage Unbalance," *IEEE Transactions On Energy Conversion,* vol. 26, pp. 976-986, 2011.

## O:

[Ormaetxea2011] E. Ormaetxea, J. Andreu, I. Kortabarria, U. Bidarte, I. M. de Alegria, E. Ibarra, and E. Olaguenaga, "Matrix Converter Protection and Computational Capabilities Based on a System on Chip Design With an FPGA," *Power Electronics, IEEE Transactions on,* vol. 26, pp. 272-287, 2011.

## P:

[Pei2012] X. J. Pei, S. S. Nie, Y. Chen, and Y. Kang, "Open-Circuit Fault Diagnosis and Fault-Tolerant Strategies for Full-Bridge DC-DC Converters," *IEEE Transactions On Power Electronics,* vol. 27, pp. 2550-2565, 2012.

[Petersson2005] A. Petersson, Analysis, modeling and control of doubly-fed induction generators for wind turbines: Chalmers University of Technology Goteborg,, Sweden, 2005.

[Poitiers2003] F. Poitiers, " Etude et commande de génératrices asynchrones pour l'utilisation de l'énergie éolienne," thèse de doctorat de l'université de Nantes, France, 2003.

## R:

[Ribeiro2003] R. L. D. Ribeiro, C. B. Jacobina, E. R. C. da Silva, and A. M. N. Lima, "Fault detection of open-switch damage in voltage-fed PWM motor drive systems," *IEEE Transactions On Power Electronics,* vol. 18, pp. 587-593, 2003.

[Ribeiro2004] R. L. D. Ribeiro, C. B. Jacobina, E. R. C. da Silva, and A. M. N. Lima, "Fault-tolerant voltage-fed PWM inverter AC motor drive systems," *IEEE Transactions On Industrial Electronics,* vol. 51, pp. 439-446, 2004.

[Rodríguez2005] J. R. Rodríguez, J. W. Dixon, J. R. Espinoza, J. Pontt, and P. Lezana, "PWM regenerative rectifiers: State of the art," IEEE Transactions on Industrial Electronics, vol. 52, pp. 5-22, 2005.

[Rodriguez-Andina2007] J. J. Rodriguez-Andina, M. J. Moure, and M. D. Valdes, "Features, design tools, and application domains of FPGAs," *IEEE Transactions On Industrial Electronics,* vol. 54, pp. 1810-1823, 2007.

[Rodriguez2011] J. Rodriguez, M. A. guez Blanco, A. Claudio-Sanchez, D. Theilliol, L. G. Vela-Valdes, P. Sibaja-Terán, L. Hernandez-Gonzalez, and J. Aguayo-Alquicira, "A failure-detection strategy for IGBT based on gate-voltage behavior applied to a motor drive system," *IEEE Transactions on Industrial Electronics,* vol. 58, pp. 1625-1633, 2011.

[Rothenhagen2009-1] K. Rothenhagen and F. W. Fuchs, "Doubly Fed Induction Generator Model-Based Sensor Fault Detection and Control Loop Reconfiguration," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 4229-4238, 2009.

[Rothenhagen2009-2] K. Rothenhagen and F. W. Fuchs, "Current Sensor Fault Detection, Isolation, and Reconfiguration for Doubly Fed Induction Generators," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 4239-4245, 2009.

## S:

[Sae-Kok2010] W. Sae-Kok, D. M. Grant, and B. W. Williams, "System reconfiguration under open-switch faults in a doubly fed induction machine," *Iet Renewable Power Generation,* vol. 4, pp. 458-470, 2010.

[Sleszynski2009] W. Sleszynski, J. Nieznanski, and A. Cichowski, "Open-Transistor Fault Diagnostics in Voltage-Source Inverters by Analyzing the Load Currents," *IEEE Transactions On Industrial Electronics,* vol. 56, pp. 4681-4688, 2009.

[Shahbazi2011] M. Shahbazi, P. Poure, M. Reza Zolghadri, S. Saadate, "Six-Leg AC-AC Fault Tolerant Converter with Reduced Extra-Sensor Number," International Review of Electrical Engineering (IREE), Vol. 6. n. 1, pp. 132-138, Feb. 2011.

[Shu2008] Z. L. Shu, Y. H. Guo, and J. S. Lian, "Steady-state and dynamic study of active power filter with efficient FPGA-based control algorithm," *IEEE Transactions On Industrial Electronics,* vol. 55, pp. 1527-1536, 2008.

## T:

[Trabelsi2012] M. Trabelsi, M. Boussak, and M. Gossa, "PWM-Switching pattern-based diagnosis scheme for single and multiple open-switch damages in VSI-fed induction motor drives," *Isa Transactions, Elsevier Science Inc,* vol. 51, pp. 333-344, 2012.

## V:

[Vallon2003] J. Vallon, "Introduction à l'étude de la fiabilité des cellules de commutation à IGBT sous fortes contraintes", Thèse de doctorat de l'Institut National Polytechnique de Toulouse, France, 2003.

[Vas1998] P. Vas, *Sensorless vector and direct torque control*, vol. 729: Oxford university press Oxford, UK, 1998.

## W:

[Welchko2004] B. A. Welchko, T. A. Lipo, T. M. Jahns, and S. E. Schulz, "Fault tolerant three-phase AC motor drive topologies: A comparison of features, cost, and limitations," *IEEE Transactions On Power Electronics,* vol. 19, pp. 1108-1116, 2004.

## Y:

[Yazdani2011] A. Yazdani, H. Sepahvand, M. L. Crow, and M. Ferdowsi, "Fault Detection and Mitigation in Multilevel Converter STATCOMs," *IEEE Transactions On Industrial Electronics,* vol. 58, pp. 1307-1315, 2011.

## Z:

[Zhang2008] Y. M. Zhang and J. Jiang, "Bibliographical review on reconfigurable fault-tolerant control systems," *Annual Reviews In Control,* vol. 32, pp. 229-252, 2008.

[Zhi2010] D. W. Zhi, L. Xu, and B. W. Williams, "Model-Based Predictive Direct Power Control of Doubly Fed Induction Generators," *IEEE Transactions On Power Electronics,* vol. 25, pp. 341-351, 2010.

[Zhou2002] K. Zhou and D. Wang, "Relationship between space-vector modulation and three-phase carrier-based PWM: a comprehensive analysis [three-phase inverters]," *Industrial Electronics, IEEE Transactions on,* vol. 49, pp. 186-196, 2002.

[Zidani2008] F. Zidani, D. Diallo, M. E. H. Benbouzid, and R. Nait-Said, "A fuzzy-based approach for the diagnosis of fault modes in a voltage-fed PWM inverter induction motor drive," *IEEE Transactions on Industrial Electronics,* vol. 55, pp. 586-593, 2008.

## Résumé

Les convertisseurs statiques triphasés AC/DC/AC à structure tension sont largement utilisés dans de nombreuses applications de puissance. La continuité de service de ces systèmes ainsi que leur sécurité, leur fiabilité et leurs performances sont aujourd'hui des préoccupations majeures de ce domaine lié à l'énergie. En effet, la défaillance du convertisseur peut conduire à la perte totale ou partielle du contrôle des courants de phase et peut donc provoquer de graves dysfonctionnements du système, voire son arrêt complet. Afin d'empêcher la propagation du défaut aux autres composants du système et assurer la continuité de service en toute circonstance lors d'une défaillance du convertisseur, des topologies de convertisseur "fault tolerant" associées à des méthodes efficaces et rapides de détection et de compensation de défaut doivent être mises en œuvre.

Dans ce mémoire, nous étudions la continuité de service de trois topologies de convertisseurs AC/DC/AC avec ou sans redondance, lors de la défaillance d'un de leurs interrupteurs. Deux applications sont ciblées : l'alimentation d'une charge RL triphasée et un système éolien de conversion de l'énergie basé sur une MADA. Un composant FPGA est utilisé pour la détection du défaut, afin de réduire autant que possible son temps de détection. Des variantes permettant d'optimiser la méthode de détection de défaut sont également proposées et évaluées. Les trois topologies de convertisseurs proposées, associées à leurs contrôleurs, ont été validées de la modélisation/ simulation à la validation sur banc de test expérimental, en passant par le prototypage "FPGA in the Loop" du FPGA, destiné plus spécifiquement à la détection du défaut.

## Mot clés :

Continuité de service, "Fault tolerant", FPGA, Convertisseur AC/DC/AC, Eolienne, MADA.

## Abstract:

AC/DC/AC converters are widely being used in a variety of power applications. Continuity of service of these systems as well as their reliability and performances are now of the major concerns. Indeed, the failure of the converter can lead to the total or partial loss of the control of the phase currents and can cause serious system malfunction or shutdown. Thus, uncompensated faults can quickly endanger the system. Therefore, to prevent the spread of the fault to the other system components and to ensure continuity of service, fault tolerant converter topologies associated to quick and effective fault detection and compensation methods must be implemented.

In this thesis, we present the continuity of service of three AC/DC/AC fault tolerant converters with or without redundancy, in the presence of a fault in one of their switches. Two types of applications are studied: the supply off a three-phase charge and a wind energy conversion system based on a DFIG. An FPGA based implementation is used for fault detection, in order to reduce the detection time as much as possible. Three optimizations in the fault detection method are also presented. During these researches, the three proposed converter topologies and their controllers are validated in simulations and also experimentally, while being validated in a "FPGA in the Loop" prototyping.

## Keywords:

Continuity of service, Fault tolerant, FPGA, AC/DC/AC converters, Wind energy conversion system, DFIG.