



HAL
open science

Caractérisation de structures MOS submicroniques et analyse de défauts induits par irradiation gamma : extrapolation aux défauts induits dans les oxydes de champ des transistors bipolaires

Hazri Bakhtiar

► **To cite this version:**

Hazri Bakhtiar. Caractérisation de structures MOS submicroniques et analyse de défauts induits par irradiation gamma : extrapolation aux défauts induits dans les oxydes de champ des transistors bipolaires. Sciences de l'ingénieur [physics]. Université Paul Verlaine - Metz, 1999. Français. NNT : 1999METZ034S . tel-01775779

HAL Id: tel-01775779

<https://hal.univ-lorraine.fr/tel-01775779>

Submitted on 24 Apr 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

6157726

S/172 99/34



**Laboratoire Interfaces Composants et
Microélectronique**
Centre Lorrain d'Optique et d'Electronique des
Solides



THESE

Présentée à l'Université de Metz pour l'obtention du diplôme de
DOCTEUR de l'Université de METZ

Spécialité : **Electronique**
Ecole Doctorale : **PROMEMA**

**CARACTERISATION DE STRUCTURES MOS
SUBMICRONIQUES ET ANALYSE DE DEFAUTS
INDUITS PAR IRRADIATION GAMMA.
EXTRAPOLATION AUX DEFAUTS INDUITS DANS LES
OXYDES DE CHAMP DES TRANSISTORS BIPOLAIRES.**

Par

Hazri BAKHTIAR

Soutenue le 16 Novembre 1999 devant le jury composé de Messieurs :

Leonard ADAMS	Professeur, Brunel University, Londres	Examineur
Jean-Pierre CHARLES	Professeur, LICM, Université de Metz	Directeur de thèse
Francis DUJARDIN	Docteur d'état, LTMC, Université de Metz	Examineur
Alain HOFFMANN	M ^e . de conférences, HDR, LICM Université de Metz	Co-directeur
Pierre MIALHE	Professeur, CEF, Université de Perpignan	Rapporteur
Mustapha NADI	Professeur, LIEN, Université de Nancy	Rapporteur

LICM - CLOES - Supélec - 2. rue Edouard Belin - 57070 METZ - FRANCE

Fax : 03 8

BIBLIOTHEQUE UNIVERSITAIRE DE METZ



022 304533 6

00



**Laboratoire Interfaces Composants et
Microélectronique**
Centre Lorrain d'Optique et d'Electronique des
Solides



THESE

Présentée à l'Université de Metz pour l'obtention du diplôme de
DOCTEUR de l'Université de METZ

Spécialité : **Electronique**
Ecole Doctorale : **PROMEMA**

**CARACTERISATION DE STRUCTURES MOS
SUBMICRONIQUES ET ANALYSE DE DEFAUTS
INDUITS PAR IRRADIATION GAMMA.
EXTRAPOLATION AUX DEFAUTS INDUITS DANS LES
OXYDES DE CHAMP DES TRANSISTORS BIPOLAIRES.**

Par

Hazri BAKHTIAR

Soutenue le 16 Novembre 1999 devant le jury composé de Messieurs :

BIBLIOTHEQUE UNIVERSITAIRE - METZ	
N° inv.	19990925
Cote	S/M ₃ 99/34
Loc	Magasin

Leonard ADAMS	Professeur, Brunel University, Londres
Jean-Pierre CHARLES	Professeur, LICM, Université de Metz
Francis DUJARDIN	Docteur d'état, LTMC, Université de Metz
Alain HOFFMANN	M ^e . de conférences, HDR, LICM Université de Metz
Pierre MIALHE	Professeur, CEF, Université de Perpignan
Mustapha NADI	Professeur, LIEN, Université de Nancy

Examinateur
Directeur de thèse
Examinateur
Co-directeur
Rapporteur
Rapporteur

LICM - CLOES - Supélec - 2, rue Edouard Belin - 57070 METZ - FRANCE

Fax : 03 87 75 96 01

Tel : 03 87 75 96 00

Je dédie ce mémoire à

mes parents :

Ma mère Rohani Binti Selamat

Mon père Bakhtiar Bin Basir

Mon frère et mes sœurs

REMERCIEMENTS

Ce travail a été effectué au Laboratoire Interfaces Composants et Microélectronique de l'Université de Metz, sous la direction du Professeur Jean-Pierre CHARLES à qui je tiens à exprimer ma profonde gratitude pour m'avoir accueilli dans son équipe, guidé et conseillé tout au long de ce travail. Qu'il trouve ici, l'expression de mes remerciements.

Je prie M. Alain. HOFFMANN, co-directeur de thèse, qui a permis à différents degrés la continuité de cette recherche, de trouver ici l'expression de ma profonde reconnaissance. Merci pour sa gentillesse et son aide précieuse tout au long de ce travail.

Que soient remerciés pour avoir accepté, malgré leurs multiples tâches, de m'honorer par leur présence dans le jury :

- M. Leonard ADAMS, Professeur à Brunel University, Londres,
- M. François DUJARDIN, Docteur-ès Science à l'Université de Metz,
- M. Pierre MIALHE, Professeur à l'Université de Perpignan,
- M. Mustapha NADI, Professeur à l'Université de Nancy.

Il m'est agréable de leur témoigner toute ma reconnaissance et plus particulièrement à Messieurs Mialhe et Nadi qui ont, de surcroît, accepté d'être rapporteurs de ce mémoire.

Je pense à l'ensemble des collègues du laboratoire : Az. Ahaitouf, C. Delpha, A. Diagne, S. Forster, Dr. A. Haddi, C. Picard et A. Soltani, et tous les amis du MOPS, ainsi que tout le personnel permanents, secrétaires et techniciens.

Une pensée spéciale, à tous mes amis que j'ai côtoyés pendant toutes les années que j'ai vécues ici et dont je garde un bon souvenir.

TABLE DES MATIERES

INTRODUCTION	1
<u>CHAPITRE I : GENERALITES SUR LES STRUCTURES MOS</u>	
I.1 INTRODUCTION	3
I.2 LE TRANSISTOR MOSFET	4
- I.2.1 Tension de seuil	5
- I.2.2 Mobilité	6
- Influence des états d'interface	6
- Influence des champs transversaux et longitudinaux	7
- Mobilité effective	7
- I.2.3 Courant sous seuil	8
- I.2.4 Conduction normale	12
- (a) Fonctionnement en régime linéaire	14
- (b) Régime de saturation	14
- (c) Régime d'inversion faible	15
- I.2.5 Modulation de longueur du canal	16
I.3 EFFET DE LA REDUCTION DES DIMENSIONS	18
- I.3.1 Effets de canal court	19
- I.3.2 Effets de canal étroit	24
- I.3.3 Effets de transistor à faible épaisseur d'oxyde	27
- I.3.4 Effets de la réduction des dimensions	29
- (a) Saturation de la vitesse des porteurs	30
- (b) Percement – punchthrough	33
- (c) Tension de claquage	35
- Claquage d'oxyde	35

- Effet de snapback	35
- I.3.6 Solutions techniques	37
- Réduction de tension	37
- Modification de structure	38
- Durcissement de l'oxyde	39
I.4 PHENOMENES DUS AUX IRRADIATIONS	40
I.4.1 Influence des irradiations sur les transistors	41
- Influence des irradiations sur les transistors	41
- Influence sur les semiconducteurs	42
- Influence sur les métaux	42
I.4.2 Dégradation des paramètres électriques	42
I.5 SYNTHÈSE	43
<u>CHAPITRE II : GENERALITE SUR LES STRUCTURES PN ET BIPOLAIRES</u>	
II.1 INTRODUCTION	44
II.2 LA JONCTION PN	44
- II.2.1 Equation de conduction	45
- II.2.2 Principaux mécanismes de recombinaison	46
- (a) Génération-Recombinaison bande à bande	47
- (b) Génération-Recombinaison Auger	47
- II.2.3 Taux de génération-recombinaison	49
- II.2.4 Modèles analytiques	51
- (a) Modèle SEM	52
- (b) Modèle VDEM	53
- (c) Modèle CDEM	53

II.2 LE TRANSISTOR BIPOLAIRE	54
- II.2.1 Equation de conduction - Modèle d'Ebers et Moll	57
- II.2.2 Tension d'Early	64
- II.2.3 Le gain statique	68
- (a) Gain en courant d'émetteur	68
- (b) Gain en courant de base	68
- (c) Relation entre α_{cc} et β_{cc}	69
II.3 EFFET DE L'IRRADIATION IONISANTE SUR LES TRANSISTORS BIPOLAIRES	69
II.4 SYNTHÈSE	70
<u>CHAPITRE III : ETUDE AVANT IRRADIATION IONISANTE</u>	
III.1 INTRODUCTION	71
III.2 DESCRIPTION DES COMPOSANTS ETUDIÉS	71
III.3 ETUDE SUR LES MOSFETs	74
- III.3.1 Méthodologie de test	74
- III.3.2 Méthode d'extraction des paramètres de conduction	75
- III.3.2.1 Capacité de MOS	75
- III.3.2.2 Extraction des paramètres	76
- (a) Equation du modèle	77
- (b) Détermination de V_{th} , de ΔL et de ΔW	79
- (c) Détermination de R_{SD}	81
- (d) Détermination de μ et de θ	84
- III.3.3 Effet de L	85
- III.3.4 Effet de W	95

III.4 ETUDE DE LA JONCTION DRAIN/SUBSTRAT	103
- III.4.1 Effet de L	104
- III.4.2 Effet de W	112
- III.4.3 Effet de la tension de grille	118
III.5 ETUDE SUR LE BIPOLAIRE DRAIN-SUBSTRAT-SOURCE	125
- III.5.1 Effet de L	128
- III.5.2 Effet de W	129
- III.5.3 Effet de la tension de grille	131
- III.5.4 Détermination de la résistance de base	132
III.6 SYNTHÈSE	134
<u>CHAPITRE IV : ETUDE APRES IRRADIATION IONISANTE</u>	
IV.1 INTRODUCTION	135
IV.2 PRESENTATION DU TYPE D'IRRADIATION	135
IV.3 EFFET SUR LES MOSFETs	136
- IV.3.1 Paramètres de conduction	137
- IV.3.2 Charges piégées suite à une irradiation ionisante	147
IV.4 EFFET SUR LES JONCTION DRAIN-SUBSTRAT	159
IV.5 EFFET SUR LE BIPOLAIRE	177
IV.6 SYNTHÈSE	184
<u>CONCLUSION</u>	186
<u>BIBLIOGRAPHIE</u>	190

INTRODUCTION

L'évolution de la technologie a permis de réduire sans cesse les dimensions des transistors MOS de faibles dimensions, ainsi les longueurs de canal et les largeurs de grilles sont actuellement inférieures au micromètre. Cela permet de réaliser des circuits à forte densité d'intégration pour les applications électroniques. Cependant, la réduction des dimensions fait apparaître toute une gamme d'effets parasites et modifie ainsi les mécanismes de conduction avec apparition de nouveaux phénomènes ou des phénomènes qui n'étaient pas dominants dans des structures plus larges. Ceci entraîne un changement du fonctionnement des transistors ainsi que de leurs paramètres électriques. La réduction des dimensions, et en particulier de la longueur de grille des transistors MOS donne naissance à un problème de fiabilité qui était inconnu lors de l'utilisation de transistors à canal long. Les phénomènes de dégradation provenant des forts champs électriques deviennent importants avec la réduction des dimensions et engendrent des défauts notamment aux interfaces oxyde-semiconducteur ($\text{SiO}_2\text{-Si}$) et dans l'oxyde de grille, ce qui provoquent un vieillissement plus rapide de ces composants.

Les composants peuvent être soumis à des milieux hostiles (spatial, nucléaire...). L'effet des irradiations ionisantes sur ces composants est d'entraîner des modifications de leur comportement électrique. Depuis quelques années ces effets de doses commencent à être pris en compte sur les équipages et dans les dispositifs électroniques embarqués dans les avions. C'est pourquoi l'étude du durcissement des technologies submicroniques suite à des irradiations ionisantes (ou de déplacement) est devenue nécessaire.

Le premier chapitre présente le principe de fonctionnement des transistors MOSFETs. L'étude des effets de la réduction des dimensions de ces composants est présentée. Un rappel des effets sur les phénomènes dus à l'irradiation y est également présenté.

Le second chapitre est consacré aux composants bipolaires : jonctions et transistors. L'analyse des paramètres des jonctions est présentée. Cette analyse sera appliquée sur la jonction drain-substrat des MOSFETs. L'étude des transistors bipolaires (BJT) servira à comprendre le fonctionnement du BJT induit par la structure submicronique du MOSFET. Les effets classiquement rencontrés dans ces composants bipolaires suite à une irradiation sont récapitulés.

Le troisième chapitre présente l'étude du composant avant irradiation ionisante. Il comporte trois grandes parties consacrées respectivement à l'effet des dimensions sur les paramètres du MOSFET, sur ceux des jonctions drain-substrat et sur le comportement du transistor bipolaire (source = collecteur, substrat = base, drain = émetteur).

Le dernier chapitre présente l'évolution des paramètres électriques du MOSFET, de la jonction et du bipolaire en fonction de la dose et ceci pour les différentes géométries.

CHAPITRE I:

GENERALITES SUR

LES

STRUCTURES MOS

I.1. INTRODUCTION

Ce chapitre concerne le principe fondamental des MOSFET (Metal Oxide Semiconductor Field Effect Transistor), la réduction des dimensions des MOSFET et un bref rappel des principaux phénomènes dus à l'irradiation.

Le MOSFET est utilisé extensivement dans les applications de circuits intégrés. Grâce à sa taille relativement petite, des milliers de ces composants peuvent être intégrés dans un seul circuit intégré. Le MOSFET, sans aucun doute, est actuellement un noyau essentiel de conception des circuits intégrés. Le MOSFET est un transistor à effet de champ constitué d'un substrat semiconducteur (B-bulk) recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de grille (G). Par le biais d'une différence de potentiel appliquée entre grille et substrat, on crée dans le semiconducteur un champ électrique qui a pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semiconducteur et d'y attirer les minoritaires. Ceux-ci forment une couche de charges mobiles appelée canal. Ces charges sont susceptibles de transiter entre deux électrodes, la source (S) et le drain (D), de type complémentaire au substrat, situées aux extrémités du canal (Figure I.1.a). Sur la figure I.1.b, nous avons représenté le symbole de transistor MOS à canal n. La flèche indique le sens de conduction de la jonction substrat-source (BS). En fonctionnement normal, cette jonction est toujours polarisée en inverse. Dans ce chapitre, on étudie le fonctionnement d'un transistor MOS à canal n et à substrat homogène. Le cas du transistor MOS à canal p peut être obtenu aisément en effectuant les changements de signe appropriés.

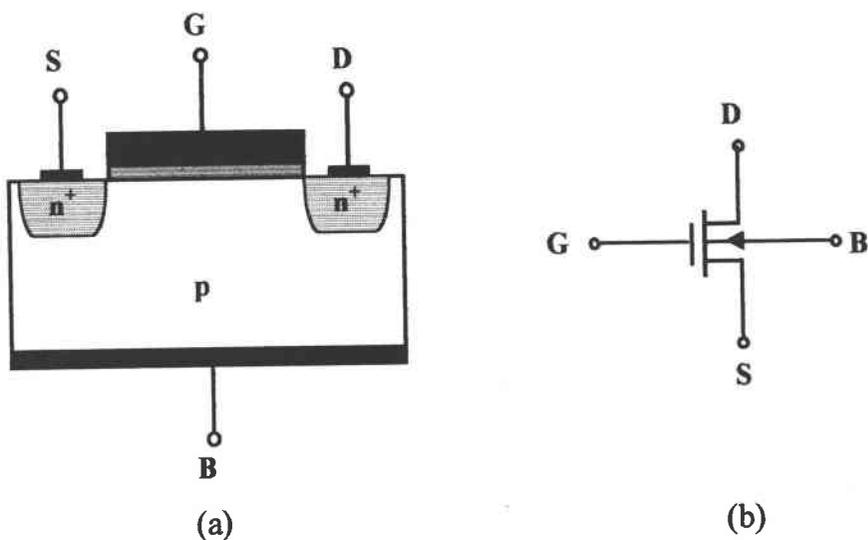


Figure I.1: Transistor MOS à canal n

La structure centrale du MOSFET est une capacité MOS constituée d'un empilement métal-oxyde-semiconducteur montrée sur la figure I.2. Le métal peut être de l'aluminium ou un autre type de métal bien que dans beaucoup de cas on utilise le polysilicium à haute conductivité déposé sur l'oxyde. Cependant, le terme de métal est le plus généralement utilisé. Les relations développées ci-dessous ont été obtenues en partant d'une structure élaborée sur un substrat de type p, de dopage N_{sub} , ayant une épaisseur d'oxyde t_{ox} .

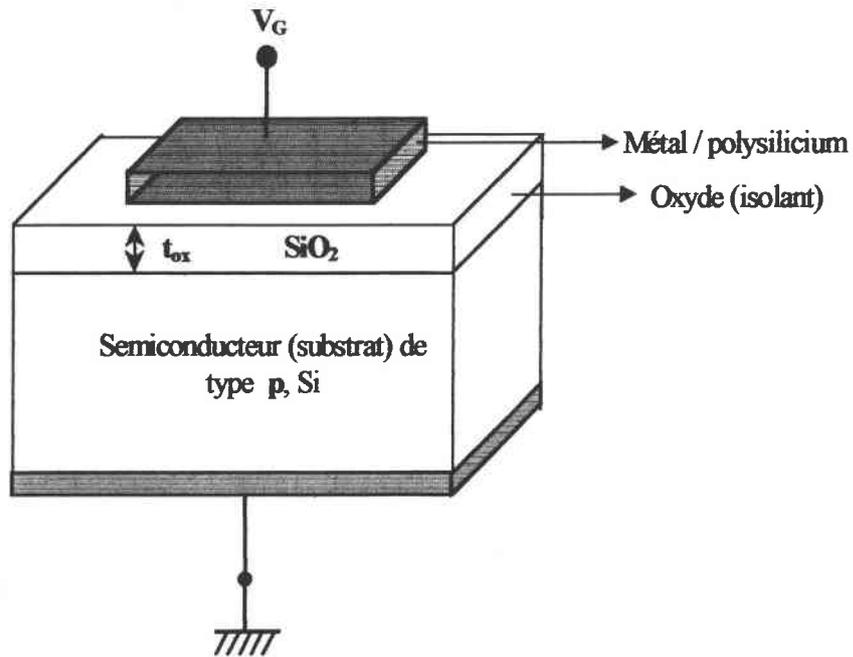


Figure I. 2: Coupe transversale d'une structure MOS

I.2. LE TRANSISTOR MOSFET

Le principe de fonctionnement d'un MOSFET est basé sur le contrôle du flux de courant de la couche d'inversion de la structure MOS. L'entrée et la sortie du canal conducteur sont limitées par les caissons source et drain. La structure typique d'un transistor MOS à canal n est présentée sur la figure I.3. Cette structure se décompose en trois parties principales : l'électrode de grille, les électrodes de source et de drain ainsi que le canal de conduction. La grille et le drain sont polarisés par les tensions V_{GS} et V_{DS} en prenant la source comme référence. La conduction du transistor n'est assurée que par l'existence d'une zone inversée près de l'interface oxyde-semiconducteur SiO₂-Si, constituant le canal conducteur. Ce canal

conducteur n'est constitué qu'à partir d'une valeur de la tension de grille appliquée correspondant à la tension de seuil V_{th} .

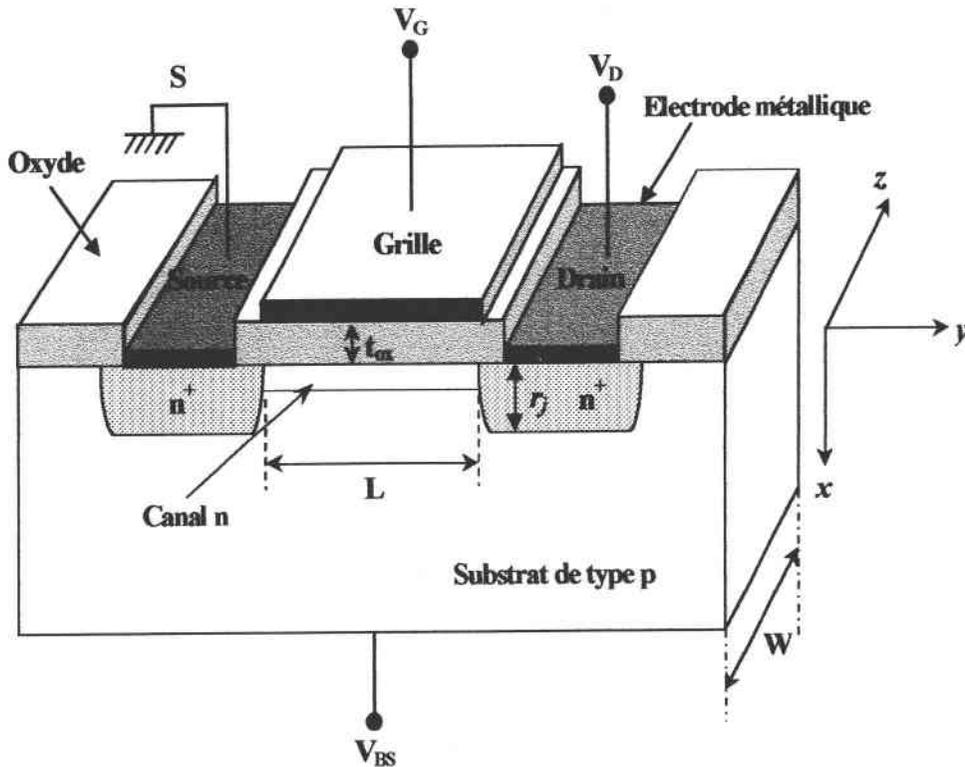


Figure I.3 : Coupe transversale d'un transistor MOS à canal n

r_j : profondeur des jonctions source et drain

L : longueur du canal

W : largeur de grille

I.2.1 Tension de seuil V_{th}

La tension de seuil V_{th} est la valeur de la tension de grille nécessaire pour le canal du transistor MOSFET commence à conduire. Le point d'inversion est défini comme la condition pour laquelle le potentiel de surface est $\phi_s = 2\phi_F$ (potentiel de Fermi). La tension de seuil V_{th} évolue avec les densités de charges dans l'oxyde et à l'interface SiO_2-Si , uniformément réparties le long du canal. Il n'en est pas de même lorsque ces charges sont localisées. Dans

les deux cas, la tension de seuil locale évolue vers des valeurs plus négatives lorsque des charges positives se trouvent dans l'oxyde et augmente dans le cas où ces charges sont négatives.

Dans la structure réelle (substrat de type p), il faut prendre en compte l'influence de la différence des travaux de sortie ϕ_{ms} , des charges des états d'interface et des charges dans l'oxyde Q_F par l'intermédiaire de la tension de bande plate V_{FB} . La tension de seuil V_{th} d'un transistor réel s'écrit sous la forme :

$$V_{th} = 2\phi_F + \frac{\sqrt{4qN_{Sub}\epsilon_{si}\phi_F}}{C_{ox}} + V_{FB} \quad I.1$$

Si le substrat est polarisé négativement ($V_{BS} < 0$), l'inversion du semiconducteur n'a plus lieu à $2\phi_F$ mais à $(2\phi_F - V_{BS})$. L'équation I.1 s'écrit alors :

$$V_{th} = 2\phi_F + \frac{\sqrt{2qN_{Sub}\epsilon_{si}(2\phi_F - V_{BS})}}{C_{ox}} + V_{FB} \quad I.2$$

I.2.2 Mobilité

. Influence des états d'interface

Les états d'interface sont des états localisés au voisinage de l'interface oxyde-semiconducteur et dont les niveaux d'énergie sont situés dans la bande interdite et peuvent influencer la structure. Ces états peuvent capturer (états accepteurs) ou émettre (états donneurs) des trous ou des électrons. Les états donneurs sont positivement chargés lorsqu'ils sont vides et deviennent neutres lorsqu'ils capturent un électron [MA.D 89]. Dans le cas des transistors MOS où les porteurs sont confinés au voisinage de l'interface, leur interaction avec l'interface Si-SiO₂ est importante. La valeur de la mobilité des porteurs de surface est inférieure à la mobilité en volume.

Influence des champs transversaux et longitudinaux

La mobilité est influencée par les champs transversaux [HAO.CCG 85][AMN.MDT 89] et longitudinaux régnant dans l'oxyde et le canal [NEA. 94]. La mobilité μ peut être écrite sous la forme :

$$\mu = \frac{\mu_o}{1 + \theta(V_{GS} - V_{th}) + \frac{E}{E_c}} \quad \text{I. 3}$$

où μ_o : mobilité à faible champ ou à champ nul, ou encore la mobilité au seuil de conduction
 θ : coefficient d'atténuation de mobilité, c'est le paramètre qui tient compte de la dégradation de la mobilité en fonction du champ électrique transversal
 E_c : champ électrique critique défini par $v_{sat} = \mu_o E_c$ où v_{sat} est la vitesse de saturation des porteurs
 θ et E_c sont deux paramètres empiriques déterminés expérimentalement
 $\theta(V_{GS} - V_{th})$ traduit l'effet du champ transversal
 E/E_c traduit l'effet de saturation de la vitesse de dérive des porteurs à forts champs longitudinaux.

. Mobilité effective

Au point (x,y) du canal on désigne par $n(x,y)$ la densité par unité de volume des électrons, $\mu_n(x,y)$ la mobilité des porteurs en ce point et $x_c(y)$ l'épaisseur conductrice du canal. La mobilité effective des porteurs minoritaires est définie par l'équation :

$$\mu_{neff} = \frac{\int_0^{x_c(y)} \mu_n(x,y)n(x,y)dx}{\int_0^{x_c(y)} n(x,y)dx} \quad \text{I. 4}$$

Or la charge totale $Q_n(y)$ s'écrit :

$$Q_n(y) = -q \int_0^{x_c(y)} n(x, y) dx \quad \text{I. 5}$$

en combinant les équations I.4 et I.5, on obtient donc :

$$\mu_{\text{neff}} = -\frac{q}{Q_n(y)} \int_0^{x_c(y)} \mu_n(x, y) n(x, y) dx \quad \text{I. 6}$$

En régime de conduction normale, il a été constaté expérimentalement que μ_{neff} diminue lorsque la polarisation de grille augmente [HAO.CCG 85][AMN.MDT 89]. Cette diminution est due à l'augmentation du champ électrique latéral quand V_{GS} augmente.

I.2.3 Courant sous le seuil

Le courant sous le seuil est le courant qui circule dans le transistor lorsque la tension de grille est inférieure à la tension de seuil ($V_G < V_{th}$). Bien qu'il soit faible, ce courant, qui avait été négligé jusqu'à présent, n'est pas nul. Nous observons expérimentalement que ce courant est indépendant de la tension de drain, pour autant que celle-ci dépasse quelques kT/q . Ceci suggère qu'il s'agit donc d'un courant de diffusion plutôt que d'un courant de dérive (proportionnel au champ électrique horizontal). L'expression du courant de diffusion est :

$$I_D = -qAD_n \frac{dn(y)}{dy} = q \frac{A}{L} D_n [n(0) - n(L)] \quad \text{I. 7}$$

où

A est la surface conductrice du canal, $A = W \cdot x_c$

D_n est le coefficient de diffusion des électrons qui peut être approximé par la relation d'Einstein : $D_n = \mu_0 kT/q$ où μ_0 est la mobilité à faible champ

$n(0)$ et $n(L)$ sont respectivement les concentrations d'électrons au voisinage de la source et celle au voisinage du drain.

$n(0)$ et $n(L)$ s'expriment en fonction de la densité d'électrons dans le substrat n_{po} et du potentiel de surface ϕ_s .

$$\begin{cases} n(0) = n_{po} \exp\left(\frac{q\phi_s}{kT}\right) \\ n(L) = n_{po} \exp\left(\frac{q(\phi_s - V_{DS})}{kT}\right) \end{cases} \quad \text{I. 8}$$

avec
$$n_{po} = \frac{n_i^2}{N_A - N_D} \approx \frac{n_i^2}{N_{Sub}} \quad \text{I. 9}$$

V_{DS} : tension entre drain et source

Du fait de la dépendance exponentielle de $n(y)$ avec ϕ_s , on admet que l'épaisseur effective du canal e correspond à la distance pour laquelle ϕ_s varie de kT/q . On a alors :

$$e = kT \sqrt{\frac{2(N_A - N_D)\phi_{SB}}{q\epsilon_{si}}} \quad \text{I. 10}$$

ϕ_{SB} : potentiel de surface référencé par rapport au substrat

L'équation I.7 peut être exprimée sous la forme :

$$I_D = \mu_n \frac{W}{L} \left(\frac{kT}{q}\right)^2 \sqrt{\frac{q^2\epsilon_{si}}{2q(N_A - N_D)\phi_{SB}}} \frac{n_i^2}{(N_A - N_D)} \left[\exp\left(\frac{q\phi_s}{kT}\right) \left(1 - \exp\left(\frac{-qV_{DS}}{kT}\right)\right) \right] \quad \text{I. 11}$$

Dans le cas d'un substrat de type p pour lequel $N_A \gg N_D$, on a $\left(\frac{n_i}{N_A - N_D}\right)^2 \approx \exp(-2U_F)$,

où $U_F = \frac{E_i - E_F}{kT}$, en remarquant que la capacité de déplétion par unité de surface peut

s'écrire sous la forme : $C_D = \sqrt{\frac{q(N_A - N_D)\epsilon_{si}}{2\phi_{SB}}}$. L'expression du courant de drain devient :

$$I_D = \mu_n \frac{W}{L} C_D \left(\frac{kT}{q} \right)^2 \exp\left(\frac{q\phi_S}{kT} - 2U_F \right) \left(1 - \exp\left(\frac{-qV_{DS}}{kT} \right) \right) \quad \text{I. 12}$$

Le potentiel de surface peut se mettre sous la forme :

$$\phi_S = V_G - V_{FB} - \frac{qN_A \epsilon_{si}}{C_{ox}^2} \left(\sqrt{1 + \frac{2(V_{GS} - V_{BS} - V_{FB})}{\frac{qN_A \epsilon_{si}}{C_{ox}^2}}} - 1 \right) \quad \text{I. 13}$$

Dans le cas où la tension de drain est telle que $V_{DS} \geq 3kT/q$, le courant de drain ne dépend plus que de V_{GS} et V_{BS} . Le tracé en coordonnées semilogarithmiques de la caractéristique I_D - V_{GS} , fait apparaître une région linéaire dont la pente est donnée par :

$$\text{Pente} = \frac{d\text{Log}_{10} I_D}{dV_{GS}} = \frac{1}{2,3} \frac{q}{kT} \left(1 - \frac{1}{\sqrt{1 + \frac{2(V_{GS} - V_{BS} - V_{FB})}{\frac{qN_A \epsilon_{si}}{C_{ox}^2}}}} \right) \quad \text{I. 14}$$

Soit encore :

$$\frac{d\text{Log}_{10} I_D}{dV_G} = \frac{1}{2,3} \frac{q}{kT} \left(1 - \frac{1}{\sqrt{1 + \frac{C_{ox}^2}{C_D^2} \left(1 + \frac{2C_D}{C_{ox}} \right)}} \right) \quad \text{I. 15}$$

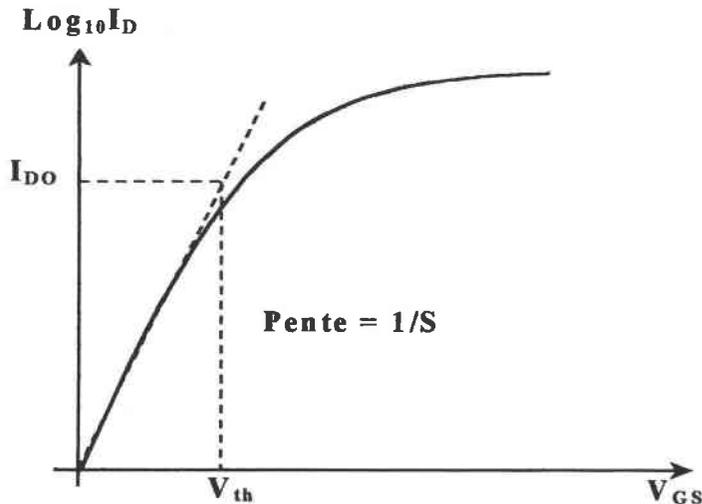


Figure I.4 : Caractéristique de transfert sous le seuil

L'inverse de cette pente représente le paramètre S (Figure I.4), traduisant la valeur de la polarisation de grille nécessaire pour faire varier le courant d'une décade :

$$S = 2,3 \frac{kT}{q} \left(1 + \frac{C_D}{C_{ox}} \right) \quad \text{I. 16}$$

Dans la partie linéaire de $\text{Log}_{10} I_D - V_{GS}$ ($V_{GS} < V_{th}$), le courant de drain peut s'écrire sous la forme [MA.D 89][RAD. 89] :

$$I_D = I_{DO} \exp\left(\frac{q(V_{GS} - V_{th})}{\eta kT}\right) \quad \text{I. 17}$$

I_{DO} est la valeur du courant drain extrapolée à $V_{GS} = V_{th}$

η est un facteur d'idéalité tenant compte de la capacité de la zone de déplétion

C_D et de celle due aux pièges à l'interface C_{it} . Il s'écrit :

$$\eta = \frac{C_{ox} + C_D + C_{it}}{C_{ox}} = \left(1 + \frac{C_D}{C_{ox}} \right) \left(1 + \frac{C_{it}}{C_{ox} + C_D} \right) \quad \text{I. 18}$$

On peut exprimer η en fonction de S . En effet, on a :

$$\frac{q(V_{GS} - V_{th})}{\eta kT} = L n \frac{I_D}{I_{DO}} \quad \text{d'où} \quad \eta = \frac{q(V_{GS} - V_{th})}{kT L n \left(\frac{I_D}{I_{DO}} \right)} = \frac{q}{kT} \frac{S}{2,3}$$

On en déduit ainsi l'expression de S en fonction de C_D et C_{it} :

$$S = 2,3 \frac{kT}{q} \left(1 + \frac{C_D}{C_{ox}} \right) \left(1 + \frac{C_{it}}{C_{ox} + C_D} \right) \quad \text{I. 19}$$

I.2.4. Conduction normale

De façon générale, la densité de courant due à un déplacement d'électrons au point (x,y) (Figure I.3) s'écrit [NEA. 94] :

$$\vec{J}_n = qD_n \vec{\nabla} n + q\mu_n n \vec{E} \quad \text{I. 20}$$

En régime de conduction normale ($V_{GS} > V_{th}$) le terme de diffusion est négligeable devant le terme d'entraînement :

$$J_n = J_{ny} = q\mu_n n E_y = -q\mu_n n \frac{dV(y)}{dy} \quad \text{I. 21}$$

$V(y)$ est la polarisation entre la source et un point de coordonnée y, vérifiant ainsi $\phi_s(y) = \phi_s(0) + V(y)$.

Le courant de drain se calcule alors simplement :

$$I_D = - \int_0^W \int_0^{x_c} J_{ny} dx dz \quad \text{I. 22}$$

En tenant compte des expressions de J_{ny} et μ_{neff} (I.6) l'expression du courant de drain devient donc :

$$I_D = \left(-W \frac{dV(y)}{dy} \right) \left(-q \int_0^{x_c} \mu_n(x, y) n(x, y) dx \right) = -W \mu_{\text{neff}} Q_n(y) \frac{dV(y)}{dy} \quad \text{I. 23}$$

Le courant de drain est constant et indépendant de y . En intégrant depuis la source ($y=0$, $V(0)=0$) jusqu'au drain ($y=L$, $V(L)=V_{DS}$) on obtient (le courant étant conservatif) :

$$I_D = -\frac{W}{L} \int_0^{V_{DS}} \mu_{\text{neff}} Q_n(y) dV \quad \text{I. 24}$$

La densité Q_n est liée à la densité de charges en surface Q_s et à la densité de déplétion Q_D par la relation suivante :

$$Q_n = Q_s - Q_D \quad \text{I. 25}$$

$$\text{avec } \begin{cases} Q_s = (\phi_s - V_{GS}) C_{\text{ox}} \\ Q_D = -q N_A x_{dT} = -\sqrt{2 \epsilon_{\text{Si}} q N_A (V(y) + 2\phi_F)} \end{cases} \quad \text{I. 26}$$

où $x_{dT} = 2 \sqrt{\frac{\epsilon_{\text{Si}} \phi_F}{q N_{\text{Sub}}}}$ profondeur de déplétion maximale ou extension maximale de la zone de charge d'espace ($V_{GS} \geq V_{\text{th}}$).

Q_n s'écrit donc :

$$Q_n(y) = \sqrt{2 \epsilon_{\text{Si}} N_A (V(y) + 2\phi_F)} - (V_{GS} - \phi_s) C_{\text{ox}} \quad \text{I. 27}$$

L'intégration de I.24, compte tenu de l'équation ci dessus, permet d'obtenir le modèle classique I-V d'un transistor MOS sous la forme :

$$I_D = \frac{W}{L} \mu_{\text{neff}} C_{\text{ox}} \left[\left(V_{GS} - 2\phi_F - \frac{V_{DS}}{2} \right) V_{DS} - \frac{2}{3} \frac{\sqrt{2 \epsilon_{\text{Si}} q N_A}}{C_{\text{ox}}} \left\{ (V_{DS} + 2\phi_F)^{3/2} - (2\phi_F)^{3/2} \right\} \right] \quad \text{I. 28}$$

Pour de faibles valeurs de la tension drain V_{DS} , l'expression I_D se réduit à :

$$I_D = \frac{W}{L} \mu_{\text{neff}} C_{\text{ox}} \left((V_{GS} - V_{\text{th}}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad \text{I. 29}$$

a) Fonctionnement en régime linéaire

En régime linéaire ou ohmique ($V_{DS} \ll V_{GS} - V_{th}$), en négligeant V_{DS}^2 , l'équation de la caractéristique I-V d'un transistor MOS s'écrit :

$$I_D \approx \mu_{neff} C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} \quad \text{I. 30}$$

Cette expression permet de déduire la résistance du canal R_{ch} pour une polarisation de grille V_{GS} supérieure à V_{th} :

$$R_{ch} = \frac{V_{DS}}{I_D} = \frac{L}{\mu_{neff} C_{ox} W (V_{GS} - V_{th})} \quad \text{I. 31}$$

b) Régime de saturation

Lorsque la tension de drain V_{DS} augmente, la charge qui apparaît dans le canal Q_n n'est pas homogène le long du canal et on peut atteindre une situation telle qu'elle s'annule en $y=L$ et qu'il y a pincement du canal en ce point ($V_{DS} < V_{DSat}$) [NEA. 94][NIC.B 82]. La tension et le courant de drain correspondant à cette situation sont désignés comme la tension de saturation V_{DSat} et le courant de saturation I_{DSat} . La valeur de V_{DSat} est obtenue en annulant la charge Q_n dans I.27 au point $y=L$:

$$V_{DSat} = V_{GS} - 2\phi_F + K^2 \left(1 - \sqrt{1 + 2V_{GS}/K^2} \right) \quad \text{I. 32}$$

$$\text{où } K = \frac{\sqrt{q\epsilon_{si} N_A}}{C_{ox}}$$

On peut obtenir le courant I_{DSat} correspondant, en remplaçant V_{DS} en I.28 par V_{DSat} :

$$I_D \approx \frac{1}{2} \mu_{neff} C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad \text{I. 33}$$

La figure I.5 montre le comportement de la structure dans le régime de fonctionnement décrit précédemment. Elle montre la distribution de la charge d'inversion et sa dépendance avec les tensions de grille et de drain.

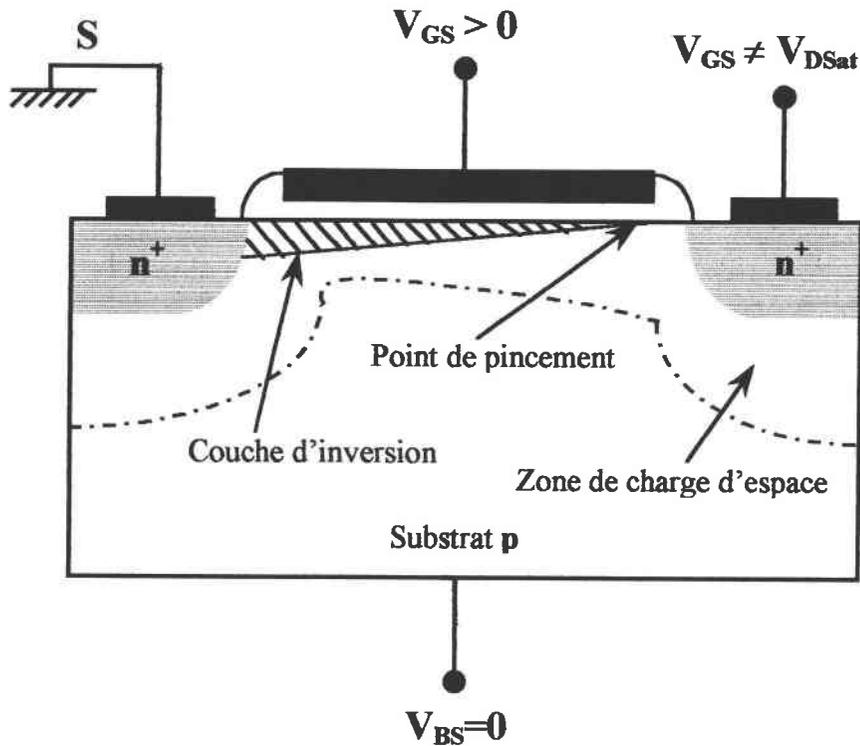


Figure I.5 : Evolution de la zone de charge d'espace et de la densité de charges d'inversion en régime saturé. Positionnement du point de pincement.

c) Régime d'inversion faible

Ce régime de fonctionnement du transistor MOS, appelé souvent régime sous le seuil (cf I.2.3. Conduction sous le seuil), correspond au cas où la tension de polarisation V_{GS} est inférieure à la tension de seuil V_{th} . Le régime sous le seuil est extrêmement important pour l'utilisation du transistor MOS dans des circuits logiques et les mémoires car il caractérise les limites de performances de commutation, l'ouverture et la fermeture de l'interrupteur de transistor MOS.

Dans le cas où $V_{DS} = 3kT/q$, le courant de drain ne dépend plus que de V_{GS} .

I.2.5. Modulation de la longueur du canal

Le courant de drain d'un MOS est constant lorsque $V_{DS} > V_{DSat}$, puisque l'amplitude du courant de drain est fixée par le courant circulant de la source vers la zone de pincement. Ce courant dépend de la chute de tension aux bornes du canal, c'est à dire $V_{DSat} - V_S$. Lorsque la tension de drain est supérieure à V_{DSat} , la tension de seuil locale près du drain augmente. La longueur effective du canal diminue, elle devient égale à $L - \Delta L$, ainsi le courant I_D va augmenter

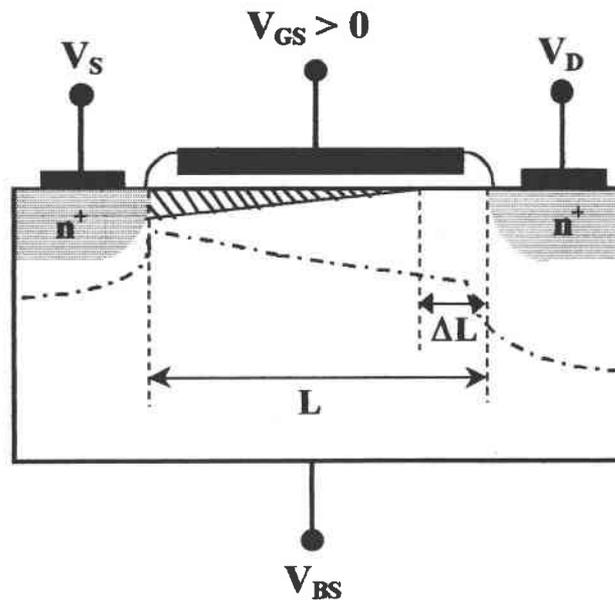


Figure I.6 : Modulation de la longueur du canal

En première approximation, en linéarisant l'augmentation de courant par rapport à l'accroissement de tension de drain, et en définissant dans ce cas précis que $I_{DSat} = I_{DS}(V_{DS} = V_{DSat})$, on peut écrire :

$$I'_{DSat} = I_{DSat} \left(1 + \frac{V_{DS} - V_{DSat}}{V_A + V_{DSat}} \right) \quad \text{I. 34}$$

où V_A est une tension qui peut être obtenue par la mesure directe des caractéristiques de sortie du transistor, et dont une valeur typique est de l'ordre de +75 V [COL.W 96]. On peut encore écrire :

$$\frac{I_{DSat}}{L - \Delta L} = \frac{I_{DSat}}{L} \left(1 + \frac{V_{DS} - V_{DSat}}{V_A + V_{DSat}} \right) \quad \text{I. 35}$$

ou encore

$$\Delta L = L \left(1 - \frac{1}{1 + \frac{V_{DS} - V_{DSat}}{V_A + V_{DSat}}} \right) \quad \text{I. 36}$$

La conductance de sortie en saturation, qui avait jusqu'à présent été considérée comme nulle, devient :

$$\frac{dI'_{DSat}}{dV_{DS}} = \frac{I_{DSat}}{V_A + V_{DSat}} \cong \frac{I_{DSat}}{V_A} \quad \text{I. 37}$$

Pour $V_{DS} > V_{DSat}$, les caractéristiques de courant forment un faisceau de droites qui se recouperent au point $-V_A$ (Figure I.7).

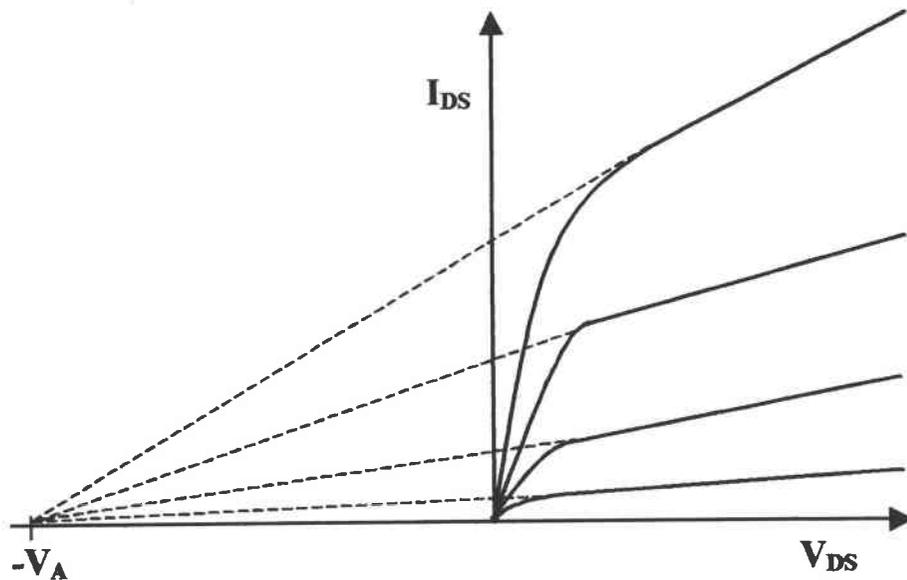


Figure I.7 : Influence de la modulation de la longueur de canal sur les caractéristiques de sortie d'un transistor MOS

I.3 LA REDUCTION DES DIMENSIONS DE MOSFET

L'évolution des circuits intégrés vers une plus grande intégration entraîne des réductions importantes de la longueur L et de la largeur W du canal des transistors MOS. Du point de vue des méthodes de fabrication, la réalisation d'aussi petites dimensions pose évidemment d'extrêmes difficultés : quelques microns pour les distances drain à source (qui tendent vers 0,1 micron, sans qu'on y parvienne industriellement), et quelques nanomètres pour les épaisseurs d'oxyde de grille.

Les effets de bords sur le pourtour des zones actives, provenant des contraintes qui apparaissent au cours des procédés de fabrication, et dus à des dislocations localisées, deviennent importants. Au cours du fonctionnement de ces composants, des dégradations de leurs propriétés apparaissent. Il en résulte un changement progressif du transistor pouvant amener à des dysfonctionnements dans le circuit contenant le transistor. Le champ électrique intense qui apparaît sous polarisation est à l'origine des dégradations du réseau par son action sur les charges libres présentes. Ce champ intense conduit les porteurs dans les MOSFETs à acquérir une énergie suffisante pour franchir la barrière de potentiel à l'interface oxyde-semiconducteur $\text{SiO}_2\text{-Si}$ ou pour ioniser par impact des atomes de silicium et ainsi créer des paires électron-trou qui pourront être injectées dans l'oxyde d'isolation où grille.

Une origine des dégradations de ces composants est ainsi liée au développement de défauts aux interfaces $\text{SiO}_2\text{-Si}$ et dans les oxydes, et à l'apparition de charges piégées. La nature des défauts dépend essentiellement de la nature des charges injectées. Les dégradations qui occasionnent ces charges sont d'autant plus importantes que la structure présente des défauts à l'origine. Les propriétés de l'interface $\text{SiO}_2\text{-Si}$ évoluent et la présence de charges piégées modifie les conditions de commande du transistor par la grille. Il apparaît notamment une modification de la tension de seuil et une dégradation de la mobilité des porteurs [LIU.HHC 93][LAK. 81]. L'importance de ces phénomènes s'accroît au fur et à mesure que les dimensions du transistor diminuent, provenant de l'augmentation du nombre d'électrons énergétiques créés au cours du fonctionnement de ces composants [COL.W 96].

Les effets additionnels sur la tension de seuil ont lieu quand la dimension des dispositifs diminue. Une diminution de la longueur du canal augmente la transconductance et la réponse

fréquence du MOSFET, tandis qu'une réduction de largeur du transistor augmente l'enveloppe de densité dans un circuit intégré. La réduction de dimension, que ce soit la longueur du canal ou la largeur de grille, peut affecter la tension de seuil V_{th} [NEA. 94][LIU.HHC 93][LAK. 81].

I.3.1 Effet de transistor à canal court

Dans le MOSFET idéal, la tension de seuil a été dérivée en utilisant le concept de neutralité de charges dans laquelle la somme totale de charges dans le métal, l'oxyde, la couche d'inversion et la région de la charge d'espace est nulle. Nous avons aussi supposé que la région sous la grille correspond à la région de conduction du canal. Utilisant ces hypothèses, nous avons seulement considéré les densités de charge surfaciques ne négligeant aucun effet sur la tension de seuil dans la région de charge d'espace source-drain qui se prolonge dans la région du canal active.

En effet, la réduction de la longueur du canal d'un MOSFET introduit une modification de la charge d'espace sous la grille qui contrôle le fonctionnement du transistor, en particulier par l'intermédiaire de la tension de seuil V_{th} . Dans le transistor à canal court, le champ électrique n'a plus seulement une composante transversale E_x mais possède maintenant une composante longitudinale non négligeable E_y . Ce champ électrique longitudinal E_y a une importance considérable dans le phénomène de dégradation ou de vieillissement du transistor puisque les porteurs acquièrent une énergie importante sous son action (*porteurs chauds*). L'énergie des porteurs s'accroît donc principalement dans la zone située près du drain. Sous l'effet d'un fort champ électrique longitudinal, les électrons et les trous du canal peuvent atteindre la vitesse de saturation. Les dimensions des zones désertées sous le drain et sous la source deviennent du même ordre de grandeur que la longueur du canal ; la charge de déplétion dans ces zones n'est plus négligeable devant la charge d'inversion.

Les phénomènes de dégradation se produisent également près de la jonction substrat-drain dans l'oxyde, à l'interface avec l'oxyde et aussi dans la zone de charge d'espace de la jonction. Il résulte de tous ces effets une déformation des caractéristiques de fonctionnement

affectant particulièrement la tension de seuil du MOSFET. Les dimensions des zones désertées sous le drain et sous la source deviennent du même ordre de grandeur que la longueur du canal ($x_{dT} \approx x_s \approx x_d$, figure I.8) ce qui peut provoquer le rapprochement des zones déplétées. Lorsque les zones de déplétion source et drain se touchent, le transistor fonctionne de manière tout à fait différente. On parle d'effet de percement (*punch-through*) [FU.T 97]. La charge de déplétion dans ces zones n'est plus négligeable devant la charge d'inversion ; la grille perd ainsi de son influence sur le contrôle du transistor. La tension appliquée sur la grille, nécessaire pour obtenir la conduction, devient donc moins importante ; une diminution de la tension de seuil est mesurée. Pour une largeur du canal fixe, V_{th} diminue avec la diminution de la longueur du canal.

Nous pouvons déterminer quantitativement les effets de transistor à canal court sur la tension de seuil en considérant les paramètres montrés sur la figure I.8. Nous considérons le cas où les contacts de source, de drain et de substrat sont tous potentiellement à la masse. L'hypothèse de base dans cette analyse est que la charge de substrat dans la région trapézoïdale sous la grille est contrôlée par la grille. La différence de potentiel à travers la zone de charge d'espace de substrat est $2\phi_F$ au point d'inversion de seuil et la barrière de potentiel des jonctions source-drain est aussi approximée à $2\phi_F$, impliquant que les trois largeurs des zones de charge d'espace sont essentiellement égales ($x_s \approx x_d \approx x_{dT} \equiv x_{dT}$: extension maximale de la zone de charge d'espace).

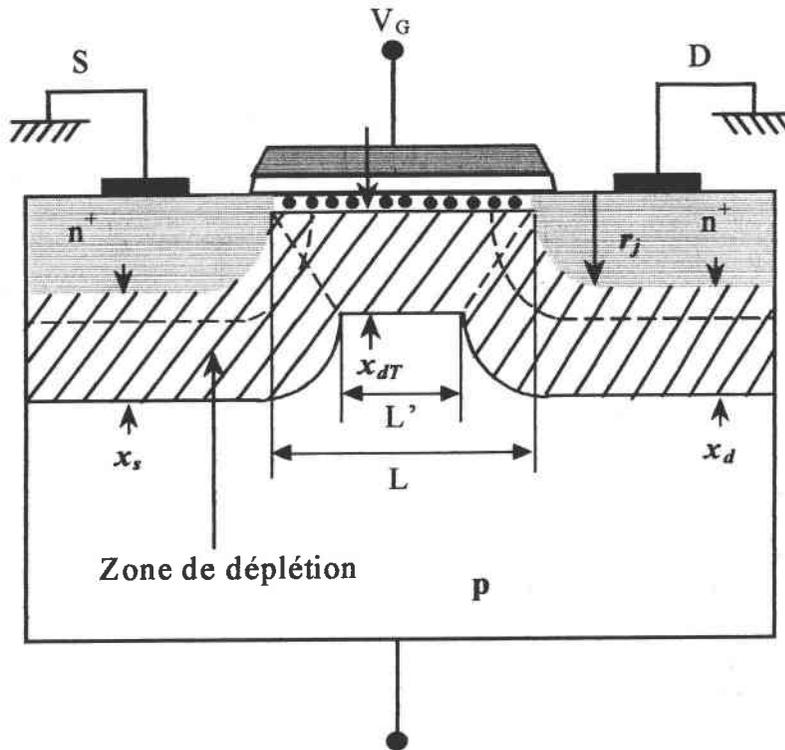


Figure I.8: Visualisation des zones de déplétion d'un transistor à canal court sans polarisation du drain

En utilisant une approximation géométrique, la charge moyenne de substrat par unité de surface Q'_B dans le trapèze peut être écrite sous la forme :

$$|Q'_B|_L = qN_A x_{dT} \left(\frac{L + L'}{2} \right) \quad \text{I. 38}$$

D'après la géométrie, nous pouvons montrer que :

$$\frac{L + L'}{2L} = \left[1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_{dT}}{r_j}} - 1 \right) \right] \quad \text{I. 39}$$

Ainsi l'expression I.38 peut s'écrire sous la forme :

$$|Q'_B| = qN_A x_{dT} \left[1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_{dT}}{r_j}} - 1 \right) \right] \quad \text{I. 40}$$

ΔV_{th} peut être exprimée ainsi sous la forme [NEA. 94] :

$$\Delta V_{th} = \frac{qN_A x_{dT}}{C_{ox}} \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_{dT}}{r_j}} - 1 \right) \quad \text{I. 41}$$

où
$$\Delta V_{th} = \Delta V_{th} (\text{canal long}) - \Delta V_{th} (\text{canal court}) \quad \text{I. 42}$$

Pour prendre en compte les effets de la tension de drain, provoquant une déformation non uniforme de la zone de déplétion, il faut considérer les extensions particulières des zones de charge d'espace sous la source et sous le drain, données par :

$$x_s = \sqrt{\frac{2\epsilon_{si}}{qN_A} (V_{bi} - \phi_s)} \quad \text{I. 43}$$

$$x_d = \sqrt{\frac{2\epsilon_{si}}{qN_A} (V_{bi} - \phi_s + V_{DS})} \quad \text{I. 44}$$

V_{bi} : barrière de potentiel des jonctions source-substrat et drain-substrat.

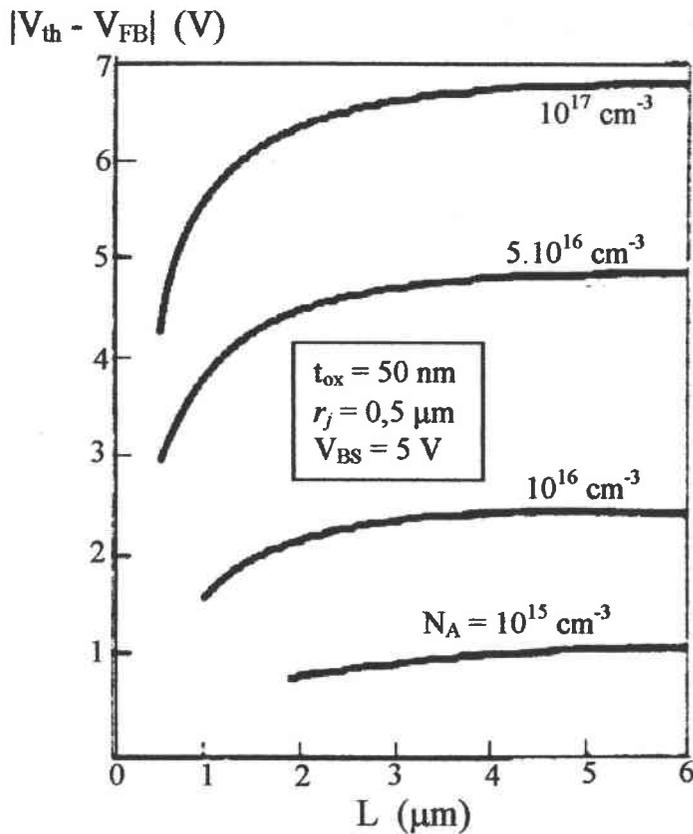
Dans ce cas, l'équation I.41 donnant la variation de la tension de seuil devient :

$$\Delta V_{th} = \frac{qN_A x_{dT} r_j}{2C_{ox} L} \left[\left(\sqrt{1 + \frac{2x_s}{r_j}} - 1 \right) + \left(\sqrt{1 + \frac{2x_d}{r_j}} - 1 \right) \right] \quad \text{I. 45}$$

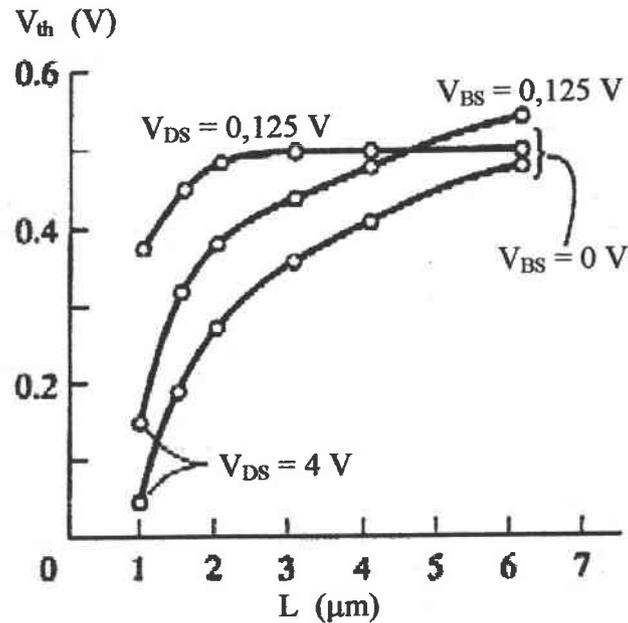
Cette équation montre que la tension de seuil V_{th} du transistor décroît avec la diminution de la longueur de grille, proportionnellement à $1/L$. Elle implique la connaissance de la forme de la source et du drain sous la grille par l'intermédiaire de r_j traduisant la diffusion des impuretés lors des traitements thermiques du procédé de fabrication. La tension de seuil diminue avec la diminution de la longueur du canal. L'effet de canal court devient plus prononcé avec la réduction de la longueur du canal. Le déplacement de la tension de seuil avec la réduction de la longueur pour les MOSFETs de canal n est montré sur les figures I.9(a) [YAU. 74] et I.9(b)

[YAN. 88]. Quand le dopage du substrat augmente, le déplacement de la tension de seuil initiale du canal court devient aussi plus grand.

L'équation I.41 a été dérivée en supposant que les largeurs des zones de charge d'espace de la source, du drain et du canal sont essentiellement égales. En polarisant le drain, la zone de charge d'espace du côté drain devient plus large, ce qui conduit à la réduction L' et à la diminution de la charge du substrat contrôlée par la tension de grille. Cet effet implique que la tension de seuil est aussi fonction de la tension de drain V_{DS} . En augmentant la polarisation de drain, la tension de seuil du MOSFET à canal n diminue.



I.9 (a)



I.9 (b)

Figure I.9: Tension de seuil V_{th} en fonction de la longueur du canal (a) pour différentes valeurs de dopage du substrat et (b) pour différentes valeurs de V_{DS} et de V_{BS} .

I.3.2 Effet de transistor à canal étroit

Une cause de la variation de la tension de seuil est la réduction de la largeur du canal W . Cette variation est liée à une extension non négligeable de la région de déplétion latérale. La figure I.10 montre un n-MOSFET à canal étroit polarisé à l'inversion. Notons que dans cette figure, il y a une région de charge d'espace additionnelle au bord de chacune des largeurs du canal. Cette charge additionnelle est contrôlée par la tension de grille mais n'a pas été incluse dans la dérivation de la relation de tension de seuil idéale. L'expression de tension de la seuil doit être modifiée pour tenir compte de cette charge additionnelle.

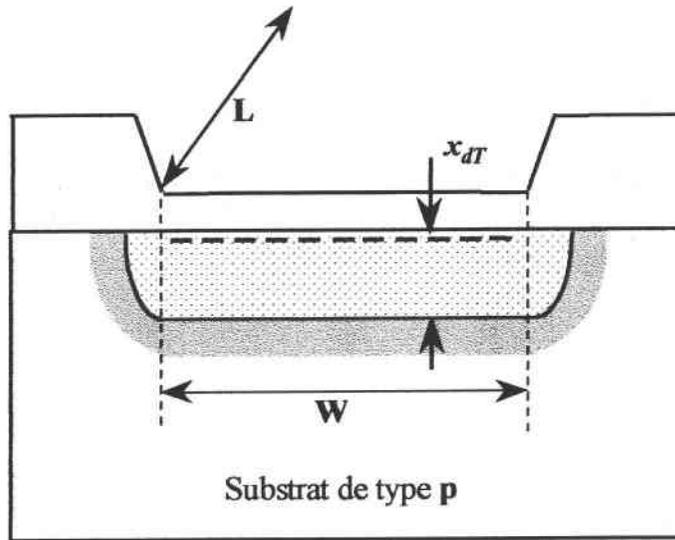


Figure I.10 : Visualisation d'un n-MOSFET montrant la région de déplétion à travers la largeur de ce composant.

Si nous négligeons les effets de canal court, la charge de substrat contrôlée par la grille peut être écrite sous la forme :

$$Q_B = Q_{BO} + \Delta Q_B \quad \text{I. 46}$$

où Q_B est la charge totale du substrat, Q_{BO} est la charge idéale du substrat et ΔQ_B est la charge additionnelle du substrat aux bords de la largeur du canal. Pour un semiconducteur uniformément dopé de type p, polarisé au point d'inversion de seuil, nous pouvons écrire :

$$|Q_{BO}| = qN_A WL x_{dT} \quad \text{I. 47}$$

et

$$\Delta Q_B = qN_A L x_{dT} (\xi x_{dT}) \quad \text{I. 48}$$

ξ étant un paramètre d'ajustage qui tient compte de la largeur de la zone de charge d'espace latérale. Cette largeur n'est pas la même que la largeur verticale x_{dT} due à l'oxyde de champ plus épais, et/ou au dopage non uniforme du semiconducteur créé par implantation ionique [NEA. 94]. Si les bords sont des semi-cercles, le paramètre d'ajustage ξ sera égal à $\pi/2$. L'expression Q_B peut donc être exprimée sous la forme :

$$|Q_B| = |Q_{BO}| + |\Delta Q_B| = qN_A WL x_{dT} + qN_A L x_{dT} (\xi x_{dT})$$

$$|Q_B| = qN_A WL x_{dT} \left(1 + \frac{\xi x_{dT}}{W} \right) \quad \text{I. 49}$$

L'effet de bord de la zone de charge d'espace s'accroît avec la réduction de la largeur du canal W , et le facteur (ξx_{dT}) devient une fraction significative de la largeur W . La variation de la tension de seuil due à la charge d'espace additionnelle est :

$$\Delta V_{th} = \frac{qN_A x_{dT}}{C_{ox}} \left(\frac{\xi x_{dT}}{W} \right) \quad \text{I. 50}$$

Le déplacement de tension de seuil dû au canal étroit est dans le sens positif pour un MOSFET de canal n. Avec la réduction de la largeur du canal, le déplacement de tension de seuil devient plus grand. La figure I.11 montre la variation de la tension de seuil en fonction de la largeur du canal [AKE.S 82].

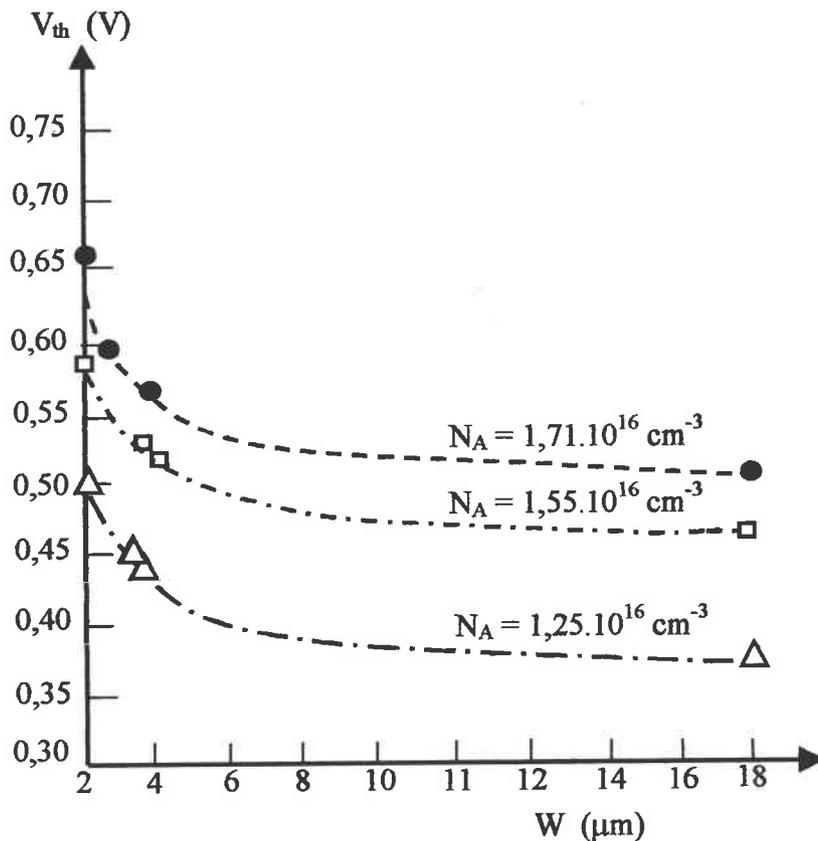


Figure I.11 : Tension de seuil en fonction de la largeur du canal pour différentes valeurs de dopage de substrat d'après [AKE.S 82].

Les figures I.9 et I.11 montrent qualitativement les déplacements de la tension de seuil dus respectivement aux effets de canal court et de canal étroit dans un MOSFET de canal n. La tension de seuil diminue avec la réduction de la longueur du canal et augmente avec la largeur du canal plus étroit. Pour les composants possédant les deux propriétés (canal court et canal étroit), les deux modèles doivent être combinés dans une approximation volumique tri-dimensionnelle de la zone de charge d'espace contrôlée par la grille [NEA. 94].

I.3.4. Effet de transistor de faible épaisseur

Une autre cause de variation de la tension de seuil, est la réduction de l'épaisseur d'oxyde. En effet, afin de maintenir le bon contrôle de l'effet du canal court, l'épaisseur d'oxyde doit être réduite proportionnellement à la longueur du canal L [DEN.GYR 74]. Pour les MOSFETs dont les longueurs du canal sont inférieures à $0,1 \mu\text{m}$, des épaisseurs d'oxyde inférieures à 30 \AA sont nécessaires [COL.W 96][TAU.MFW 95] pour conserver l'avantage de la rapidité de commutation et pour pouvoir contrôler l'ouverture du canal rapidement.

La réduction de l'épaisseur d'oxyde conduit à l'augmentation exponentielle du courant de fuite [MAS. 74], ce qui limite les performances des transistors à faible épaisseur ; en plus les effets quantiques deviennent importants dans le cas des oxydes minces. L'épaisseur physique devient ainsi différente de celle obtenue en utilisant la théorie classique qui serait de 3 \AA [LO.BTW 97].

La tension de seuil V_{th} varie avec l'épaisseur d'oxyde t_{ox} , mais les effets de t_{ox} sur d'autres paramètres vitaux tels que la longueur effective du canal L_{eff} , la résistance totale du transistor R_{tot} et la résistance d'accès sont peu connus, surtout pour les LDD-MOSFETs [HAS.LO 97]. La tension de seuil dépend linéairement de l'épaisseur d'oxyde. La figure I.12 montre la tension de seuil V_{th} extraite en fonction de t_{ox} pour des LDD-MOSFETs ayant deux longueurs de canal différentes ($L= 1$ et $1,25 \mu\text{m}$). Ces résultats sont obtenus à partir de l'extrapolation linéaire de la pente maximale de la caractéristique $I_{DS}(V_{DS})$ simulée par MEDICI [HAS.LO 97]. Pour une tension V_{GS} fixe, le champ électrique vertical à la surface du semiconducteur le long du canal est constant. Quand t_{ox} augmente, ce champ électrique vertical diminue ce qui nécessite une augmentation de V_{GS} conduisant à une inversion forte et donc à une croissance

de V_{th} . Puisque la quantité de champ réduite est liée à la chute de tension augmentée dans l'oxyde, selon la loi de Gauss, la pente de V_{th} en fonction de t_{ox} doit être approximativement égale au champ électrique dans l'oxyde. ΔL diminue avec la diminution de t_{ox} (Figure I.13), de même pour la résistance d'accès R_{SD} [HAS.LO 97], du fait que le champ électrique vertical est altéré par le changement de t_{ox} . Pour $(V_{GS} - V_{th})$ fixe, plus t_{ox} est mince, plus le champ électrique vertical est grand, et plus l'accumulation des trous sous la grille, est importante.

La diminution d'épaisseur d'oxyde aurait tendance à augmenter les capacités parasites grille-source et grille-drain (ce qui serait l'inverse de ce que l'on recherche). Mais le raisonnement ainsi fait serait faux : en réduisant l'épaisseur d'oxyde mince de grille, on accroît en même temps la densité linéique du courant, entraînant une réduction de largeur du transistor, d'où résulte finalement la non augmentation des capacités parasites.

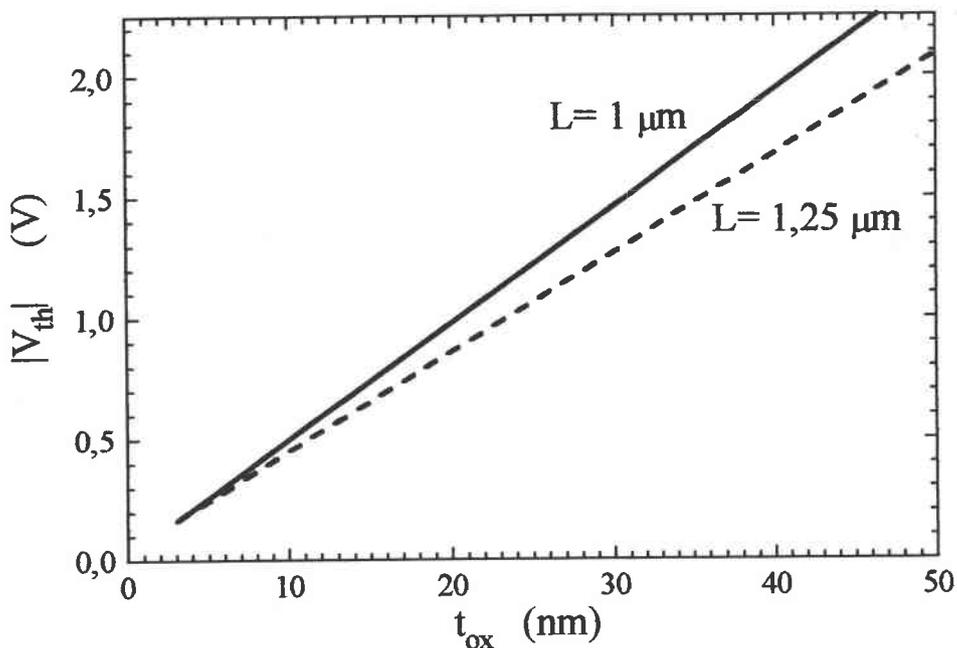


Figure I.12 : Tension de seuil en fonction de l'épaisseur d'oxyde de pLDD-MOSFETs pour deux longueurs du canal d'après [HAS.LO 97].

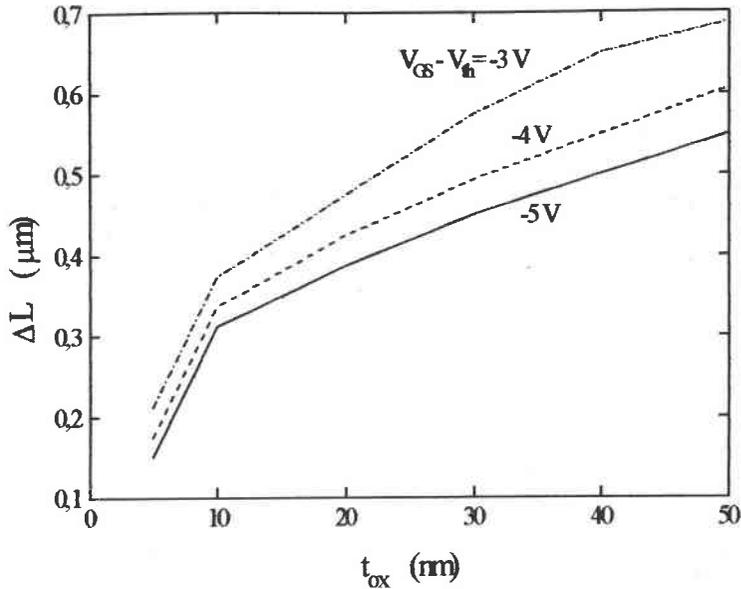


Figure I.13 : ΔL extrait en fonction de l'épaisseur d'oxyde pour trois valeurs différentes de tensions de grille.

I.3.5. Effets des faibles dimensions

Le comportement d'un transistor MOS de dimensions réduites diffère du comportement des transistors longs. La distribution du potentiel devient bidimensionnelle et le champ électrique conduit les porteurs à atteindre leur vitesse de saturation. Les dimensions des zones désertées sous le drain et sous la source deviennent du même ordre de grandeur que la longueur du canal, et la grille perd ainsi de son influence sur le contrôle du transistor. La largeur du transistor diminuant, les effets de bords prennent de plus en plus d'importance. Il en résulte des effets parasites qui engendrent une déformation des caractéristiques du transistor. La réduction de l'épaisseur d'oxyde conduit à l'augmentation du courant de fuite, qui limite les performances des transistors. La description des caractéristiques de fonctionnement doit prendre en compte les conséquences de tous ces effets.

a) Saturation de la vitesse des porteurs

Sous l'effet d'un fort champ électrique longitudinal, les électrons et les trous du canal peuvent atteindre une vitesse de saturation v_{\max} (vitesse maximale des porteurs). La valeur de v_{\max} pour les électrons dans le silicium à 300 K, pour un champ électrique de $3 \cdot 10^4$ V/cm, est égale à 10^7 cm/s, et celle des trous est de 10^5 cm/s. La vitesse des porteurs devient alors constante et indépendante du champ électrique (Figure I.14). Le courant dans le canal est donc limité, il peut ainsi être nettement réduit par comparaison au cas où cet effet de saturation n'apparaîtrait pas.

Il est aisé de montrer que l'on atteint des champs longitudinaux élevés lorsque la tension de drain atteint ou dépasse V_{DSat} . En effet, si l'on considère le canal comme une résistance dont l'épaisseur (ou la concentration en porteurs) diminue de la source vers le drain, on peut écrire, en tout point y du canal :

$$I_{DS} = -WQ_{inv}(y)\mu_n \frac{dV(y)}{dy} = WQ_{inv}(y)\mu_n E_y \quad \text{I. 51}$$

μ_n étant la mobilité des électrons.

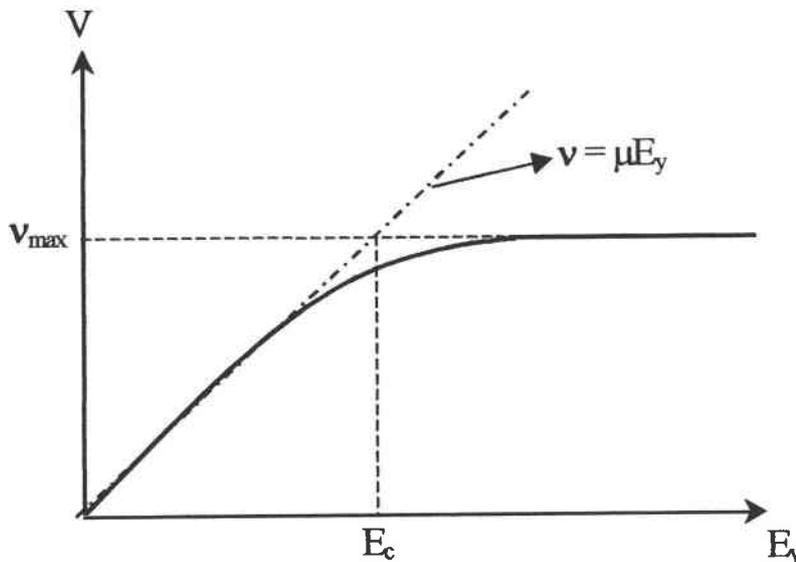


Figure I.14 : Vitesse des porteurs en fonction du champ électrique longitudinal.

Comme le courant est constant en tout point entre la source et le drain, on remarque que $E_y \Rightarrow \infty$ si $Q_{inv}(y) \Rightarrow 0$, ce qui est le cas à $V_{DS} = V_{DSat}$. En pratique, le champ longitudinal ne devient pas infini, mais il devient très grand, et ce surtout dans le transistor à canal court. On peut exprimer la vitesse des porteurs sous la forme :

$$v = v_{max} \frac{E_y / E_c}{(E_y / E_c) - 1} \quad \text{I. 52}$$

où E_c est appelé champ critique et est défini par : $E_c = v_{max} / \mu_n$ ($E_c > 0$), ce qui donne :

$$v(y) = v_{max} \frac{1}{E_c} \frac{dV(y)}{dy} \left(\frac{1}{1 + \frac{1}{E_c} \frac{dV(y)}{dy}} \right) = \mu_n \frac{dV(y)}{dy} \left(\frac{1}{1 + \frac{1}{E_c} \frac{dV(y)}{dy}} \right) \quad \text{I. 53}$$

L'expression corrigée du courant devient donc [COL.W 96] :

$$I_{DS} \left(1 + \frac{1}{E_c} \frac{dV(y)}{dy} \right) = -W \mu_n Q_{inv}(y) \frac{dV(y)}{dy} \quad \text{I. 54}$$

ce qui revient à remplacer μ_n par $\mu_n / \left(1 + \frac{1}{E_c} \frac{dV(y)}{dy} \right)$ pour tenir compte des effets de saturation de vitesse.

En intégrant de la source au drain, on obtient :

$$I_{DS} \left(L + \frac{V_{DS}}{E_c} \right) = -\mu_n W \int_{V_S}^{V_D} Q_{inv}(y) dV(y)$$

ou encore

$$I_{DS} = -\frac{W}{L} \frac{\mu_n}{\left(1 + \frac{V_{DS}}{LE_c} \right)} \int_{V_S}^{V_D} Q_{inv}(y) dV(y) \quad \text{I. 55}$$

Ainsi, I_{DS} peut être exprimé sous la forme (développement du second ordre) :

$$I_{DS} = \frac{WC_{ox}}{L} \frac{\mu_n}{\left(1 + \frac{V_{DS}}{LE_c}\right)} \left\{ (V_{GS} - V_{th})V_{DS} - \frac{1}{2}\lambda V_{DS}^2 \right\} \quad \text{I. 56}$$

En remplaçant I_{DS} par I_{DSat} , notons bien que le courant de saturation est proportionnel à $V_{GS}-V_{th}$ ($I_{DSat} \cong WC_{ox} (V_{GS}-V_{th})V_{DSat}$), alors que la loi est en $(V_{GS}-V_{th})^2$ dans le cas classique.

Dans le cas du transistor à canal long, la mobilité décroît avec l'accroissement du champ électrique transversal E_x contrôlé par la grille. Elle est donnée par une relation empirique [HAO.CCG 85] :

$$\mu_n = \frac{\mu_o}{1 + \theta(V_{GS} - V_{th})} \quad \text{I. 57}$$

μ_o étant la mobilité à faible champ et θ est le coefficient de réduction de mobilité.

Dans le cas du transistor à canal court, la mobilité dépend aussi du champ électrique longitudinal E_y qui comme cela vient d'être vu, peut être critique vis à vis de la vitesse de saturation des porteurs. Il y a plusieurs modèles de la mobilité en fonction du champ électrique. Un des modèles qui est couramment utilisé [NEA. 94] :

$$\mu = \frac{\mu_{eff}}{\left[1 + \left(\frac{\mu_{eff} E}{v_{sat}}\right)^2\right]^{1/2}} \quad \text{I. 58}$$

où

$$\mu_{eff} = \frac{\mu_o}{\left[1 + \theta(V_{GS} - V_{th})\right] \left[1 + \left(\frac{E_y}{E_c}\right)^2\right]^{1/2}} \quad \text{I. 59}$$

b) Effet de percement (*punchthrough*) des zones déplétées

Pour le transistor à canal court, la distance source-drain devient du même ordre de grandeur que la longueur de la base d'un transistor bipolaire npn, des effets indésirables peuvent se produire lors du fonctionnement du MOS. Les zones désertées sous la source et sous le drain deviennent très proches et participent même à dépléter la région située sous la grille. Cet effet se produit lorsque les zones de déplétion de source et de drain se touchent (Figure I.15). Ceci dépend non seulement de la longueur du canal, mais aussi de la tension du drain. Il en résulte une perte de contrôle du potentiel dans le canal par la grille et le passage d'un courant *anarchique* de percement entre la source et le drain. La tension appliquée sur la grille, nécessaire pour obtenir la conduction, devient donc moins importante, une diminution de la tension de seuil est observée.

Lorsque les zones de déplétion source et drain se touchent, le transistor fonctionne de manière tout à fait différente. La grille perd alors le contrôle de la région située sous l'oxyde à l'exception de la zone très proche de l'interface. Le courant circule entre les deux zones déplétées, avec des lignes de courant plus éloignées de l'interface qu'en présence de la couche d'inversion. Il varie selon la carré de la tension drain-source. Il s'agit d'un courant limité par la zone de charge d'espace (comme peut l'être le courant de saturation d'un tube à vide) et son expression obéit à la loi de Mott et Gurney [CAN.DLS 86] :

$$J = \frac{9}{8} \epsilon_{si} \mu_n \frac{(V_{DS} - V_p)^2}{L^3} \quad \text{I. 60}$$

J est la densité de courant.

V_p étant la tension de percement et définie par :

$$V_p = L^2 \frac{qN_A}{2\epsilon_{si}} - V_{bi} \quad \text{I. 61}$$

Ainsi, nous retiendrons que la diminution de longueur L du canal entraîne deux conséquences : la tension de percement varie comme L^2 et le courant parasite qui prend naissance au percement entre source et drain varie comme $1/L^3$. La relation du courant en $1/L^3$

montre qu'il est d'autant plus important d'éviter le phénomène du percement que L , longueur du canal, est faible. Une première protection pourrait consister à augmenter N_A , concentration d'impuretés du substrat, mais on augmenterait du même coup les capacités parasites de drain et de source ; on augmenterait en même temps les tensions de seuil des transistors, toutes choses que l'on veut précisément s'interdire.

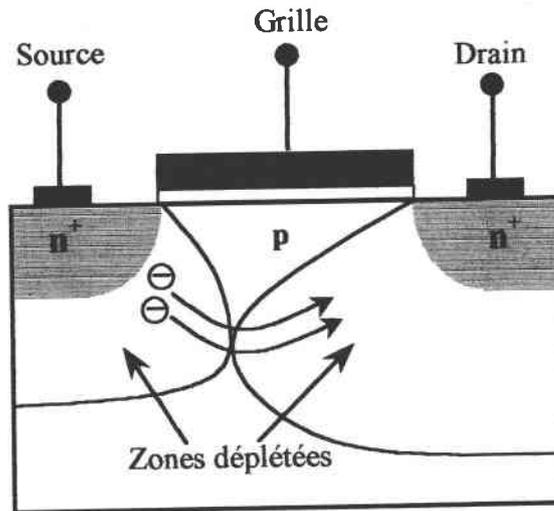


Figure I.15 : Phénomène de percement (*punchthrough*) dans un transistor à canal court.

Les caractéristiques $I_{DS}-V_{DS}$ sont marquées par l'absence de saturation du courant de drain (Figure I.16).

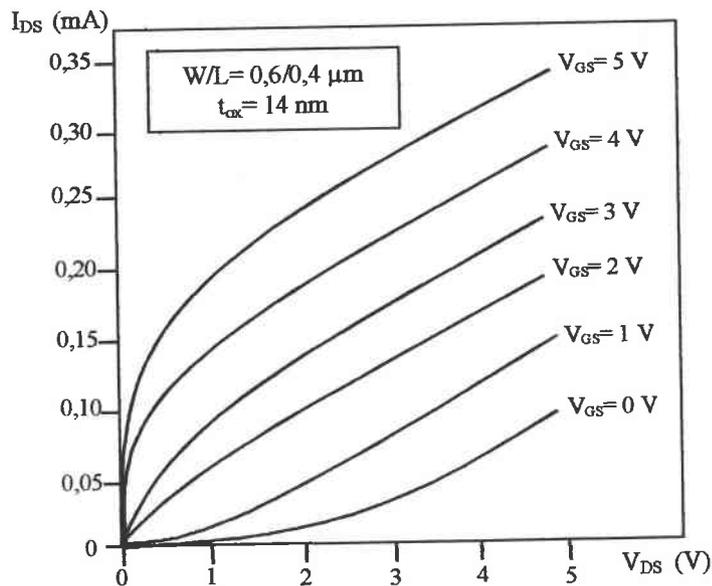


Figure I.16 : Caractéristiques $I_{DS}-V_{DS}$ typiques d'un MOSFET à canal court endommagé montrant les effets de percement (*punchthrough*).

c) Tension de claquage (*Breakdown Voltage*)

Plusieurs mécanismes de détérioration du potentiel dans les MOSFETs submicroniques doivent être considérés, y compris la tension de claquage à travers l'oxyde aussi bien que celles dans les jonctions du semiconducteur.

- Claquage d'oxyde (*Oxide Breakdown*) :

Nous supposons que l'oxyde est un isolant parfait. Cependant, si le champ électrique dans l'oxyde est assez grand, la détérioration peut se produire conduisant au dysfonctionnement catastrophique des composants. Dans l'oxyde SiO_2 , le champ électrique de claquage est de l'ordre de $6 \cdot 10^6 \text{ V/cm}$ [NEA. 94], ce champ est plus grand que celui du silicium, mais l'oxyde de grille est très mince par rapport au silicium de substrat. Une tension de grille de 30 V, avec un oxyde d'épaisseur 500 Å peut provoquer ce phénomène.

- Effet de *snapback* (Thyristor) :

Ce phénomène est dû aux effets du second ordre, il est illustré sur les figures I.17 et I.18. La structure du transistor n-MOSFET montre les contacts de source et de drain de type n avec le substrat de type p. La source et le substrat sont potentiellement à la masse. La structure n(source)-p(substrat)-n(drain) forme ainsi un transistor bipolaire parasite. Le circuit équivalent est montré sur la figure I.17 b.

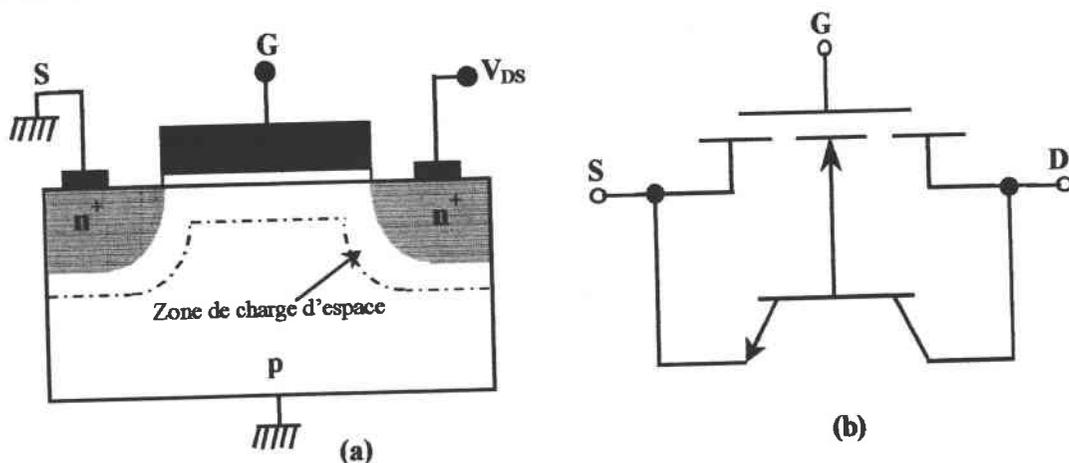


Figure I.17 : (a) Structure de n-MOSFET (b) Circuit équivalent incluant le transistor bipolaire parasite

Nous tendons à penser que l'effet d'avalanche aura lieu soudainement à une certaine valeur de la tension. Cependant, cet effet est un processus graduel qui se déclenche même pour une valeur de courant faible et pour un champ électrique inférieur à celui de détérioration [NEA. 94].

Nous pouvons expliquer le processus de cet effet (Figure I.18) :

- (a) Les électrons du canal étant accélérés par le fort champ longitudinal créent des paires électron-trou par ionisation par impact.
- (b) Les électrons générés atteignent le drain
- (c) Or, tandis que les trous générés sont entraînés vers le substrat, d'autres peuvent être piégés dans l'oxyde, se recombiner ou être piégés dans le substrat.
- (d) Le courant créé par les trous, lorsqu'ils traversent la région quasi-neutre, induit une différence de potentiel dans cette zone de substrat qui possède une certaine résistance R .
- (e) La jonction pn du côté source est polarisée en direct et donc injecte davantage d'électron dans le drain.

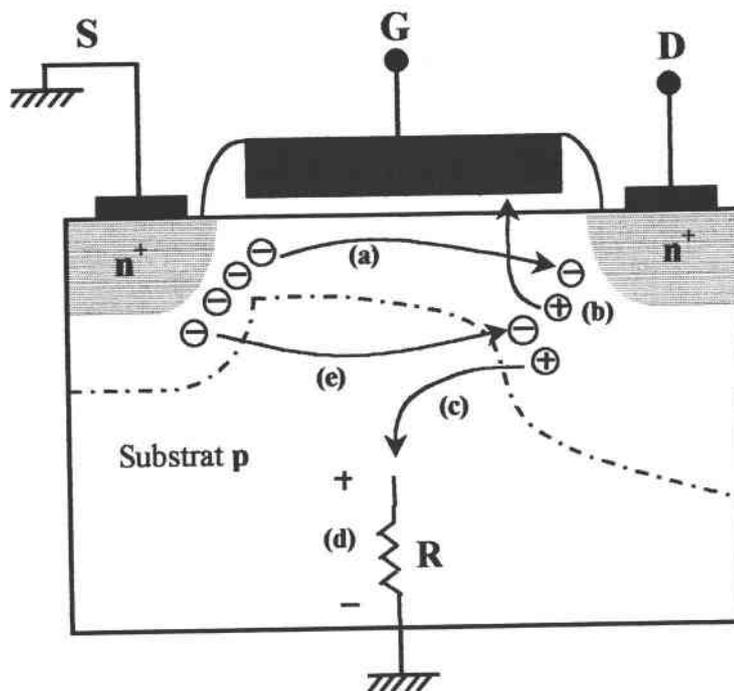


Figure I.18 : Multiplication des porteurs et contre-réaction positive donnant naissance au phénomène de snapback.

Il se produit une amplification du phénomène pouvant conduire à une perte de contrôle du transistor (Figure I.19). Si les courants sont trop forts, le transistor peut être détruit par *snapback*.

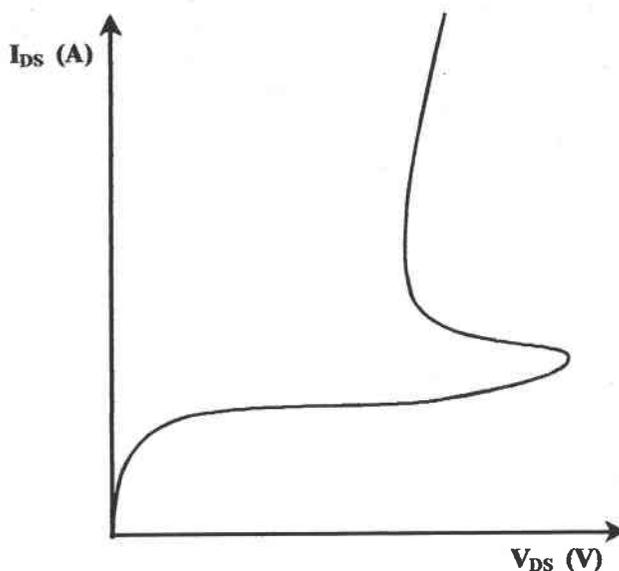


Figure I.19 : Caractéristique typique de l'effet thyristor dans un MOS à canal court.

I.3.6. Les solutions technologiques

Nous avons vu précédemment que dans les transistors aux dimensions réduites, l'intensité des champs électriques locaux s'accroît de façon importante, produisant une efficacité grandissante des processus de dégradation et un vieillissement précoce. Trois options majeures peuvent être envisagées pour réaliser des composants fiables ayant une grille de longueur inférieure au micron avec pour finalité de réduire la génération des porteurs chauds et de diminuer les densités de défauts permettant le piégeage de charges énergétiques: la réduction de la tension de fonctionnement, des modifications de structure et le durcissement de l'oxyde.

* Réduction de tension

La diminution de la tension de fonctionnement permet de réduire le nombre de porteurs chauds, de telle sorte que ni la tension d'avalanche, ni la tension de percement V_p ne puissent jamais être atteintes sur le drain d'un transistor (ce qui peut conduire à choisir des tensions

d'alimentations $V_{dd} < V_p$). Cette solution est simple et efficace mais elle conduit à une diminution des courants de fonctionnement et à une augmentation inacceptable du temps de réponse du circuit. Elle introduit de plus un problème de comptabilité avec des circuits qui fonctionnent à des tensions plus élevées.

* Modification de structure

Elle consiste à agir au niveau du drain en introduisant une région destinée à réduire le champ électrique longitudinal E_y . La diminution de l'énergie des porteurs diminue ainsi leur probabilité de passer dans l'oxyde. La région d'ionisation par impact est alors plus en profondeur dans le semiconducteur, réduisant le nombre de porteurs pouvant atteindre l'interface Si-SiO₂.

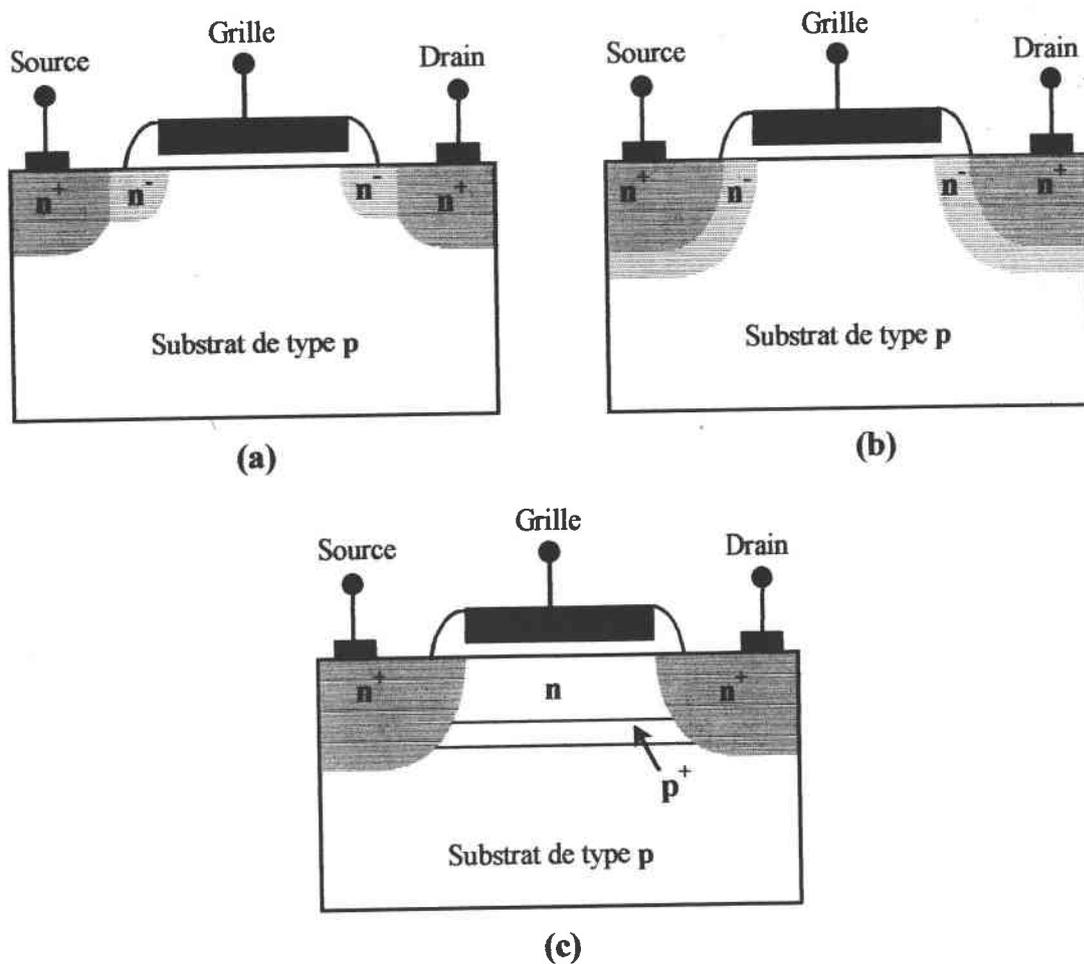


Figure I.20 : Structures nLDD-MOSFET (a), nDDD-MOSFET (b) et n-MOSFET à canal enterré (c).

Trois types de structures MOSFET sont utilisés dans les structures submicroniques afin de réduire le nombre de porteurs chauds pouvant franchir l'interface vers l'oxyde de grille : LDD-MOSFET, DDD-MOSFET et MOSFET à canal enterré (Figure I.20).

La structure à drain légèrement dopé (LDD - Lightly Doped Drain) possède une région n^- entre le canal et l'implantation n^+ pour la réalisation du drain et de la source (Figure I.20 (a)). La structure à drain doublement diffusé (DDD – Doubled Diffused Drain) est formée d'une région n^- située autour des implantations n^+ réalisant ainsi une jonction substrat-drain graduelle (Figure I.20(b)). La structure MOSFET à canal enterré est obtenue avec une zone p^+ implantée sous le canal. La mobilité des porteurs est plus élevée et l'interaction avec les pièges d'interface est réduite. L'effet d'avalanche se produit plus profondément sous l'interface avec l'oxyde (Figure I.20(c)).

Ces technologies présentent cependant plusieurs inconvénients. Les structures LDD et DDD comportent des résistances séries source et drain supplémentaires dues aux jonctions graduelles $n^+/n^-/p$ qui diminuent le courant dans le canal.

Un procédé technologique de fabrication de MOSFETs récemment développé permet par le recuit après l'oxydation (POA - Postoxidation Annealing) d'obtenir des composants submicroniques tolérants aux effets de charges et améliore le domaine de claquage d'oxyde qui est lié à la rugosité d'interface Si-SiO₂ [CHE.H 97]. Ce type de recuit diminue également les contraintes à l'interface SiO₂-Si.

*** Durcissement de l'oxyde**

Le durcissement d'oxyde peut se faire en introduisant une faible quantité de fluor dans l'oxyde SiO₂ produisant à l'interface des liaisons Si-F plus fortes que les liaisons Si-H (5,73 eV contre 3,18 eV). L'addition de l'azote à l'oxyde crée aussi à l'interface des liaisons Si-N (4,6 eV), augmentant la résistance de l'interface aux dégradations [FAU. 96].

Les étapes de fabrication, oxydation, diffusion d'hydrogène et implantation introduisent des défauts d'oxyde et d'interface qui augmentent le piégeage des trous et des électrons énergétiques. La température élevée pendant l'oxydation réduit le nombre de liaisons faibles à

l'interface et contribue à limiter le nombre de défauts. Le recuit permet de guérir en grande partie les dégradations apparues par irradiation ionisante mais il n'est pas possible de l'effectuer après un certain nombre d'étapes technologiques. La réalisation des diodes de protection permet de réduire ce problème de charges induites.

I.4 PHENOMENES DUS AUX IRRADIATIONS

Les effets des irradiations sur les composants électroniques résultent de l'interaction rayonnement-matière qui se produit entre le flux de particules incidentes et les matériaux constitutifs du composant. En général, les irradiations peuvent provoquer des dommages aussi bien temporaires que permanents dans les dispositifs électroniques. La forme et l'intensité des dégradations dépendent de la structure du composant, du type de l'irradiation, et des conditions de fonctionnement du composant pendant l'irradiation.

Il y a trois types principaux d'environnement radiatif : neutrons (n), particules lourdes énergiques, irradiation gamma. La première est une irradiation non ionisante qui engendre des défauts de déplacement atomique, tandis que les deux autres peuvent être considérées comme irradiations ionisantes (photons et particules chargées). Les effets dominants pour ces types d'irradiations est la création de paires électron-trou à effet transitoire ou à effet permanent (dose et débit de dose).

L'effet primaire d'une irradiation neutron sur les semiconducteurs est le déplacement d'atomes de leurs positions dans le réseau cristallin provoquant des dégâts qui perturbent sa périodicité [WAH. 89]. Les effets secondaires incluent les réactions nucléaires et l'ionisation dépendent de l'énergie des neutrons. Les réseaux cristallins perturbés introduisent des niveaux d'énergie discrets localisés à l'intérieur de la bande interdite qui renforcent la génération, la recombinaison, le piégeage, la compensation et l'effet tunnel. Ces effets réagissent aussi comme des centres de diffusion qui réduisent la mobilité des porteurs et augmentent par la suite la résistance drain-source [MES.A 86].

L'irradiation ionisante produit des paires électron-trous. Pour les dispositifs MOS, les principaux domaines affectés par ces paires sont l'oxyde de grille et l'oxyde de champ (oxyde de passivation). La dégradation des performances du transistor MOS par l'irradiation ionisante est essentiellement liée aux charges piégées dans l'oxyde ainsi que celles piégées à l'interface Si-SiO₂ [MA.D 89][HOL.A 93][MES.A 86]. L'irradiation ionisante provoque alors une dégradation des caractéristiques électriques du MOSFET.

I.4.1 Effets des irradiations sur les transistors

Les effets constatés des irradiations sont liés aux caractéristiques des particules incidentes (masse, charge, énergie cinétique), et à celles des cibles (masse, charge, densité). D'une façon générale, on distingue deux effets dans les transistors :

- Déplacement d'atomes de leurs sites dans le réseau cristallin.
- Création de paires électron-trou (ionisation).

Les trois constituants des composants électroniques étudiés sont : les semiconducteurs, les isolants et les métaux.

- Influence sur les semiconducteurs

Les effets dus aux irradiations, par déplacement ou ionisation, se traduisent par une réduction de la durée de vie des porteurs minoritaires, de la mobilité et lors d'une irradiation à forte dose par la présence de piégeage-dépiégeage de porteurs. Cette réduction de durée de vie entraîne des modifications dans la réponse dynamique des circuits, se traduisant par une diminution de la fréquence d'utilisation.

- Influence sur les isolants

Les isolants des composants sont peu affectés par les déplacements atomiques [HOF.CKB 99]. Les seuls effets à mentionner sont les créations de charges piégées dans l'oxyde et à l'interface SiO₂-Si. Ces charges génèrent des dérives temporelles ou modifient les champs électriques de claquage dans les isolants minces, utilisés dans les circuits intégrés à haute densité. Elles dégradent les paramètres électriques des transistors MOS par leur action du potentiel de surface [BAK.PBH 99].

- Influence sur les métaux

Les déplacements atomiques peuvent modifier la conductivité des métaux, et ainsi perturber l'équilibre entre les éléments résistifs ajustés avec précision (circuit analogique). De même, à très forte dose, les propriétés mécaniques peuvent être altérées (influence sur les soudures) ou l'effet d'électromigration accentué (rupture de connexions) [HOL.A 93].

I.4.2 Dégradation des paramètres électriques

Dans les composants électroniques on constate des variations des paramètres électriques [HOL.A 93] permanents :

- * Diminution de la tension de seuil V_{th} , de la tension de bande plate V_{FB} et de la mobilité effective μ_{eff} .
- * Augmentation du courant de fuite pour les jonctions pn polarisées en inverse.
- * Diminution du gain en courant pour les transistors bipolaires.
- * Augmentation de l'immunité au bruit.
- * Diminution du courant de déclenchement du latchup pour les dispositifs constitués de structures pnpn.

ou transitoire, sous irradiation :

- * Apparition de l'effet SEU (Single Event Upsets) : phénomène responsable du changement d'état pour les mémoires bistables.

Les effets des rayonnements sur les composants et circuits intégrés sont très divers et affectent l'ensemble des constituants d'un système en fonction de la nature de ces rayonnements, de leur flux et de leur énergie.

I.5 SYNTHÈSE

Ce chapitre avait pour objectif de rappeler les principes fondamentaux du fonctionnement d'une structure MOS, les effets de la réduction des dimensions des transistors MOS, ainsi qu'une brève description concernant les effets d'irradiation. Cet aspect théorique de notre travail nous servira dans les méthodes d'analyse et permettra d'interpréter les résultats obtenus avant et après irradiation.

CHAPITRE II :

**GENERALITE SUR LES
STRUCTURES P-N ET
BIPOLAIRES**

II.1 INTRODUCTION

Ce chapitre a pour objet de présenter le fonctionnement d'une jonction pn, dont l'étude nous permettra en outre la caractérisation de la jonction substrat-drain du transistor MOS. Il concerne aussi le principe fondamental de transistor bipolaire, ce qui nous permet d'étudier la jonction bipolaire dans les transistors MOS submicroniques.

II.2. LA JONCTION PN

La jonction pn présente un cas particulier de dopage non uniforme dans lequel on passe d'une région p à une région n. Dans le cas où ces deux régions sont constituées du même matériau semiconducteur, on parlera d'une homojonction. Dans le cas contraire, on obtient une hétérojonction. La jonction pn simple constitue ce que l'on appelle une diode. La combinaison de deux jonctions pn au sein d'un même dispositif permet de réaliser des transistors (transistors bipolaires ou MOS). Les transistors à effet champ (JFET) contiennent une seule jonction pn. Les thyristors contiennent 3 jonctions pn, et les triacs en contiennent 5.

La diode à jonction pn offre la particularité de laisser passer le courant dans un seul sens. Si une tension positive est appliquée au côté de semiconducteur de type p, le courant passe. On dit alors que la jonction est passante. Dans le cas inverse, le courant ne passe pas, et la jonction est bloquée.

Nous présentons dans ce paragraphe les équations de transport, les principaux mécanismes de recombinaison et les différents modèles qui introduisent les paramètres physiques et les grandeurs descriptives des mécanismes de transport des porteurs. Ces modèles serviront pour caractériser le fonctionnement et la structure des jonctions que nous étudierons par la suite, avant et après irradiation.

II.2.1 Equation de conduction

Les phénomènes physiques fondamentaux de transport des porteurs dans un semiconducteur peuvent être décrits par cinq équations dont la solution permet d'obtenir une représentation de la caractéristique courant-tension pour un composant défini. Ces équations s'écrivent sous la forme :

$$\left\{ \begin{array}{l} \vec{J}_n = qD_n \vec{\nabla} n + q\mu_n n \vec{E} \\ \vec{J}_p = -qD_p \vec{\nabla} p + q\mu_p p \vec{E} \\ \frac{dJ_n}{dx} = qU_n \\ -\frac{dJ_p}{dx} = qU_p \\ \nabla(\epsilon\vec{E}) = \rho = q(p - n + N_D - N_A - N_t) \end{array} \right. \quad \text{II.1}$$

n et p sont les densités d'électrons et de trous libres dans le semiconducteur (en cm^{-3})

J_n et J_p : les densités de courants d'électrons et de trous (A cm^{-3})

D_n et D_p : les coefficients de diffusion d'électrons et de trous ($\text{cm}^2 \text{s}^{-1}$)

μ_n et μ_p : les mobilités effectives des électrons et des trous ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)

U_n et U_p : les taux de génération recombinaison des électrons et des trous ($\text{cm}^{-3} \text{s}^{-1}$)

\vec{E} : le champ électrique dû à la polarisation

ρ : la densité des charges libres

N_D , N_A et N_t étant respectivement les densités d'atomes donneurs et d'accepteurs ionisés et de charge piégée sur un centre recombinant.

Les deux premières équations sont les expressions des densités de courant, les deux suivantes traduisent la conservation des particules (équations de continuité) et la dernière relie le champ électrique à la densité de charges libres.

L'expression du taux U de génération-recombinaison des porteurs est obtenue en prenant en considération tous les mécanismes de générations et de recombinaison des électrons et des trous. Elle est notamment fonction des densités volumiques des porteurs et des centres

recombinants. Cette expression est liée aux modèles permettant de décrire les cinétiques des mécanismes de recombinaison. Le courant total sortant d'un volume V du semi-conducteur s'écrit :

$$I = \iiint_V qUdV$$

II.2

Des solutions numériques [JAN. 91] basées sur des approximations, ont été proposées pour résoudre ces équations. Ces approximations considèrent que les taux de capture des électrons et des trous ne sont pas égaux et que la densité de pièges par centre recombinant est faible par rapport à la densité de trous et d'électrons libres.

I.4.2 Principaux mécanismes de recombinaison

A toute température supérieure à 0 K, il existe une certaine quantité d'électrons libre dans la bande de conduction et un certain nombre de trous dans la bande de valence. Dans ces conditions, un électron libre peut perdre de l'énergie (il cesse alors d'être un électron libre et de circuler dans le cristal) et venir occuper une place vacante (occupée par un trou) dans la bande de valence. On parle alors d'un phénomène de recombinaison.

De même, un électron peut se détacher d'un atome (si une énergie suffisante lui est fournie) et passer de la bande de valence à la bande de conduction, où il devient un électron libre. Cela donne naissance à un trou libre dans la bande de valence. On parle alors d'un phénomène de génération (d'une paire électron-trou). A l'équilibre thermodynamique, la génération et la recombinaison se compensent, et les concentrations d'équilibre en électrons et en trous restent constantes.

Les différents processus qui sont à l'origine de la création (génération) ou de la perte (recombinaison) de porteurs sont nombreux. L'importance des différents mécanismes dépend du type de dispositif et du problème considéré.

a) Génération-Recombinaison bande à bande

La génération s'effectue par l'émission d'un électron de la bande valence vers la bande de conduction, suite à l'absorption d'un photon ou d'un phonon (la conservation de l'énergie est assurée par cette absorption). A l'inverse, la recombinaison s'effectue par capture directe d'un électron de la bande de conduction par un trou de la bande de valence, avec émission d'un photon (Figure II.1).

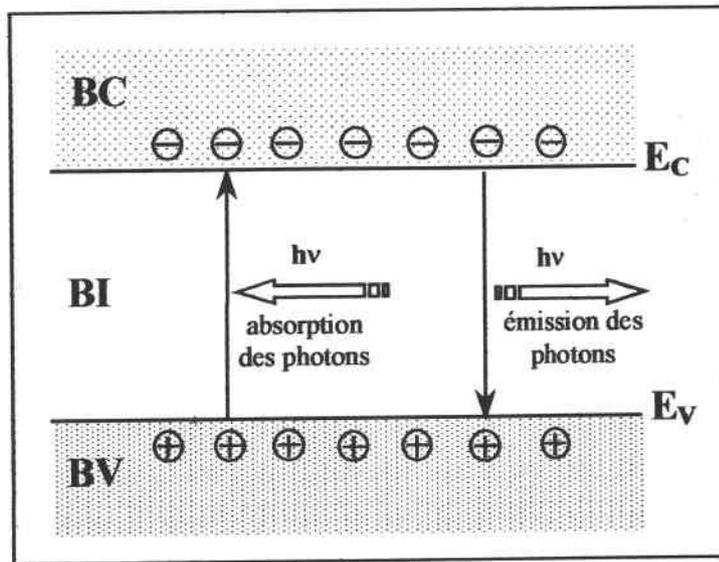


Figure II.1 : Recombinaison radiative

b) Génération-Recombinaison Auger

La recombinaison Auger est le processus inverse (ou complémentaire) de l'ionisation par impact ou par choc qui se produit lorsqu'un électron ou un trou de grande énergie perd la plus grande partie de son énergie cinétique en créant une paire électron-trou. Cette recombinaison d'une paire électron-trou bande à bande s'accompagne par l'émission d'un rayonnement d'énergie $h\gamma = E_G$. Un électron de la bande de conduction peut absorber cette énergie émise, et sauter sur un état d'énergie $E_2 = E_C \pm h\gamma$ (Figure II.2). Ce phénomène se manifeste aussi dans la bande de valence.

Dans le cas de semi-conducteur à faible niveau de dopage, les densités de porteurs libres sont faibles, de telle sorte que la probabilité pour qu'un électron et un trou se rencontrent (recombinaison bande à bande) est faible ; la présence d'impureté joue alors un rôle important dans le processus de recombinaison.

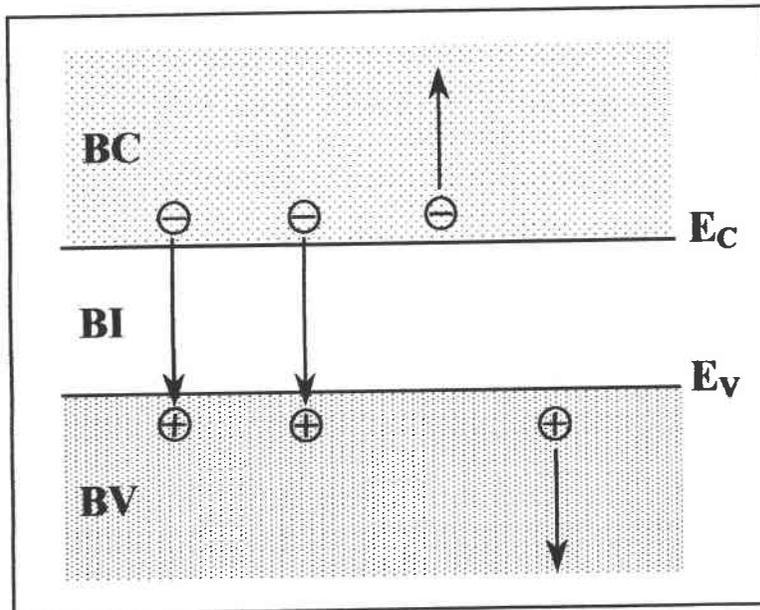


Figure II.2 : Recombinaison d'une paire électron-trou – Recombinaison Auger

Les cristaux semiconducteur sont de très haute qualité, mais ils ne sont pas parfaits. Ils contiennent une certaine quantité de défauts cristallins (interstitiels, lacunes, dislocation), ainsi que des traces d'impuretés, métalliques ou autres. Ces impuretés et défauts du cristal font apparaître des niveaux d'énergie situés dans la bande interdite. Les différents types de transition des porteurs ont lieu entre l'un de ces niveaux et un niveau situé dans les bandes de conduction ou de valence. En supposant un centre recombinant E_t dans la bande interdite BI (Théorie de Shockley-Read [MUL.K 86]) à un seul niveau, il existe quatre types de transitions entre ce centre et les bandes de conduction BC et de valence BV (figure II.3) :

- i) Capture d'un électron par un accepteur initialement neutre (1)
- ii) Emission dans la BC d'un électron par un accepteur chargé négativement (2).
- iii) Capture d'un trou de la BV par un accepteur chargé négativement (3).
- iv) Emission d'un trou dans la BV par un accepteur initialement neutre (4).

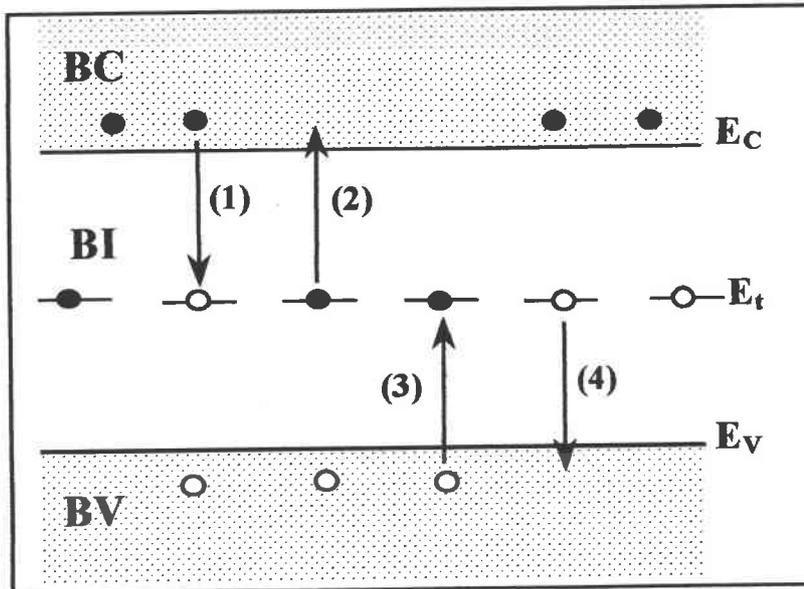


Figure II.3: Mécanisme de Génération-Recombinaison de Shockley-Read

I.4.3 Taux de Génération-recombinaison

Pour un semi-conducteur non dégénéré (le niveau de Fermi est dans la bande interdite), les taux de génération-recombinaison des électrons et des trous par un centre piège d'énergie E_t sont donnés par :

$$\begin{cases} U_n = R_n - G_n = C_n n p_t - e_n n_t \\ U_p = R_p - G_p = C_p p n_t - e_p p_t \end{cases} \quad \text{II.3}$$

où n et p sont les concentrations des porteurs libres (électrons et trous),
 R_n, R_p, G_n et G_p sont respectivement les taux de recombinaisons et de
génération pour les électrons et les trous,
 C_n, C_p, e_n et e_p sont les coefficients de capture et d'émission des électrons et
des trous par le centre E_t ,
 n_t et p_t sont les concentrations de centres négatifs et neutres.

L'expression du taux de génération-recombinaison dans le modèle de Shockley-Read est donnée par [MUL.K 86] :

$$U = \frac{\sigma_n \sigma_p V_{tc} N_t (np - n_i^2)}{\sigma_p (p + p_1) + \sigma_n (n + n_1)} \quad \text{II.4}$$

où σ_n et σ_p sont les sections efficaces de capture pour les électrons et pour les trous,
 V_{tc} est la vitesse thermique des porteurs,
 N_t désigne la densité des pièges,
 n_1 et p_1 sont les densités d'électrons et de trous lorsque le niveau de Fermi coïncide avec celui des centres recombinants.

En observant la relation II.4, on s'aperçoit que le taux de recombinaison U est proportionnel à $(np - n_i^2)$. Ce terme constitue une sorte de *force de rappel* qui tend à ramener le produit np vers sa valeur d'équilibre n_i^2 . En effet, on a :

$$\begin{aligned} U &= 0 \text{ si } pn = n_i^2 \text{ (équilibre)} \\ U &> 0 \text{ si } pn > n_i^2 \text{ (recombinaison)} \\ U &< 0 \text{ si } pn < n_i^2 \text{ (génération)} \end{aligned}$$

Lorsque l'expression de U se met sous une forme linéaire en n ou p , l'équation II.2 peut être intégrée, donnant la caractéristique courant-tension (I-V) d'une jonction sous la forme [SWA.M 73] :

$$I = \sum_i I_{oi} \left(e^{\frac{qV}{A_i kT}} - 1 \right) \quad \text{II.5}$$

où I est le courant de la jonction et V est la différence de potentiel aux bornes de la jonction. La sommation s'effectue sur les divers processus de transport des porteurs. I_{oi} représente le courant de saturation inverse lié au processus i , A_i le facteur de qualité, k la constante de Boltzmann, T la température et q la charge élémentaire.

II.1.4 Modèles analytiques

L'expression du courant (éq. II.5) a été obtenue pour une jonction idéale, dans le sens où les pertes d'énergie par conduction et par courant de fuite n'ont pas été considérées. En pratique, le modèle le plus utilisé pour une jonction, considère séparément le processus de diffusion-recombinaison dans les régions neutres (base et émetteur) et le processus de recombinaison dans la zone de charge d'espace de la jonction [SZE. 85] par application du principe de superposition. Dans ce cas l'équation précédente s'écrit :

$$I = I_{od} \left(e^{\frac{qV}{kT}} - 1 \right) + I_{or} \left(e^{\frac{qV}{AkT}} - 1 \right) \quad \text{II. 6}$$

Le premier terme de cette équation prend en compte le processus de diffusion recombinaison dans les régions neutres de la jonction et I_{od} est le courant de saturation inverse lié à ce processus. Le deuxième terme prend en compte la recombinaison dans la zone de charge d'espace (zone désertée) avec I_{or} courant de saturation inverse lié à ce processus, et A le facteur de qualité de la jonction.

Pour considérer les pertes d'énergie par conduction et par courant de fuite, on introduit des impédances réparties sous la forme de résistances série R_s et parallèle R_{sh} conduisant à proposer le schéma équivalent représenté sur la figure II.4. La prise en considération de ces pertes conduit à une nouvelle de l'équation II.6, donnée par :

$$I = \frac{V - R_s I}{R_{sh}} + I_{01} \left(e^{\frac{q(V - R_s I)}{kT}} - 1 \right) + I_{02} \left(e^{\frac{q(V - R_s I)}{AkT}} - 1 \right) \quad \text{II.7}$$

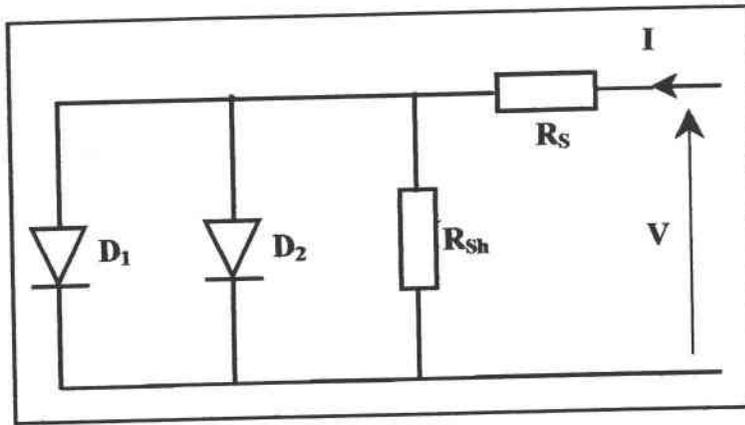


Figure II.4 : Schéma équivalent de diode modélisé par l'équation II.7.

Trois modèles numériques associés à des modes de fonctionnement particuliers permettent de décrire les caractéristiques courant tension de la jonction : modèle SEM, modèle VDEM et modèle CDEM.

(a) Modèle SEM (Simple Exponentiel Model) – Modèle à une exponentielle simple

Dans ce modèle, le circuit équivalent ne contient plus qu'une seule diode [CHA.MBM 85] et le courant de la jonction dépend d'un seul terme exponentiel sous la forme :

$$I = \frac{V - R_S I}{R_{Sh}} + I_{0S} \left(e^{\frac{q(V - R_S I)}{AkT}} - 1 \right) \quad \text{II. 8}$$

où I_{0S} représente le courant inverse constitué d'une composante de recombinaison. Ce modèle décrit bien une jonction où l'un des deux mécanismes de recombinaison domine nettement. Soit proche d'une jonction idéale dans laquelle le courant de diffusion est dominant, le facteur de qualité A est alors proche de 1. Soit lorsque la recombinaison devient prédominante, I_{0S} et A augmentent alors fortement.

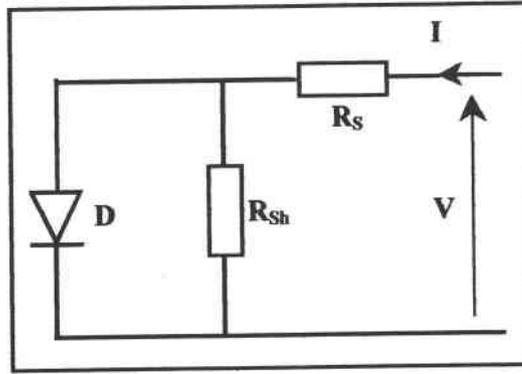


Figure II.5 : Circuit équivalent élémentaire d'une jonction pn dont le fonctionnement est décrit par un seul terme exponentiel.

(b) Modèle VDEM (Variable Double Exponential Model) – Modèle à deux exponentielles dont une variable constante

Le modèle VDEM permet de séparer le courant de saturation inverse dû à la diffusion I_{od} et celui dû à la recombinaison I_{or} associé à des pièges dans la zone de charge d'espace. Dans ce cas le courant de la jonction est décrit par deux termes exponentiels avec un facteur de qualité A variable sous la forme :

$$I = \frac{V - R_S I}{R_{Sh}} + I_{od} \left(e^{\frac{q(V - R_S I)}{kT}} - 1 \right) + I_{or} \left(e^{\frac{q(V - R_S I)}{AkT}} - 1 \right) \quad \text{II. 9}$$

Le premier terme de cette équation représente le courant de diffusion avec un facteur de qualité égal à 1, alors que le second introduit un facteur de qualité variable. Ce modèle physique représente le cas général et couvre, théoriquement les deux autres cas. Il peut poser des problèmes de convergence ce qui justifie, d'un point de vue numérique, l'existence des deux autres.

(c) Modèle CDEM (Constante Double Exponentiel Model) – Modèle à deux exponentielles constantes

Ce modèle est un cas particulier du modèle VDEM, conservant le facteur de qualité A constant et égal à 2. Il correspond au modèle de Sah, Noyce et Shockley [SAH.NS 57] et

donne fréquemment la meilleure description de jonction dans les structures microélectroniques. Il correspond au cas d'une homojonction graduelle et homogène comportant un niveau au centre du gap ou deux niveaux symétriques. L'analyse numérique est appliquée à la caractéristique mesurée par une jonction donnée. Le résultat obtenu par chacun des trois modèles est évalué par la valeur du facteur d'efficacité à décrire les mesures, Q_{RMS} . Q_{RMS} est l'écart quadratique moyen entre les points de mesure et de la courbe calculée à partir des valeurs des paramètres obtenus : I_{O1} , I_{O2} , A , R_{Sh} et R_S . C'est le modèle le mieux adapté numériquement pour décrire la caractéristique lorsque les courants de diffusion et recombinaison dans la jonction sont du même ordre de grandeur.

II.2. LE TRANSISTOR BIPOLAIRE

Le transistor bipolaire a été inventé par J. Barden et W. Brittain en 1948 mais son fonctionnement a été élaboré et expliqué un an après par W. Shockley. Le premier transistor bipolaire a été fabriqué en 1951. Une décennie après son invention, le transistor bipolaire restait le seul composant à trois terminaux dans les applications commerciales. Ceci est dû à l'efficacité du JFET et aux problèmes d'interface Si-SiO₂ des MOSFETs à cette époque.

Un transistor bipolaire est composé de deux jonctions pn. On peut donc réaliser deux sortes de transistor bipolaire : le transistor npn (figure II.6), dans lequel une zone de semiconducteur p est prise en sandwich entre deux zones de type n, et le transistor pnp, dans lequel une zone de semiconducteur n est confinée entre deux zones de type p. On considère le cas du transistor npn, le cas du transistor pnp pouvant être obtenu en effectuant les changements de signe appropriés.

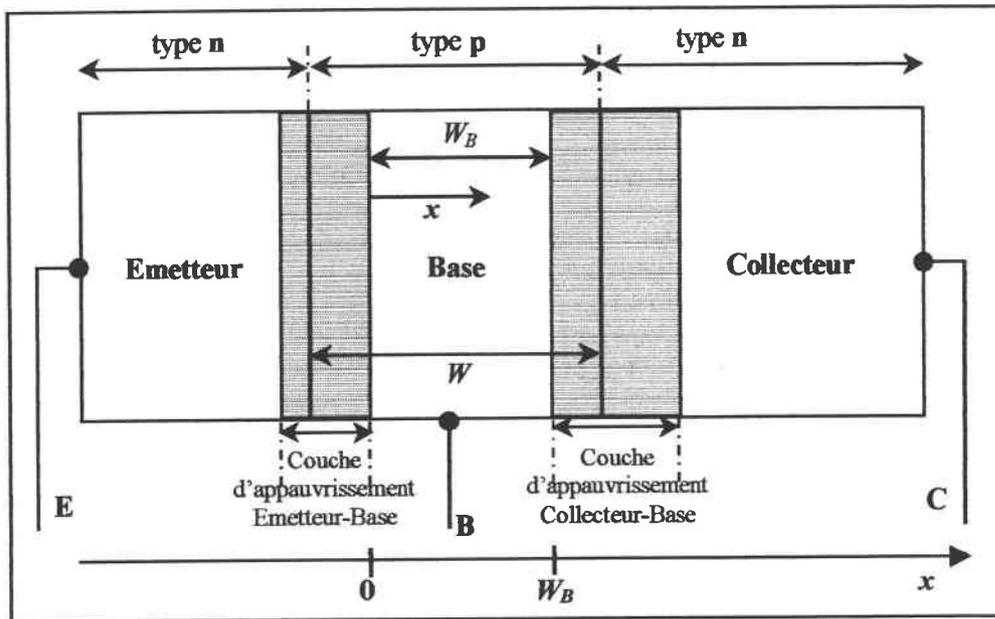


Figure II.6 : Transistor bipolaire de type npn.

Les deux zones de type n sont l'émetteur et le collecteur, et la zone de type p est la base. La distance entre les jonctions métallurgiques sera notée W , et la largeur de base neutre, c.à.d. la largeur de la zone p moins les largeurs des zones déplétions engendrées par la jonction pn dans la base, sera notée W_B .

La fonction de l'émetteur fortement dopé (Figure II.6) est d'émettre ou d'injecter des électrons dans la base. La base est légèrement dopée et très étroite ; elle conduit la plupart des électrons injectés par l'émetteur dans le collecteur. Le niveau de dopage du collecteur est moyen et compris entre le fort dopage de l'émetteur et le dopage léger de la base. Le collecteur recueille ou collecte les électrons provenant de la base, d'où son nom. Le collecteur est la plus large des trois régions et dissipe plus de chaleur que l'émetteur et la base.

La diffusion des électrons libres à travers la jonction produit deux couches d'appauvrissement ou de déplétion. La barrière de potentiel de chaque couche d'appauvrissement est d'environ 0,7 V à 25°C dans le cas d'un transistor au silicium (0,3 V dans le cas d'un transistor au germanium) [MAL. 91]. Si l'on n'applique aucune tension aux bornes du transistor ($V_E = V_B = V_C = 0$), les deux jonctions sont à l'équilibre thermodynamique et aucun courant ne circule. Si par contre, on polarise la jonction émetteur-base (E-B) en sens passant, l'équilibre va être rompu, et un courant va circuler dans la diode E-B. En d'autres termes, des trous vont être

injectés de la base vers émetteur, où ils vont se recombinaer avec les électrons, qui sont localement majoritaires. Des électrons vont être injectés de l'émetteur vers la base, où ils vont recombinaer avec les trous de la base si celle-ci est très large (si W_B est grand). Si l'on polarise la jonction base-collecteur en inverse, seul le courant de saturation de cette jonction circule entre la base et le collecteur.

Si la base du transistor est très large (plus grande que la longueur de diffusion des électrons dans le matériau de type p, $W_B \gg L_{nB}$), les électrons injectés dans la base vont s'y recombinaer avec les trous majoritaires ; on obtient $I_E = -I_B$ et $I_C \approx 0$. On a alors simplement deux diodes placées en tête-bêche, l'une étant passante (E-B), et l'autre (B-C) étant bloquée.

Si la largeur de la base est faible et la jonction émetteur-base (E-B) est polarisée en sens passant ($V_{BE} > 0$) et la jonction base-collecteur (B-C) en sens bloquant ($V_{BC} < 0$), une bonne partie des électrons injectés par l'émetteur dans la base vont atteindre $x = W_B$, où le champ électrique régnant dans la zone de déplétion B-C va les aspirer dans le collecteur. En fait, la majorité de ces électrons (voir même 99%) atteignent le collecteur sans subir de recombinaison dans la base. Il s'ensuit que ce courant est émis par l'émetteur et collecté par le collecteur, d'où les noms portés par ces deux zones. De plus, l'amplitude de ce courant n'est pas contrôlée par la tension V_{CE} , mais par la tension V_{BE} , qui contrôle l'injection d'électrons de l'émetteur vers et à travers la base. Cet effet de modulation du courant circulant dans une jonction (B-C) par variation de la polarisation d'une autre jonction est appelé **effet transistor**. Le transistor polarisé de la façon décrite ci-dessus est dit polarisé en **régime actif**.

Si les deux jonctions sont polarisées en sens passant, le transistor opère en **régime de saturation** (le transistor est saturé). Si les deux jonctions sont polarisées en sens bloquant, le transistor opère en **régime de blocage**, et aucun courant ne passe, hormis le courant en inverse des jonctions (le transistor est bloqué). Par contre, si la jonction E-B est polarisée en sens bloquant et si la jonction B-C est polarisée en sens passant, le transistor fonctionne en **régime inverse**. Bien que le transistor puisse à première vue sembler fonctionner, dans ce cas, de façon symétrique par rapport au régime actif, le fonctionnement en inverse est fort différent du fonctionnement en régime actif, à cause de la dissymétrie des profils d'impuretés dans l'émetteur et le collecteur.

II.2.1 Equation de conduction - Modèle d'Ebers et Moll

Considérons le transistor npn de la figure II.7. Les largeurs des zones neutres d'émetteur, base et collecteur seront notées W_E , W_B et W_C . Les limites des zones de déplétion seront notées l_{E1} , l_{B1} , l_{B2} et l_{C2} . Par convention, l'origine de l'abscisse des profondeurs sera placée en $x = l_{B1}$. On suppose que les concentrations en impuretés dopantes sont constantes dans l'émetteur, la base et le collecteur.

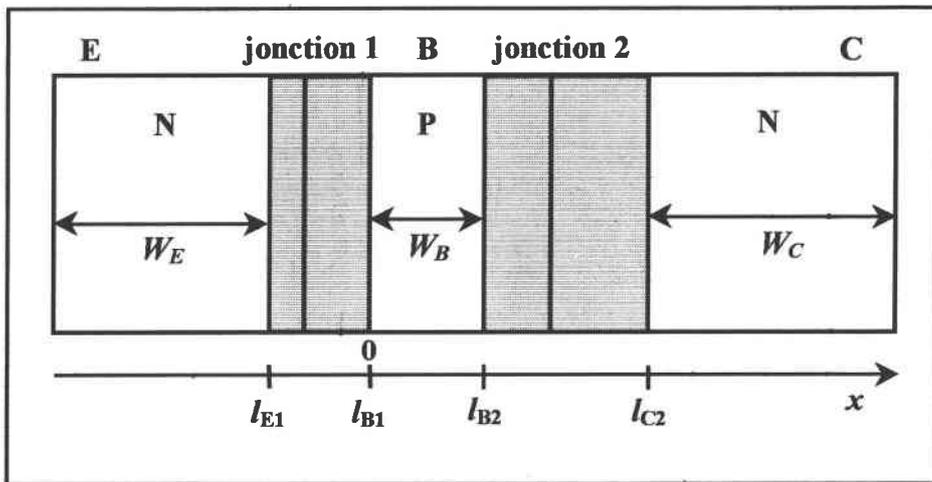


Figure II.7 : Géométrie du transistor.

Pour calculer le courant dans le transistor, il faut partir de l'équation de continuité des électrons dans la base :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \frac{\partial J_n}{\partial x} - R = \frac{1}{q} \frac{\partial J_n}{\partial x} - \frac{n(x) - n_{oB}}{\tau_{nB}} \quad \text{II. 10}$$

où

J_n : densité de courant des électrons dans la base ($A \text{ cm}^{-2}$)

$n(x)$: concentration des électrons en x (cm^{-3})

n_{oB} : concentration des électrons dans la base à l'équilibre (cm^{-3})

τ_{nB} : temps de vie des électrons dans la base (s)

R est le terme de génération et de recombinaison Shockley-Read-Hall (SRH).

La concentration en électrons à l'équilibre dans la base (qui est de type p) est égale à :

$$n_{oB} = \frac{n_i^2}{N_{aB}} \quad \text{II. 11}$$

N_{aB} étant la concentration en impuretés accepteur dans la base (cm^{-3}).

En l'absence de champ électrique, seul le courant de diffusion circule dans la base. Les électrons injectés par l'émetteur dans la base en $x = 0$ diffusent jusqu'à $x = W_B$ où la polarisation inverse de la jonction B-C impose une concentration en électrons quasi nulle. Le courant d'électrons est donc donné par :

$$J_n = qD_{nB} \frac{\partial n}{\partial x} \quad \text{II. 12}$$

D_{nB} étant le coefficient de diffusion des électrons dans la base ($\text{cm}^2 \text{s}^{-1}$)

En régime statique ($\frac{\partial n}{\partial t} = 0$), l'équation de continuité se simplifie en :

$$\frac{d^2 n}{dx^2} = \frac{n(x) - n_{oB}}{D_{nB}\tau_{nB}} = \frac{n(x) - n_{oB}}{L_{nB}^2} \quad \text{II. 13}$$

où $L_{nB} = \sqrt{D_{nB}\tau_{nB}}$ est la longueur de diffusion des électrons dans la base, qui représente la distance moyenne que parcourent les électrons avant de se recombiner.

Une double intégration de l'équation de continuité donne une solution de la forme :

$$n(x) = n_{oB} + C_1 \exp\left(\frac{x}{L_{nB}}\right) + C_2 \exp\left(\frac{-x}{L_{nB}}\right) \quad \text{II. 14}$$

où C_1 et C_2 sont des constantes d'intégration que l'on peut déterminer par les conditions limites ($x = 0$ et $x = W_B$). Ce qui donne [COL.W 96] :

$$n(0) = n_{oB} \exp\left(\frac{qV_{BE}}{kT}\right) \quad \text{et} \quad n(W_B) = n_{oB} \exp\left(\frac{qV_{BC}}{kT}\right) \quad \text{II. 15}$$

$$C_1 = \frac{n(W_B) - n_{oB} - [n(0) - n_{oB}] \exp\left(\frac{-W_B}{L_{nB}}\right)}{2 \sinh\left(\frac{W_B}{L_{nB}}\right)} \quad \text{II. 16}$$

et

$$C_2 = \frac{[n(0) - n_{oB}] \exp\left(\frac{W_B}{L_{nB}}\right) - [n(W_B) - n_{oB}]}{2 \sinh\left(\frac{W_B}{L_{nB}}\right)} \quad \text{II. 17}$$

La connaissance de C_1 et C_2 , en remplaçant $n(0)$ et $n(W_B)$ par leurs valeurs, permet d'écrire la concentration en électrons sous la forme :

$$n(x) = n_{oB} \left\{ 1 + \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] \frac{\sinh\left(\frac{W_B - x}{L_{nB}}\right)}{\sinh\left(\frac{W_B}{L_{nB}}\right)} + \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \frac{\sinh\left(\frac{x}{L_{nB}}\right)}{\sinh\left(\frac{W_B}{L_{nB}}\right)} \right\} \quad \text{II. 18}$$

Les courants de diffusion d'électrons aux bornes de la base neutre sont égaux, d'une part au courant d'électrons injectés par l'émetteur dans la base (en $x = 0$) :

$$J_{nE} = qD_{nB} \frac{dn}{dx} \Big|_{x=0} = - \frac{qD_{nB}n_{oB}}{L_{nB} \tanh\left(\frac{W_B}{L_{nB}}\right)} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] + \frac{qD_{nB}n_{oB}}{L_{nB} \sinh\left(\frac{W_B}{L_{nB}}\right)} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \quad \text{II. 19}$$

d'autre part, au courant d'électrons récoltés par le collecteur (en $x = W_B$) :

$$J_{nC} = qD_{nB} \frac{dn}{dx} \Big|_{x=W_B} = - \frac{qD_{nB}n_{oB}}{L_{nB} \sinh\left(\frac{W_B}{L_{nB}}\right)} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] + \frac{qD_{nB}n_{oB}}{L_{nB} \tanh\left(\frac{W_B}{L_{nB}}\right)} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \quad \text{II. 20}$$

Pour les régions d'émetteur et de collecteur, on utilise la théorie classique de la jonction pn de longueur infinie. Dans ce cas, tous les trous injectés dans E ou C se recombinent dans ces régions. Le courant de trous injectés par la base dans l'émetteur est obtenu en $x = l_{E1}$:

$$J_{pE} = -qD_{pE} \frac{dp}{dx} \Big|_{x=l_{E1}} = -\frac{qD_{pE} p_{oE}}{L_{pE}} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] \quad \text{II. 21}$$

De même, le courant de trous injectés par la base dans le collecteur est égal à :

$$J_{pC} = -qD_{pC} \frac{dp}{dx} \Big|_{x=l_{C2}} = -\frac{qD_{pC} p_{oC}}{L_{pC}} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \quad \text{II. 22}$$

où D_{pE} et D_{pC} : coefficients de diffusion des trous dans l'émetteur et dans le collecteur respectivement ($\text{cm}^2 \text{s}^{-1}$)

p_{oE} et p_{oC} : concentrations en trous dans l'émetteur et le collecteur à l'équilibre (cm^{-3})

L_{pE} et L_{pC} : longueurs de diffusion des trous dans l'émetteur et le collecteur (cm)

En notant que le courant circulant dans l'émetteur est égal à la somme du courant d'électrons injectés dans la base par l'émetteur et du courant de trous injectés par la base dans l'émetteur, soit :

$$I_E = A(J_{pE} + J_{nE})$$

$$\Rightarrow I_E = - \left[\frac{AqD_{pE} p_{oE}}{L_{pE}} + \frac{AqD_{nB} n_{oB}}{L_{nB} \tanh\left(\frac{W_B}{L_{nB}}\right)} \right] \left(\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right) + \frac{AqD_{nB} n_{oB}}{L_{nB} \sinh\left(\frac{W_B}{L_{nB}}\right)} \left(\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right) \quad \text{II. 23}$$

A étant l'aire d'une coupe du transistor à travers laquelle le courant circule.

De même, le courant circulant dans le collecteur est donné par :

$$I_C = -A(J_{pC} + J_{nC})$$

$$\Rightarrow I_C = \frac{AqD_{nB} n_{oB}}{L_{nB} \sinh\left(\frac{W_B}{L_{nB}}\right)} \left(\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right) - \left[\frac{AqD_{pC} p_{oC}}{L_{pC}} + \frac{AqD_{nB} n_{oB}}{L_{nB} \tanh\left(\frac{W_B}{L_{nB}}\right)} \right] \left(\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right) \quad \text{II. 24}$$

Afin de simplifier ces écritures les notions de courants de saturation sont introduites

$$\begin{cases} I_{ES} = \frac{AqD_{pE}p_{0E}}{L_{pE}} + \frac{AqD_{nB}n_{0B}}{L_{nB}\tanh\left(\frac{W_B}{L_{nB}}\right)} \\ I_{CS} = \frac{AqD_{pC}p_{0C}}{L_{pC}} + \frac{AqD_{nB}n_{0B}}{L_{nB}\tanh\left(\frac{W_B}{L_{nB}}\right)} \end{cases} \quad \text{II. 25}$$

ainsi que celle du gain en courant ; α_F et α_R (les gains du courant en base commune en sens normal – *forward* et en sens inverse - *reverse*) :

$$\alpha_F = -\frac{I_C}{I_E} \Big|_{V_{BC}=0} \quad \text{et} \quad \alpha_R = -\frac{I_E}{I_C} \Big|_{V_{BE}=0} \quad \text{II. 26}$$

pour obtenir finalement les équations d'Ebers et Moll qui expriment les équations de l'émetteur et du collecteur en fonction de V_{BE} et V_{BC} :

$$\begin{aligned} I_E &= -I_{ES} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] + \alpha_R I_{CS} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \\ \text{et} \\ I_C &= \alpha_F I_{ES} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] - I_{CS} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \end{aligned} \quad \text{II. 27}$$

ou encore sous la forme matricielle :

$$\begin{bmatrix} I_E \\ I_C \end{bmatrix} = \begin{bmatrix} -I_{ES} & \alpha_R I_{CS} \\ \alpha_F I_{ES} & -I_{CS} \end{bmatrix} \begin{bmatrix} \exp(qV_{BE}/kT) - 1 \\ \exp(qV_{BC}/kT) - 1 \end{bmatrix} \quad \text{II. 28}$$

Dans le cas d'un transistor pnp, les équations d'Ebers et Moll prennent la forme suivante :

$$\begin{bmatrix} I_E \\ I_C \end{bmatrix} = \begin{bmatrix} I_{ES} & -\alpha_R I_{CS} \\ -\alpha_F I_{ES} & I_{CS} \end{bmatrix} \begin{bmatrix} \exp(qV_{BE}/kT) - 1 \\ \exp(qV_{BC}/kT) - 1 \end{bmatrix} \quad \text{II. 29}$$

Les équations d'Ebers et Moll décrivent les courants d'émetteur et de collecteur dans le transistor. Par la loi de Kirchhoff $I_E + I_B + I_C = 0$, on obtient le courant de base. Ces équations contiennent quatre paramètres (α_F , α_R , I_{ES} et I_{CS}). Ces quatre paramètres ne sont pas

indépendants, et n'importe lequel d'entre eux peut être obtenu à partir des trois autres au moyen de la relation de réciprocité :

$$\alpha_F I_{ES} = \alpha_R I_{CS} = \frac{AqD_{nB}n_{oB}}{L_{nB} \sinh\left(\frac{W_B}{L_{nB}}\right)} \quad \text{II. 30}$$

On peut également définir deux diodes, l'une étant passante en régime actif, et dont le courant est donné par :

$$I'_F = I_{ES} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] \quad \text{II. 31}$$

et l'autre, bloquée en régime actif, dont le courant est donné par :

$$I'_R = I_{CS} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \quad \text{II. 32}$$

Ceci permet d'écrire :

$$I_E = -I'_F + \alpha_R I'_R \quad \text{et} \quad I_C = -I'_R + \alpha_F I'_F \quad \text{II. 33}$$

et de tracer le circuit équivalent du transistor donné sur la figure II.8.

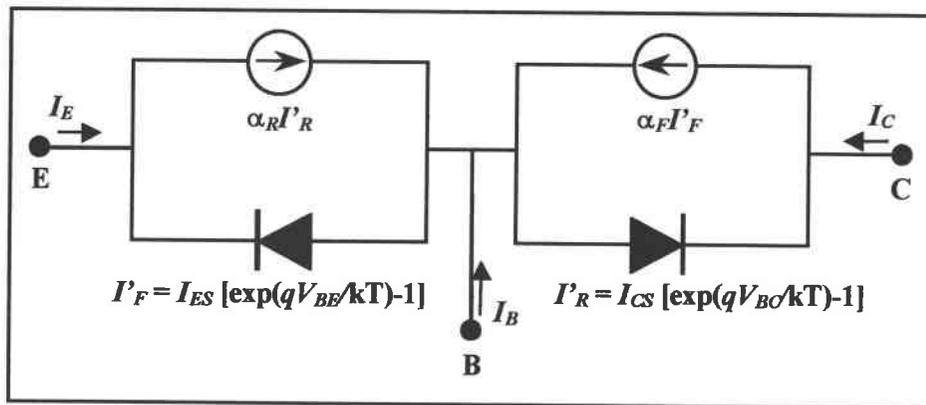


Figure II. 8 : Circuit équivalent du modèle d'Ebers et Moll du transistor npn.

Les paramètres I'_F et I'_R , ne sont pas directement mesurables. Pour ce faire, on notera I_{CO} le courant de saturation circulant dans le collecteur lorsque la jonction de collecteur est polarisée

en inverse, en montage à base commune, et l'émetteur ouvert ($I_E = 0$). Les équations d'Ebers et Moll permettant d'exprimer ce courant en fonction du courant de saturation de la jonction de collecteur :

$$\begin{bmatrix} 0 \\ I_{CO} \end{bmatrix} = \begin{bmatrix} -I_{ES} & \alpha_R I_{CS} \\ \alpha_F I_{ES} & -I_{CS} \end{bmatrix} \begin{bmatrix} \exp(qV_{BE}/kT) - 1 \\ -1 \end{bmatrix}$$

d'où l'on tire

$$\begin{cases} I_{ES} [\exp(qV_{BE}/kT) - 1] = -\alpha_R I_{CS} \\ \text{et} \\ I_{CO} = \alpha_F I_{ES} [\exp(qV_{BE}/kT) - 1] + I_{CS} \end{cases}$$

$$\Rightarrow I_{CO} = -\alpha_F \alpha_R I_{CS} + I_{CS} = (1 - \alpha_F \alpha_R) I_{CS} \quad \text{II. 34}$$

De façon similaire, on notera I_{EO} le courant de saturation circulant dans l'émetteur lorsque la jonction d'émetteur est polarisée en inverse, en montage à base commune, et le collecteur ouvert ($I_C = 0$). On obtient donc :

$$\begin{bmatrix} I_{EO} \\ 0 \end{bmatrix} = \begin{bmatrix} -I_{ES} & \alpha_R I_{CS} \\ \alpha_F I_{ES} & -I_{CS} \end{bmatrix} \begin{bmatrix} -1 \\ \exp(qV_{BC}/kT) - 1 \end{bmatrix}$$

d'où l'on tire

$$\begin{cases} I_{EO} = I_{ES} + \alpha_R I_{CS} [\exp(qV_{BC}/kT) - 1] \\ \text{et} \\ \alpha_F I_{ES} = -I_{CS} [\exp(qV_{BC}/kT) - 1] \end{cases}$$

$$\Rightarrow I_{EO} = -\alpha_F \alpha_R I_{ES} + I_{ES} = (1 - \alpha_F \alpha_R) I_{ES} \quad \text{II. 35}$$

On remarquera que I_{EO} et I_{CO} sont également reliés par une relation de réciprocité analogue à II.31. En effet, on a :

$$\frac{I_{EO}}{I_{CO}} = \frac{I_{ES}}{I_{CS}} \Rightarrow \alpha_F I_{EO} = \alpha_R I_{CO} \quad \text{II. 36}$$

Les équations d'Ebers et Moll peuvent donc être écrites sous la forme :

$$\begin{bmatrix} I_E \\ I_C \end{bmatrix} = \frac{I}{1 - \alpha_F \alpha_R} \begin{bmatrix} -I_{EO} & \alpha_R I_{CO} \\ \alpha_F I_{EO} & -I_{CO} \end{bmatrix} \begin{bmatrix} \exp(qV_{BE}/kT) - 1 \\ \exp(qV_{BC}/kT) - 1 \end{bmatrix} \quad \text{II. 37}$$

Ceci donne, d'une part, en mettant l'expression I_C dans I_E et en tenant compte de I_E dans I_C :

$$\begin{cases} I_E = -\alpha_R I_C - I_{EO} [\exp(qV_{BE}/kT) - 1] \\ I_C = -\alpha_F I_E - I_{EO} [\exp(qV_{BC}/kT) - 1] \end{cases} \quad \text{II. 38}$$

La relation II.39 met en évidence que les courants d'émetteur et de collecteur comportent chacun deux composantes : un courant de fuite de la jonction d'émetteur pour I_E et de collecteur pour I_C , et un courant imposé par une source de courant $-\alpha_R I_C$ ou $-\alpha_F I_E$. Il est important de noter que tous ces courants sont mesurables.

II.2.2 Effet Early

Lors de l'établissement du modèle d'Ebers et Moll, on a postulé que la largeur de la région neutre de base, W_B était constante. Selon les modèles développés jusqu'à présent, le courant de collecteur ne varie pas avec la tension de collecteur (Figure II.9), pour peu que la jonction base-collecteur soit polarisée en inverse. Le transistor bipolaire serait donc une source de courant parfaite à impédance de sortie infinie. En réalité, cette largeur de la région neutre de base W_B est déterminée par les frontières des zones de charge d'espace des jonctions émetteur-base (EB) et base-collecteur (BC) ; elle dépend ainsi des tensions appliquées à ces jonctions. Cet effet a été décrit par J.M. Early [SZE. 85]. On appelle effet Early l'influence sur le courant de collecteur, de la modulation de la largeur de la base par la tension V_{BC} appliquée à la jonction base-collecteur.

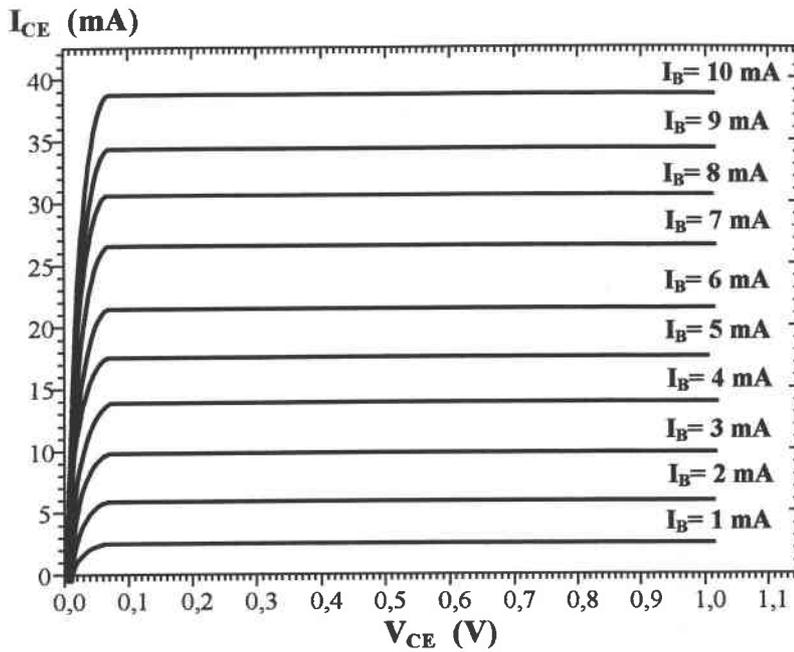


Figure II. 9 : Courbes de sortie du transistor (émetteur commun) en l'absence d'effet Early.

L'effet Early peut être déduit à partir de l'expression du courant (en régime actif) :

$$I_C = \frac{AqD_{nb}n_i^2 \left[\exp\left(\frac{qV_{BC}}{kT}\right) - \exp\left(\frac{qV_{BE}}{kT}\right) \right]}{\int_0^{W_B} p dx} \cong \frac{AqD_{nb}n_i^2 \exp\left(\frac{qV_{BE}}{kT}\right)}{\int_0^{W_B} p dx} \quad \text{II. 39}$$

Les variations de courant de collecteur résultant des variations de largeur de base induites par V_{CB} peuvent donc être exprimées sous la forme suivante :

$$\frac{\partial I_C}{\partial V_{CB}} = - \frac{AqD_{nb}n_i^2 \exp\left(\frac{qV_{BE}}{kT}\right)}{\left[\int_0^{W_B} p dx \right]^2} p(W_B) \frac{\partial W_B}{\partial V_{CB}} = \frac{I_C p(W_B)}{\int_0^{W_B} p dx} \frac{\partial W_B}{\partial V_{CB}} \quad \text{II. 40}$$

ou encore, en définissant la tension d'Early V_A (qui est négative) :

$$V_A = \frac{\int_0^{W_B} p dx}{p(W_B) \frac{\partial W_B}{\partial V_{CB}}} \quad \text{II. 41}$$

on obtient :

$$\frac{\partial I_C}{\partial V_{CB}} = -\frac{I_C}{V_A} \quad \text{II. 42}$$

On notera que

$$\begin{cases} \int_0^{W_B} p dx = G_B = \frac{Q_{pB}}{q} \\ p(W_B) \frac{\partial W_B}{\partial V_{CB}} = \frac{\partial G_B}{\partial V_{CB}} = \frac{1}{q} \frac{\partial Q_{pB}}{\partial V_{CB}} \end{cases} \quad \text{II. 43}$$

G_B , nombre de Gummel de la base (cm^{-2}), par définition, est la quantité d'impuretés dopantes intégrée dans la base. Q_{pB} étant la charge totale des majoritaires par unité de surface dans la base (C cm^{-2}). La dérivée de Q_{pB} par rapport V_{CB} peut être liée à la capacité de petits signaux C_{jc} :

$$\left| \frac{\partial Q_{pB}}{\partial V_{CB}} \right| = C_{jc} \quad \text{II. 44}$$

La tension d'Early peut donc être écrite sous la forme :

$$|V_A| = \frac{Q_{pB}}{C_{jc}} \quad \text{II. 45}$$

En général, G_B varie peu en fonction de V_{CB} . Il en résulte que la tension d'Early peut être considérée comme une constante. En pratique, la conduction de sortie $\frac{\partial I_C}{\partial V_{CB}}$ est déterminée à

$V_{CB} = 0$, c'est-à-dire à $V_{CE} = 0,7 \text{ V}$ ($V_{CE} \approx V_{CB} + 0,7 \text{ V}$) [MUL.K 86]. En notant que

$\frac{\partial I_C}{\partial V_{CB}} = \frac{\partial I_C}{\partial V_{CE}}$ en régime actif puisque V_{BE} est constant, les équations des courbes $I_C(V_{CE})$

sont données par :

$$\begin{aligned} I_C(V_{CE}) &= I_C(V_{CE} = 0,7V) + \frac{\partial I_C}{\partial V_{CB}}(V_{CE} = 0,7V) \\ &= I_C(V_{CE} = 0,7V) - \frac{I_C(V_{CE} - 0,7V)}{V_A}(V_{CE} - 0,7V) \end{aligned}$$

Toutes ces courbes intersectent l'axe des abscisses ($I_C = 0$) en un même point, c'est-à-dire en $V_{CE} = V_A$. La tension d'Early est déterminée graphiquement à partir des courbes $I_C(V_{CE})$ d'un transistor (Figure II.10).

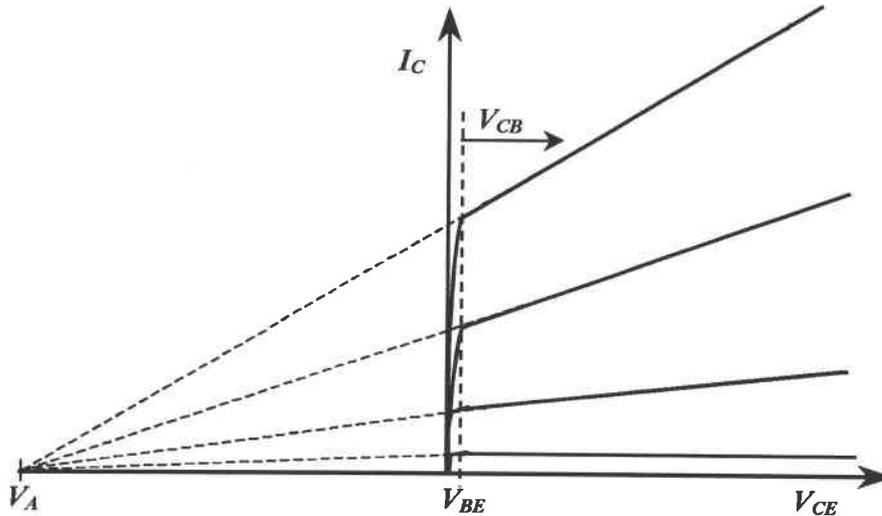


Figure II.10 : Courbes $I_C(V_{CE})$ en tenant compte de l'effet d'Early.

On remarque que la réduction de la largeur de base sous l'effet de l'accroissement de la tension V_{CB} donne lieu à une augmentation du courant de collecteur. Le courant AJ_n injecté de l'émetteur vers le collecteur était proportionnel au gradient de porteurs minoritaires dans la base. Comme la quantité d'électrons dépend exclusivement de V_{BE} , qui ne dépend pas de la tension de collecteur, et que $n(W_B) = 0$, le gradient de porteurs dans la base dn/dx augmente nécessairement lorsque la largeur de base diminue par exemple de W_{B1} à W_{B2} (Figure II.11).

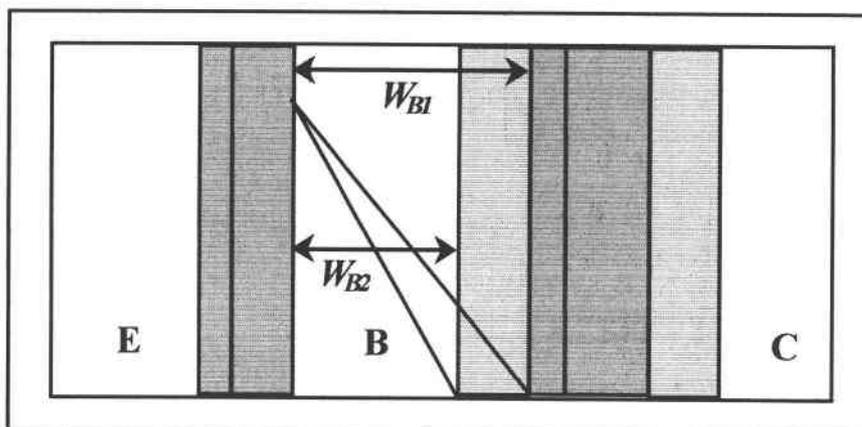


Figure II.11 : Concentration en minoritaires dans la base en tenant compte de l'effet Early.

Lorsque l'effet Early est poussé à l'extrême (pour de fortes tensions de collecteur), la base neutre disparaît et les zones de charge d'espace des jonctions d'émetteur et de collecteur se rencontrent. On entre alors en régime de percement (*punch-through*) dans lequel le transistor n'est plus contrôlé par le courant de base, et un courant important est injecté de l'émetteur dans le collecteur. Le percement ne se produit que dans des transistors à base très mince.

II.2.3 Le gain de courant en régime statique

Dans les montages classiques ordinaires à transistors, la grandeur de sortie (grandeur à commander) est constituée soit par le courant de collecteur, soit par le courant d'émetteur, et la grandeur d'entrée (grandeur de commande) soit par le courant de base, soit par le courant d'émetteur. Le rapport entre le courant d'entrée et le courant de sortie est caractérisé par le coefficient d'amplification ou le gain en courant.

a) Gain en courant d'émetteur (gain en émetteur commun)

Dire que plus de 95% des électrons injectés atteignent le collecteur revient à dire que le courant collecteur égale presque le courant émetteur. Le gain en base commune en continu ou en régime statique d'un transistor indique la proximité des valeurs de ces deux courants. Par définition, $\alpha_{cc} = \alpha = -I_C/I_E$.

Plus la base est étroite et légèrement dopée, plus α_{cc} est grand. Idéalement, si tous les électrons injectés passent au collecteur, $\alpha_{cc} = 1$. De nombreux transistors ont un rapport α_{cc} supérieur à 0,99 et presque tous ont un rapport α_{cc} supérieur à 0,95. C'est pourquoi on approxime α_{cc} par 1 dans la plupart des analyses.

b) Gain en courant de base (gain en base commune)

Le rapport α_{cc} lie le courant collecteur au courant émetteur. Le gain en émetteur commun en courant continu ou régime statique β_{cc} lie le courant collecteur au courant base d'un

transistor. Par définition, $\beta_{cc} = \beta = I_C/I_B$. Moins de 5% des électrons injectés par l'émetteur de presque tous les transistors se recombinent avec les trous de la base pour produire I_B . Par conséquent, β_{cc} est presque toujours plus grand que 20 [COL.W 96]. Habituellement, il est compris entre 50 et 300. Quelques transistors ont un gain β_{cc} de 1000. Comme le gain en courant β_{cc} est relativement élevé, on pourrait croire que le courant de base est négligeable par rapport au courant de collecteur, et que, par conséquent la présence d'une résistance de base a peu d'influence sur les caractéristiques du transistor. Il n'en est rien, car la moindre chute de potentiel dans la base, entre le contact de base et la jonction E-B, a des conséquences importantes sur le courant circulant dans le transistor, à cause de la dépendance exponentielle du courant injecté par l'émetteur dans la base par rapport à V_{BE} .

c) Relation entre α_{cc} et β_{cc}

Selon la loi des courants de Kirchhoff : $I_E = -(I_C + I_B)$. Donc, le courant émetteur égale la somme du courant collecteur et du base. Le courant d'émetteur est le plus grand des trois courants. Le courant collecteur lui est presque égal et le courant de base est nettement plus petit. En divisant l'expression I_E par I_C , on obtient :

$$\frac{I_E}{I_C} = -\frac{I}{\alpha_{cc}} = -1 - \frac{I_B}{I_C} \Leftrightarrow \frac{I}{\alpha_{cc}} = 1 + \frac{I}{\beta_{cc}} \Rightarrow \beta_{cc} = \frac{\alpha_{cc}}{1 - \alpha_{cc}} \quad \text{II. 46}$$

Il faut parfois exprimer α_{cc} en fonction de β_{cc} . On tire de l'équation II.47 :

$$\alpha_{cc} = \frac{\beta_{cc}}{\beta_{cc} + 1} \quad \text{II. 47}$$

II.3 EFFET DE L'IRRADIATION IONISANTE SUR LES TRANSISTORS BIPOLAIRES

Les transistors bipolaires sont des amplificateurs de courant et leur paramètre électrique le plus sensible est le gain en courant. Les dégâts provoqués dans les transistors bipolaires par

irradiation ionisante sont en général moins importants que ceux dans des transistors MOS. Les oxydes dans les dispositifs bipolaires servent seulement comme des couches de passivation, si bien que les propriétés correspondantes de surface sont habituellement moins importantes comparées à leurs propriétés électriques.

A faible niveau de dose, le courant de base augmente à cause de la recombinaison induite dans la zone de charge d'espace et/ou dans la base. A forte niveau de dose, d'autres paramètres caractéristiques du transistor bipolaire sont affectés. On cite, à titre exemple, la tension de saturation collecteur-émetteur (V_{CESat}) et la tension de claquage base-collecteur (V_{CBO}) [BAR.V 89].

En général, la réponse des transistors bipolaires à l'irradiation sont compliquée et dépend [BAR.V 89][MES.A 86] :

- de la dose
- du type du composant
- des conditions de polarisation pendant l'irradiation et le mesure
- du procédé de fabrication

Dans notre étude on va s'intéresser au gain en courant puisqu'il est le paramètre le plus sensible et le plus représentatif du transistor bipolaire.

II.4 SYNTHÈSE

Ce chapitre avait pour objectif de rappeler le fonctionnement d'une jonction pn et d'étudier la jonction bipolaire dans les transistors MOS submicroniques, ainsi que de donner une brève description concernant les effets d'irradiation ionisante sur les transistors bipolaires. Les différentes méthodes proposées pour caractériser les jonctions seront utilisées pour extraire les différents paramètres des structures étudiées. Ces paramètres feront l'objet d'un suivi en vue de quantifier aussi bien les effets liés à la réduction des dimensions que ceux liés à la dégradation suite à une irradiation.

CHAPITRE III :

ETUDE AVANT

IRRADIATION

IONISANTE

III.1. INTRODUCTION

Ce chapitre porte sur l'étude du fonctionnement des transistors à structure MOS avant irradiation. Elle a pour objet de présenter les composants submicroniques étudiés, les effets de faibles dimensions et de dégradations dues aux réductions de dimension. Ces composants sont issus de la technologie $0,6\mu\text{m}$ de MATRA-MHS-TEMIC. Nous décrivons également ici les différentes techniques de mesure et d'extraction des paramètres développées pour rendre compte du fonctionnement des composants. Cette étude repose sur la détermination des paramètres électriques tels que la tension de seuil, la mobilité, la résistance, le coefficient de dégradation et le courant de saturation inverse dû à la diffusion et celui dû à la recombinaison.

III.2. DESCRIPTION DES COMPOSANTS ETUDIÉS

Les composants étudiés sont des transistors nLDD-MOSFETs submicroniques (figure II.1) (nLDD-MOSFETs : MOSFETs de type n légèrement dopés du côté drain) d'épaisseur d'oxyde mesurée de $t_{\text{ox}}=14\text{nm}$, issus de la technologie SCMOS 2/RT $0,6\mu\text{m}$ de MATRA-MHS-TEMIC. Dans la structure nLDD-MOSFET, la source et le drain présentent une région plus faiblement dopée au voisinage du canal actif dans le but de réduire les effets de saturation de la vitesse des porteurs (par diminution du champ électrique longitudinal) et les phénomènes liés à l'injection des porteurs chauds (impact, ionisation, injection de porteurs dans la grille...) (c.f chapitre I). Par contre, cette technologie engendre une augmentation de la complexité de fabrication des composants et une augmentation de la résistance d'accès des transistors [NEA. 94]. La grandeur du champ électrique à l'interface oxyde-semiconducteur dans la structure LDD-MOSFET est inférieure à celle d'une structure conventionnelle.

L'implantation des caissons source/drain n^+ a été réalisée en Arsenic la concentration est l'ordre de $N_D=2,1\times 10^{20}\text{cm}^{-3}$ et la profondeur de jonction r_j sera prise $0,23\mu\text{m}$. La concentration pour le substrat (de type p) est $N_A=1,5\times 10^{17}\text{cm}^{-3}$. L'hypothèse utilisée repose

sur le fait que les composants étudiés étant fabriqués selon le même procédé technologique, ils possèdent les mêmes valeurs de résistance d'accès R_{SD} , de réduction de longueur du canal ΔL , de réduction de largeur de grille ΔW .

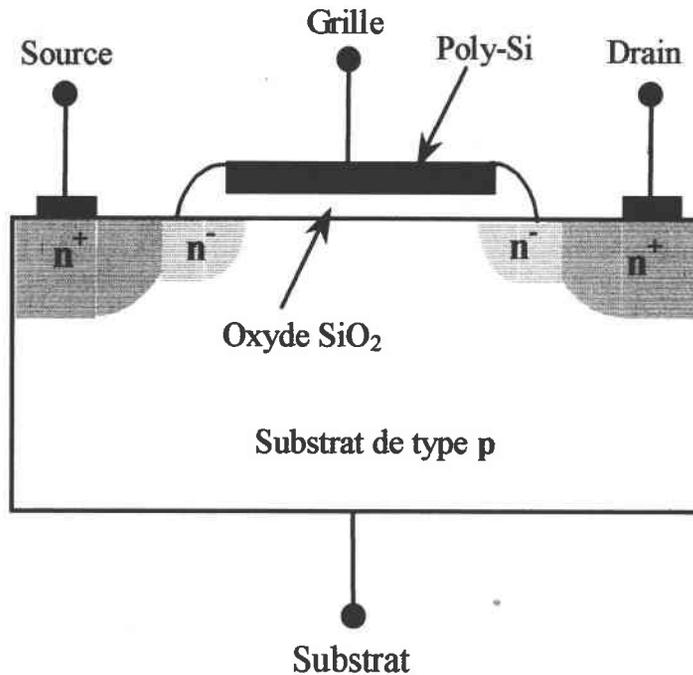


Figure III.1: Structure d'un transistor LDD-MOS à canal n

Les transistors sont contenus dans des véhicules de test montés dans des boîtiers DIL 28 broches (figure II.2). Chaque boîtier comprend vingt trois transistors de dimensions différentes ayant des largeurs de grille W de 0,4 à 25 μm et des longueurs de canal L variant entre 0,4 et 25 μm (tableau III.1), l'épaisseur de l'oxyde (14 nm) étant la même dans tous les transistors. Tous les MOSFETs d'une même puce ont leur source, leur substrat et leur grille en commun. Seul leur drain est connecté indépendamment correspondant à des dimensions (W et L) différentes de transistors. Les transistors sont en parallèles entre eux. Les échantillons n'ont pas de protections contre les décharges électrostatiques, et par conséquent il convient de les manipuler avec le plus grand soin utilisant le bracelet électrostatique en cours de manipulation.

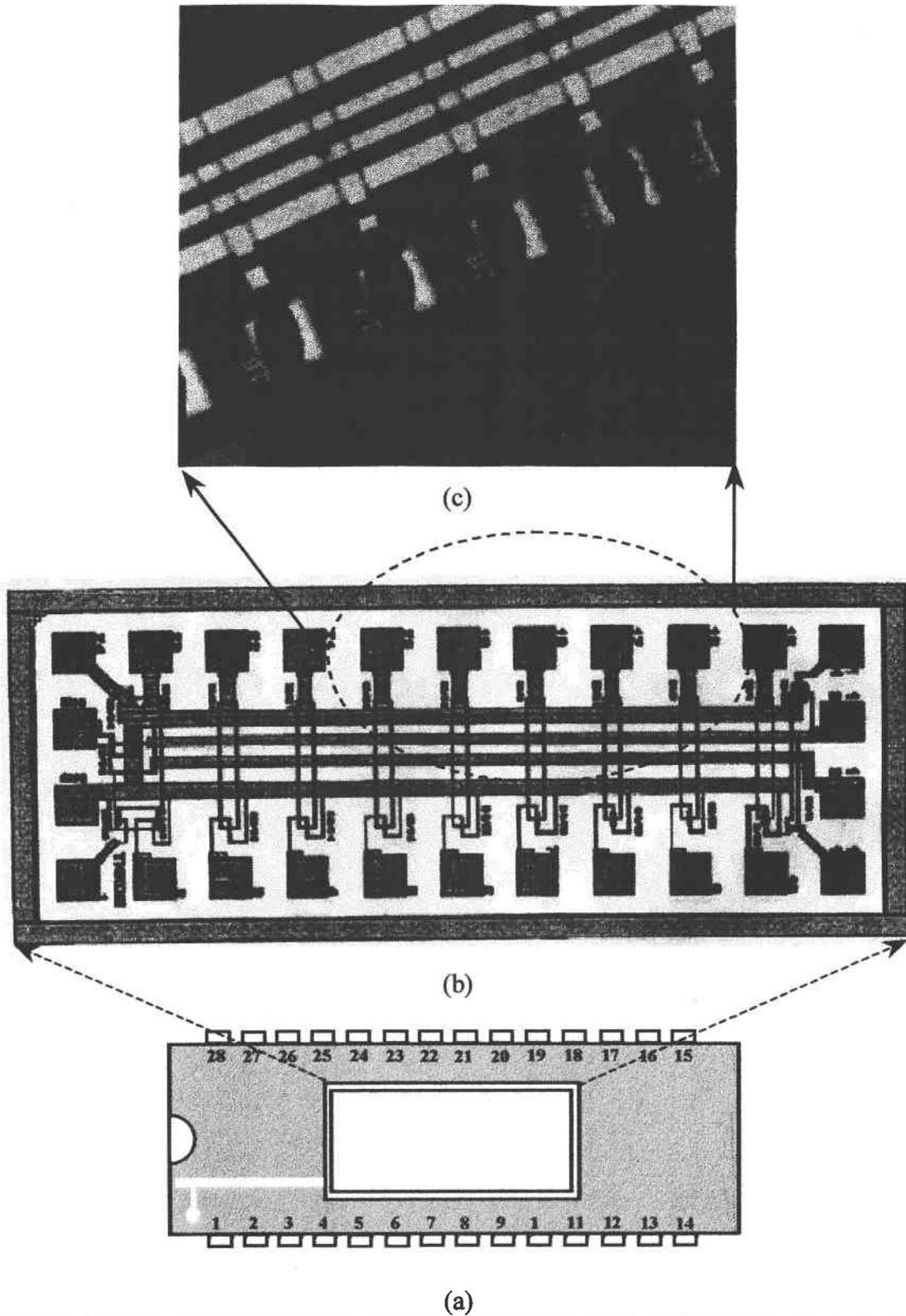


Figure III. 2: (a) Boîtier de transistors avec 28 pattes de chaque côté (b) le cœur du boîtier et (c) l'agrandissement de l'intérieur du cœur du boîtier

III.3. ETUDE SUR LES MOSFETs

Le comportement électrique du transistor MOSFET est décrit par la connaissance de ses paramètres caractéristiques. Ces paramètres peuvent être classés en deux catégories :

- les **paramètres physiques** ou paramètres de conception du composant, liés à sa structure physique et son procédé de fabrication (niveaux de dopage, longueur et largeur du canal,...).
- les **paramètres électriques**, découlant des caractéristiques électriques du transistor (tension de seuil V_{th} , mobilité à faible champ μ_0 , etc). Ces paramètres dépendent de certains paramètres physiques de conception.

III.3.1 Méthodologie de test

La caractérisation des capacités MOS est effectuée à partir d'un pont d'impédance HP 4280A fonctionnant à 1 MHz, piloté par un ordinateur via un bus IEEE. Notre étude s'est limitée à l'analyse classique du comportement haute fréquence (1 MHz) et à la température ambiante (300 K) de la structure MOS. Cette analyse est basée sur la comparaison des caractéristiques expérimentales et théoriques C-V à haute fréquence.

La caractérisation I-V des transistors est effectuée à partir d'un ensemble du système de mesure, constitué essentiellement de :

- une SMU (Source Measurement Unit) Keithley 236 pouvant fonctionner soit en mode source de tension continue (10^{-4} – 110 V) comprenant un voltmètre PPS (Programmable Power Supply) et un ampèremètre, soit en mode source de courant continu (10^{-13} – 10^{-1} A). Les commandes de tension, courant, ampèremètre et voltmètre étant programmables à distance.
- une alimentation ASF 400 stabilisée en mode tension continué de 0 à 36 V. les

commandes de tension sont programmables à distance par une tension analogique de 0 à 10 V pour chaque mode.

- l'échantillon est monté sur un support à force d'insertion nulle DIL 40 broches enfermé dans un boîtier métallique afin de minimiser les effets parasites.
- un ordinateur muni d'un port IEEE connecté à l'ensemble des appareils de mesure. Il permet la sauvegarde et le traitement des données.

III.3.2 Méthodes d'extraction des paramètres de conduction

III.3.2.1 Capacité de MOS – Détermination du dopage du substrat

Il est possible de déterminer la valeur du niveau de dopage du substrat près de la surface. En régime de déplétion, la capacité de la structure MOS correspond à la mise en série de la capacité d'oxyde C_{ox} avec la capacité C_{SC} due à la zone de charge d'espace dans le semiconducteur. Dans ce cas, la capacité de la structure MOS se met sous la forme :

$$C = \frac{C_{ox}}{\sqrt{1 + 2 \frac{C_{ox}^2}{q\epsilon_{Si} N_{Sub}} V_G}} \quad \text{III.1}$$

A partir de cette relation, on obtient :

$$\left(\frac{C_{ox}}{C} \right)^2 = 1 + 2 \frac{C_{ox}^2}{q\epsilon_{Si} N_{Sub}} V_G \quad \text{III.2}$$

Par la pente de la courbe $\left(\frac{C_{ox}}{C} \right)^2 = f(V_G)$ (Figure III.3) on peut déduire le dopage du substrat N_{Sub} . Puisque, pour nos composants, il n'y a que les drains qui sont accessibles individuellement correspondant aux dimensions (W et L) des différents transistors, on mesure

donc la capacité de tous les transistors contenus dans un véhicule de test monté dans un boîtier DIL 28 broches. La concentration pour le substrat mesurée est $2,15 \times 10^{17}$ at/cm³ ($1,5 \times 10^{17}$ at/cm³, valeur estimée par le constructeur).

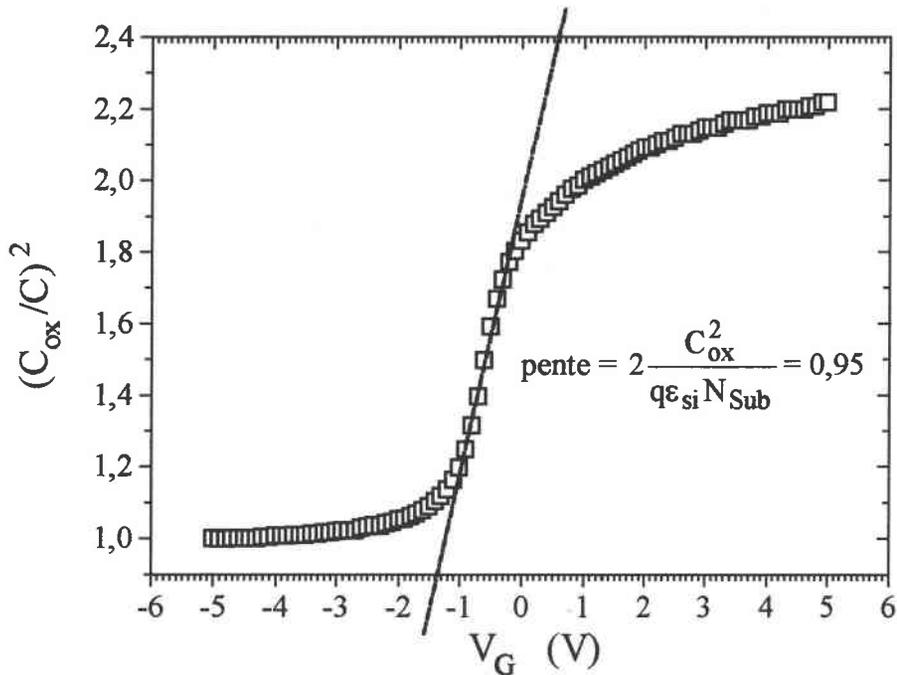


Figure III.3 : Courbe de détermination du dopage.

III.3.2.2 Extraction des paramètres électriques

Différentes méthodes d'extraction des paramètres électriques des MOSFETs submicroniques ont été proposées dans la littérature [HAD. 96][HAO.CCG. 85][LAK. 81][AKE.S 82][MER. 80]. Ces méthodes sont basées sur l'hypothèse que la tension de seuil peut être obtenue par extrapolation sur l'axe des tensions de la partie linéaire de la caractéristique de transfert $I_{DS}(V_{GS})$ à faible polarisation de drain ($V_{DS} \leq 100$ mV). Ce qui revient à supposer que la mobilité effective des porteurs puisse être considérée comme indépendante de la tension de grille.

Nous présentons ici une méthode de détermination des paramètres de conduction des transistors ayant des longueurs du canal L et des largeurs de grille W différentes [HAD. 96][HAO.CCG. 85]. Nous supposons que nos composants, étant fabriqués selon les mêmes procédés technologiques, possèdent les mêmes valeurs de résistance d'accès R_{SD} et de réduction technologique de longueur du canal ΔL et de largeur de grille ΔW .

a) Equations du modèle.

En forte inversion ($V_{GS} > V_{th}$) et en régime linéaire ou en régime ohmique ($V_{GS} - V_{th} \gg V_{DS}$), l'expression du courant de drain, en tenant compte de la résistance d'accès source-drain, est donnée par:

$$I_{DS} = \frac{W_{eff}}{L_{eff}} \mu_{eff} C_{ox} (V_{GS} - R_S I_{DS} - V_{th}) (V_{DS} - R_{SD} I_{DS}) \quad \text{III.3}$$

où $L_{eff} = L - \Delta L$: longueur effective du canal

$W_{eff} = W - \Delta W$: largeur effective de la grille.

$C_{ox} = \frac{\epsilon_0}{t_{ox}}$: capacité d'oxyde ou d'isolant de grille.

L : longueur masque de la grille.

W : largeur de la grille.

$R_{SD} = R_S + R_D$: résistance d'accès totale de source et de drain.

Pour $V_{DS} = 0,05V$, le quotient $\frac{I_{DS} R_{SD}}{V_{DS}}$ peut être changé de 4% pour $L_{eff} = 3\mu m$ à 30% pour

$L_{eff} = 0,3\mu m$ [HAO.CCG. 85]. Donc la correction pour la résistance en série est très importante dans les MOSFETs submicroniques.

Dans l'expression de la mobilité dans le cas de transistors à structure LDD, on néglige l'influence du champ électrique longitudinal du fait de l'existence d'une double diffusion latérale et d'autant plus que nous travaillons à faible polarisation de drain. La mobilité effective causée par la tension de grille dans le régime d'inversion forte est décrite par:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta (V_{GS} - R_S I_{DS} - V_{th})} \quad \text{III.4}$$

où μ_0 est la mobilité à faible champ ou mobilité maximale au potentiel de seuil V_{th} , et θ (coefficient d'atténuation de la mobilité) est le paramètre qui tient compte de la dégradation de la mobilité en fonction du champ électrique transversal. θ ne varie pas avec la tension de grille mais il peut varier avec la longueur du canal pour les MOSFETs submicroniques. En

combinant les équations III.3 et III.4, nous obtenons une nouvelle expression du courant de drain :

$$I_{DS} = \frac{KV_{DS}(V_{GS} - V_{th})}{[1 + (\theta + KR_{SD})(V_{GS} - V_{th})]} \quad \text{III.5}$$

$$\text{où } \begin{cases} K = \frac{\mu_o C_{ox} (W - \Delta W)}{L} & \text{si } L \text{ est fixé} \\ \frac{1}{K} = \frac{L - \Delta L}{\mu_o C_{ox} W} & \text{si } W \text{ est fixé} \end{cases} \quad \text{III.6}$$

K: paramètre de transconductance

La transconductance $g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}}$ a pour expression :

$$g_m = \frac{KV_{DS}}{[1 + (\theta + KR_{SD})(V_{GS} - V_{th})]^2} \quad \text{III.7}$$

D'autre part, la résistance d'accès du transistor peut être obtenue en écrivant que la résistance totale mesurée R_{tot} à faible polarisation de drain est la somme de la résistance d'accès R_{SD} et de la résistance effective du canal R_{ch} :

$$R_{tot} = R_{SD} + R_{ch} \quad \text{III.8}$$

$$\text{avec } R_{ch} = \frac{L_{eff}}{[\mu_{eff} C_{ox} W (V_{GS} - V_{th})]} \quad \text{III.9}$$

R_{tot} peut aussi s'exprimer sous la forme (en combinant les équations III.8 et III.9) :

$$R_{\text{tot}} = A + \left(\frac{\alpha}{W}\right)L \quad \text{III.10}$$

$$\text{avec } A = R_{\text{SD}} - \left(\frac{\alpha}{W}\right)\Delta L \quad \text{III.11}$$

$$\text{et } \alpha = \frac{1}{\mu_{\text{eff}} C_{\text{ox}} (V_{\text{GS}} - V_{\text{th}})} \quad \text{III.12}$$

b) Détermination de V_{th} , de ΔL et de ΔW

La tension de seuil est déterminée à partir de la fonction donnée par [HAD. 96][HAO.CCG. 85] pour de faibles valeurs de V_{DS} (50mV) :

$$F(V_{\text{GS}}) = \frac{I_{\text{DS}}}{\sqrt{g_m}} = \sqrt{KV_{\text{DS}}} (V_{\text{GS}} - V_{\text{th}}) \quad \text{III.13}$$

à partir des données expérimentales.

Cette fonction étant linéaire en V_{GS} , la tension de seuil V_{th} sera obtenue par intersection avec l'axe des tensions de l'extrapolation avec la zone linéaire. La figure III.4 montre la fonction $F(V_{\text{GS}})$ à partir de laquelle ont été évaluées les tensions de seuil du transistor $W/L=25/0,4\mu\text{m}$.

Ainsi, nous déterminons V_{th} à partir de $-(a/b)$. Notons ici que la pente de cette caractéristique est liée au coefficient $a = \sqrt{KV_{\text{DS}}}$. On en déduit la valeur K . La mobilité à faible champ μ_0 pourra être obtenue après la détermination de ΔL et de ΔW . La caractéristique de transfert de chaque transistor a été réalisée selon le montage expérimental présenté sur la figure III.5. Lors de chaque mesure, la tension de drain est maintenue constante égale à 50 mV.

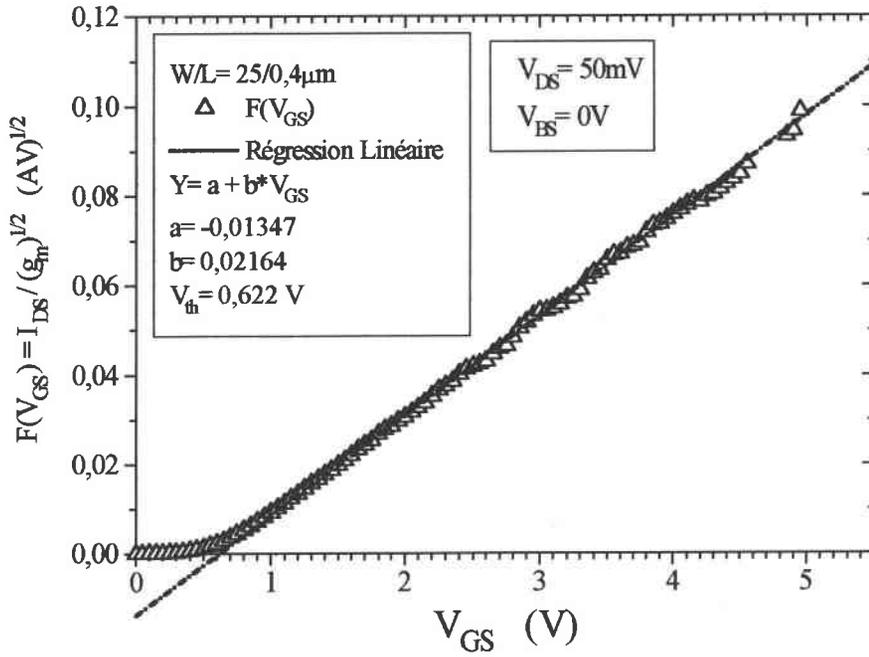


Figure III. 4 : Tracé de la courbe $F(V_{GS})$ en vue de la détermination de la tension de seuil V_{th} .

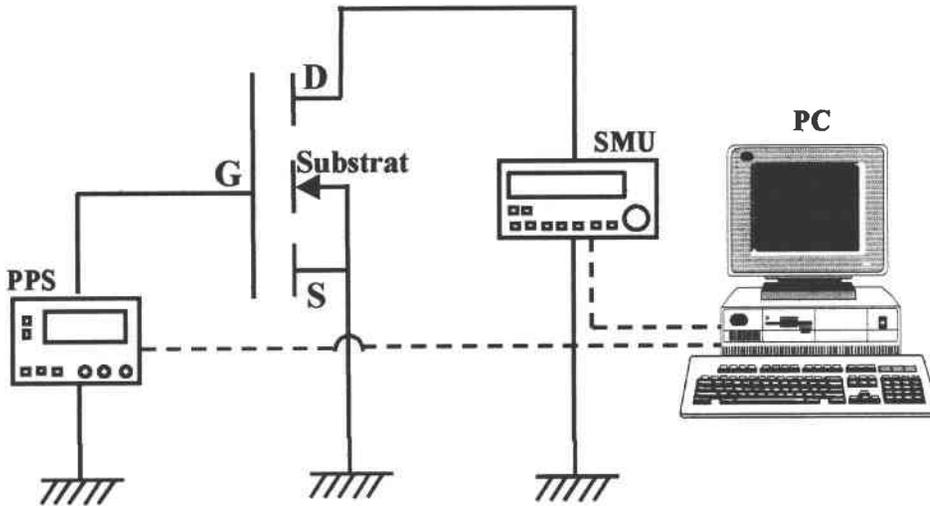
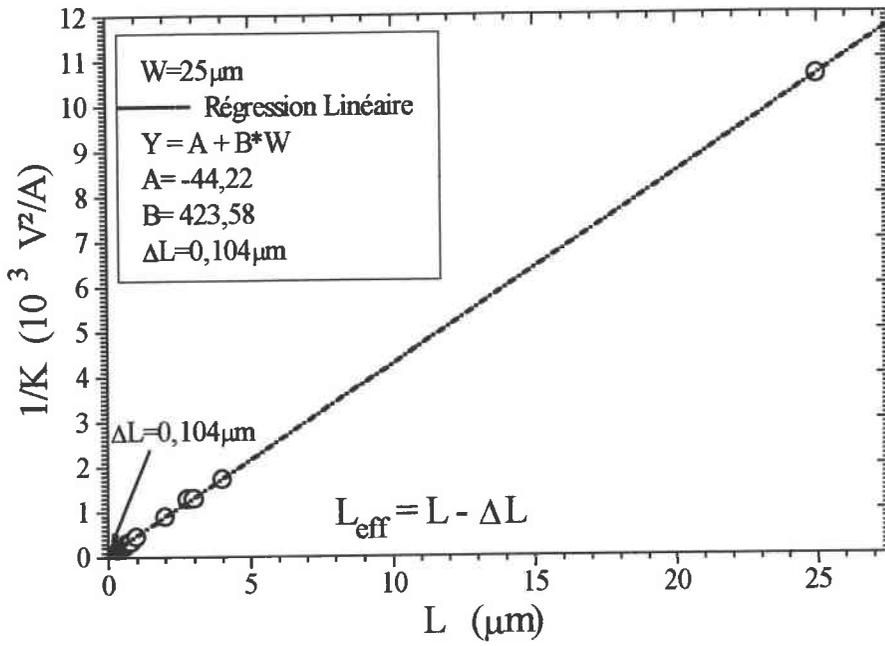
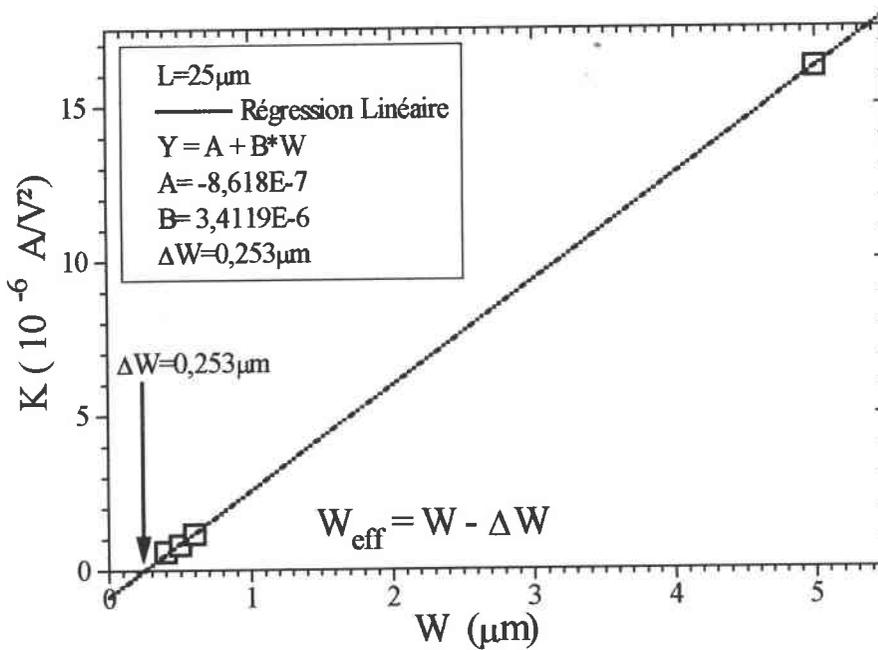


Figure III.5 : Montage expérimental déterminant le courant drain-source I_{DS} en fonction de la tension de grille V_{GS} ou de la tension de drain V_{DS} .

D'après l'équation III.6, en traçant $1/K=f(L)$, on obtient une droite. La valeur de ΔL est obtenue en extrapolant cette droite à $1/K=0$ et, de la pente, on déduit la valeur μ_o (figure III.6a). Avec une échelle de transistors de longueur de canal L importante (et constante) et de largeur W variable, on obtient ΔW en traçant K en fonction de W (figure III.6b).



III.6a



III.6b

Figure III.6 : Tracé de la courbe $(1/K)$ et K en vue de la détermination ΔL et ΔW .

c) Détermination de R_{SD}

Cette détermination est basée sur l'exploitation des caractéristiques $I_{DS}=f(V_{DS})$, mesurées dans les conditions de forte inversion ($V_{GS}>V_{th}$) en gardant $(V_{GS}-V_{th})$ constant pour les transistors. Ainsi les coefficients A et α pourraient être considérés comme constants pour chaque valeur

de $(V_{GS}-V_{th})$. Les mesures sont effectuées pour trois valeurs de tension $(V_{GS}-V_{th})$ (figures III.7a et III.7b). Les résistances mesurées R_{tot} sont déterminées dans la zone de fonctionnement ohmique du transistor.

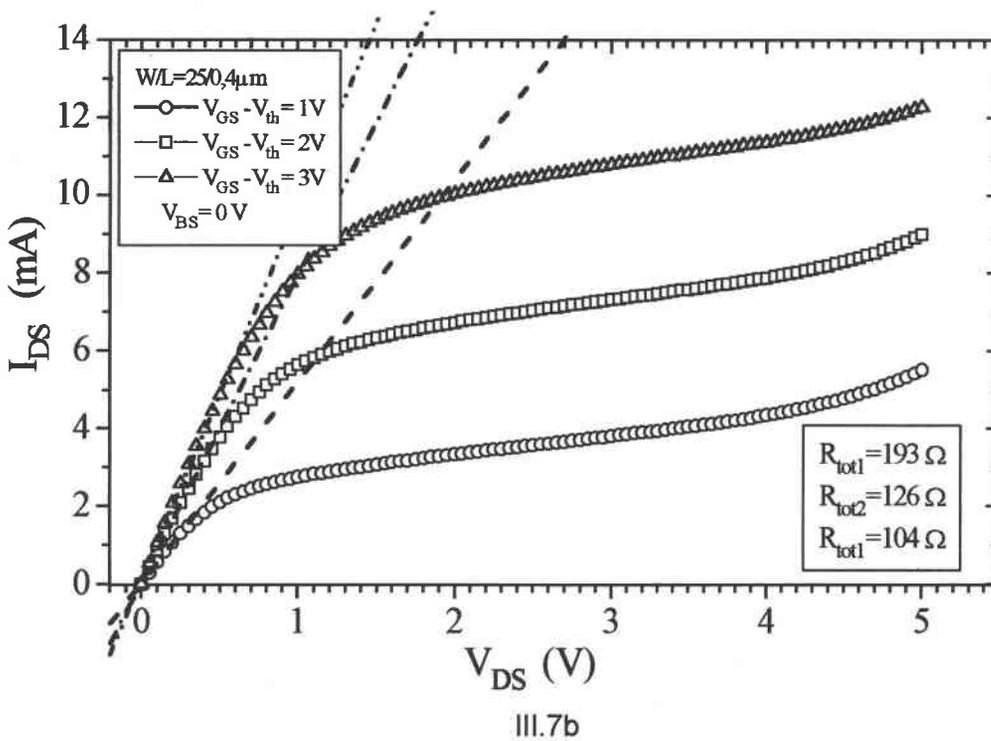
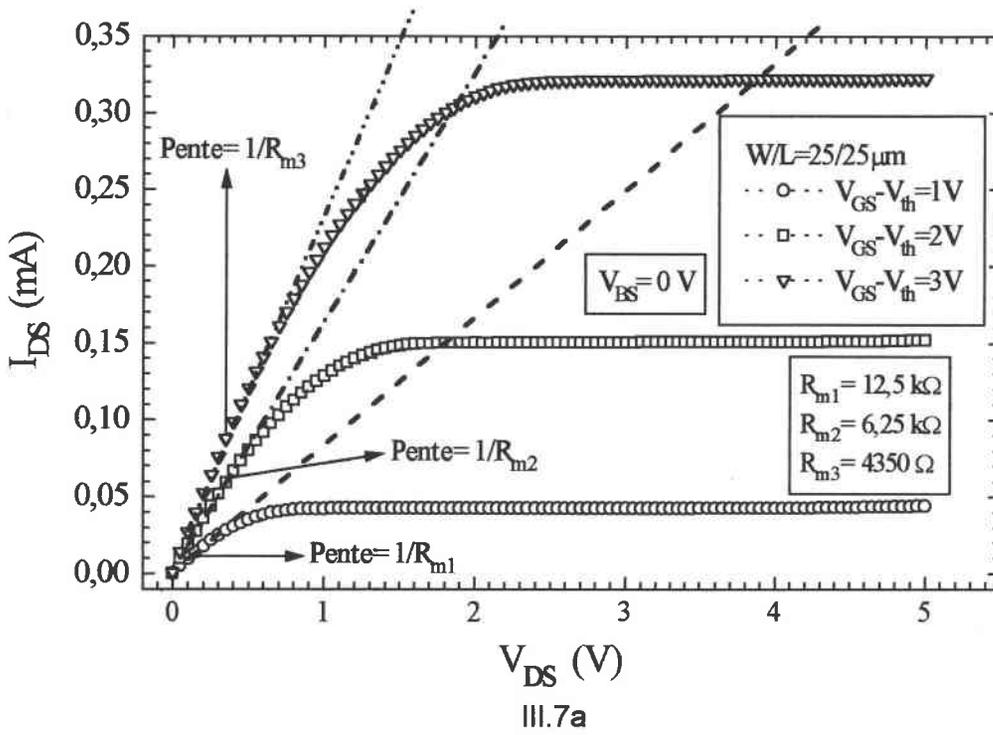


Figure III.7 : Mesure des résistances totales R_{tot} pour différentes polarisations de grille $(V_{GS} - V_{th}) = 1, 2$ et 3 V dans le cas des transistors de $W/L = 25/25 \mu m$ et de $W/L = 25/0,4 \mu m$.

Les résistances totales R_{tot} mesurées ont été déterminées à partir de l'inverse des pentes des régions ohmiques ou linéaires des caractéristiques. Ainsi trois couples de valeurs (R_{tot} ; L) peuvent être obtenus pour chaque transistor. Ces trois couples de valeurs nous permettent de résoudre l'expression R_{tot} et d'obtenir trois couples de solutions (A ; $\frac{\alpha}{W}$). La figure III.8 montre le tracé de la fonction représentative de R_{tot} .

$$R_{tot} = A + \left(\frac{\alpha}{W}\right)L$$

$y = a_2 + b_2 * L$: équation de régression linéaire

où $a_2 = A$ et $b_2 = (\alpha/W)$

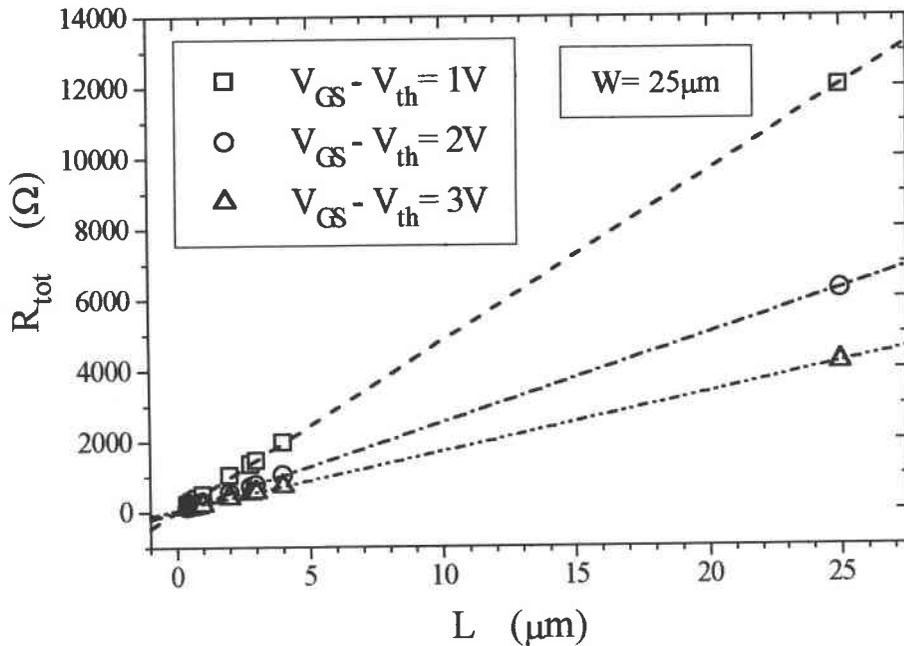


Figure III.8 : Variation de la résistance totale mesurée R_{tot} en fonction de la longueur de la grille L en vue de la détermination des constantes A et α/W .

Conformément à l'équation III.9, la résistance d'accès R_{SD} est obtenue par l'intersection entre l'extrapolation et l'axe des ordonnées, alors que la réduction technologique de la longueur du canal ΔL se déduit de la pente de la caractéristique (Figure III.9).

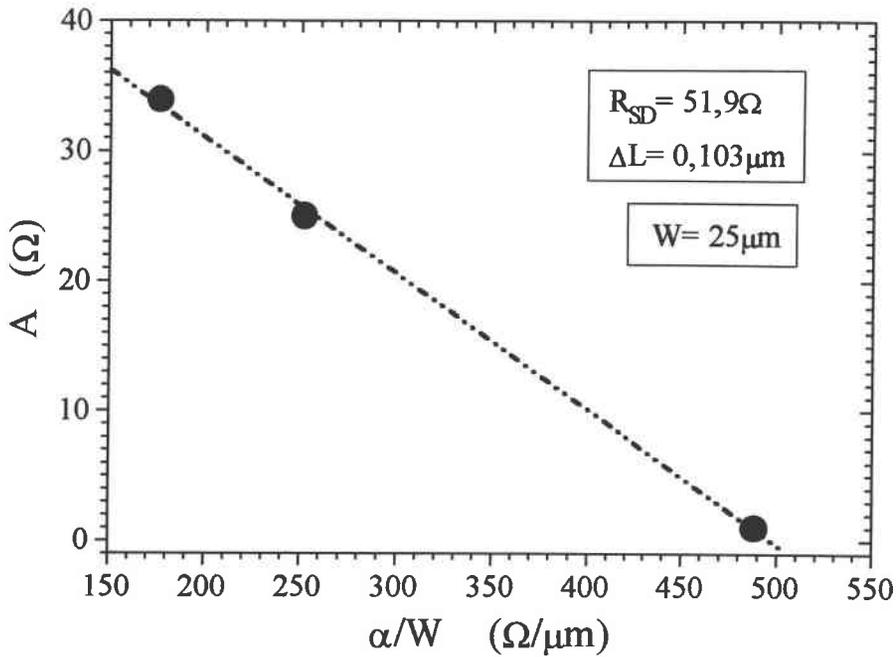


Figure III.9 : Courbe de représentation des variations du coefficient A en fonction de α/W en vue de déterminer les paramètres R_{SD} et ΔL .

Remarque : la valeur de R_{SD} pour d'autres largeur peut être obtenue avec : $R_{SD} * \frac{25}{W}$

d) Détermination de μ_0 et de θ

Après la détermination de ΔL et ΔW , il nous est alors possible d'évaluer les mobilités à faible champ d'après l'équation III.6. Enfin, notons qu'il est possible d'évaluer maintenant les coefficients d'atténuation de mobilité θ , cela en utilisant le tracé expérimental de la fonction $\sqrt{g_m}$ en fonction de I_{DS} . L'expression littérale de cette fonction est obtenue en combinant les équations III.3 , III.4 et III.13, ce qui conduit à :

$$\sqrt{g_m} = \sqrt{KV_{DS}} - \frac{(\theta + KR_{SD})}{\sqrt{KV_{DS}}} I_{DS} \quad \text{III.14}$$

Les valeurs de θ pour chacun des transistors pourront être obtenues à partir de la pente de la caractéristique $\sqrt{g_m} = f(I_{DS})$ (voir figure III.10).

$$\xi = a_3 + b_3 * I_{DS} : \text{Régression Linéaire.}$$

$$\text{D'où } a_3 = \sqrt{KV_{DS}} \text{ et } b_3 = -\frac{(\theta + KR_{SD})}{\sqrt{KV_{DS}}} \Leftrightarrow \theta = -(b_3\sqrt{KV_{DS}} + KR_{SD}) \quad \text{III.15}$$

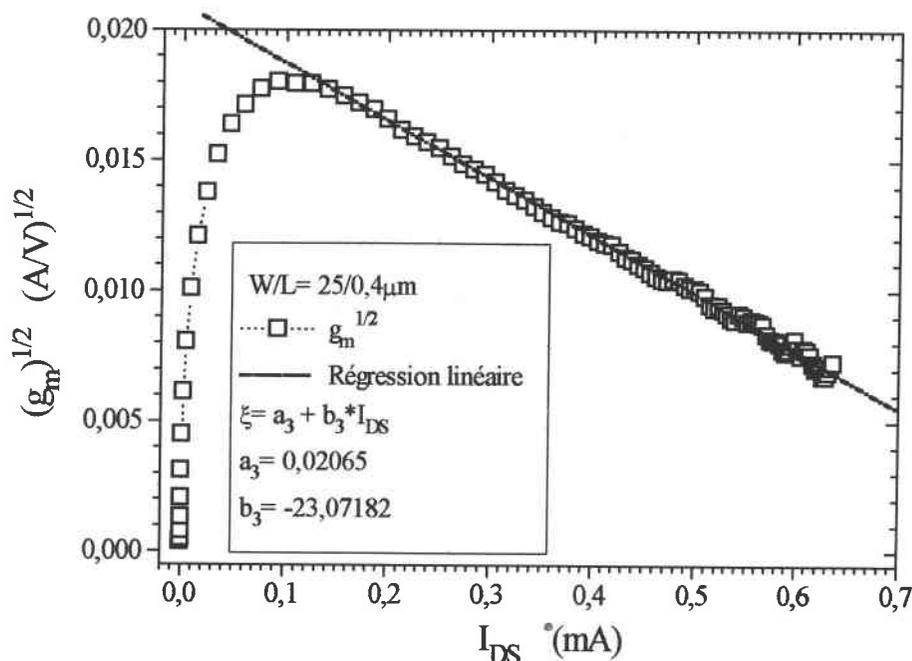


Figure III.10 : Tracé de la caractéristique $\sqrt{g_m} = f(I_{DS})$ en vue de la détermination de θ .

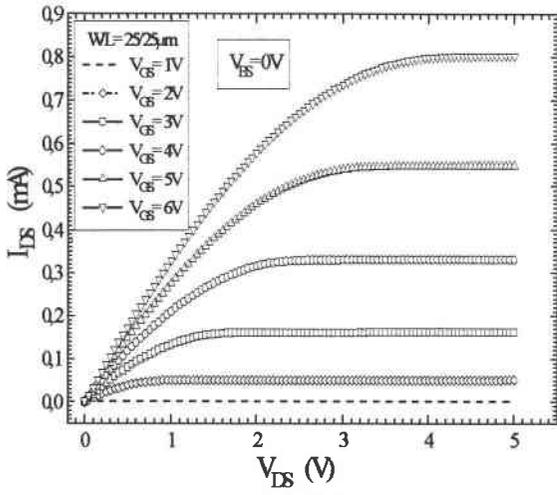
III.3.3 Effet de L

Il est bien connu que les régimes de fonctionnement apparaissent pour des courants d'intensités différentes et dépendantes des dimensions W et L (éq. III.3). Les faibles dimensions produisent aussi des effets visibles sur les caractéristiques. Les mesures effectuées permettent non seulement de voir certains effets mais aussi d'effectuer des mesures au-delà des plages de tension données par le constructeur afin de reconnaître les limites précises de fonctionnement du transistor. Ces renseignements sont utiles lorsqu'il s'agit de choisir des contraintes électriques par accélérer le vieillissement. Les caractéristiques courant-tension I_{DS} - V_{DS} à V_{GS} constant, obtenues pour quatre dimensions de transistor sont données sur la figure III.11 pour plusieurs valeurs de V_{GS} . Le régime linéaire est observable pour de faibles tensions de drains (inférieures à 1V lorsque $V_{GS}=6V$) tandis que la saturation du courant de drain apparaît sur une large plage de tensions de drain (sauf pour $W/L=25/0,4\mu m$ et $W/L=0,6/0,4\mu m$). Deux phénomènes ressortent de ces figures, liées aux dimensions de grilles :

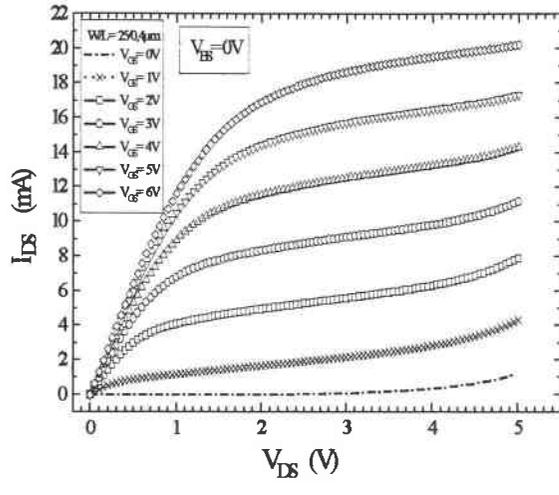
- (i) Sur les transistors de faible longueur de grille $L=0,4\mu\text{m}$, le courant de drain, faiblement dépendant de V_{DS} en régime de saturation, augmente sensiblement surtout lorsque la largeur W de la grille est grande ($25\mu\text{m}$). Cet effet est attribué au rapprochement des zones déplétées de drain et de source lorsque L est faible. Dans le cas où ces zones se touchent, le courant circule entre source et drain hors contrôle de la grille. Ce phénomène est typiquement lié aux faibles dimensions est aussi appelé le *percement* ou le *punch through*.
- ii) L'effet de saturation de la vitesse des porteurs due au fort champ électrique longitudinal lorsque L est faible est observable. Le courant dans le canal est limité dans ce cas et évolue proportionnellement à V_{GS} et non plus proportionnellement à V_{GS}^2 . Habituellement, le courant de drain est proportionnel au rapport W/L sauf en cas de saturation de la vitesse des porteurs où il est plus faible.

Notons ici que les courants de saturation augmentent avec la diminution de la longueur du canal L pour la largeur de grille W fixée à $25\mu\text{m}$ et à $0,6\mu\text{m}$ (figures III.11e et III.11f). La tension de grille V_{GS} est fixée à 1V.

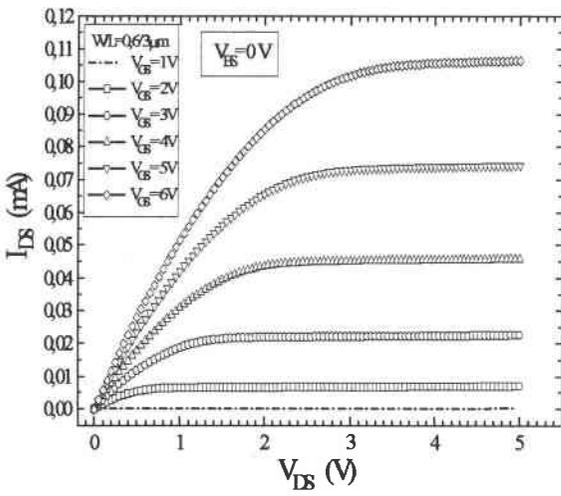
La tension de seuil V_{th} est depuis longtemps utilisée comme paramètre de mesure du vieillissement car elle est fortement corrélée à d'autres paramètres et elle évolue au cours du temps de contrainte [FAU. 96][SZE. 85]. Les caractéristiques de transfert $I_{\text{DS}}(V_{\text{GS}})$ ont été tracées en régime linéaire à $V_{\text{DS}}=50\text{mV}$ et $V_{\text{BS}}=0\text{V}$ pour deux largeurs de grille différentes $W=25\mu\text{m}$ et $W=0,6\mu\text{m}$ (Figures III.12a et b). Nous pouvons ainsi déduire les paramètres de conduction de nos transistors tels que la tension de seuil V_{th} , la mobilité à faible champ μ_0 et le coefficient de dégradation θ .



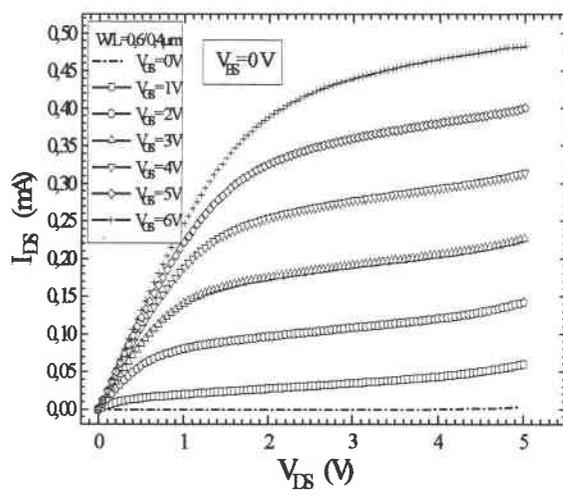
III.11(a)



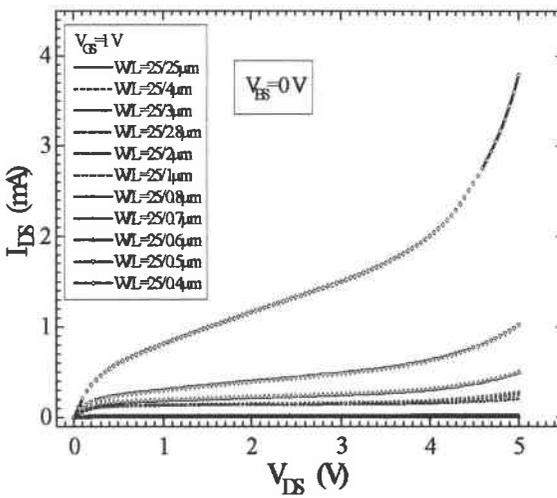
III.11b



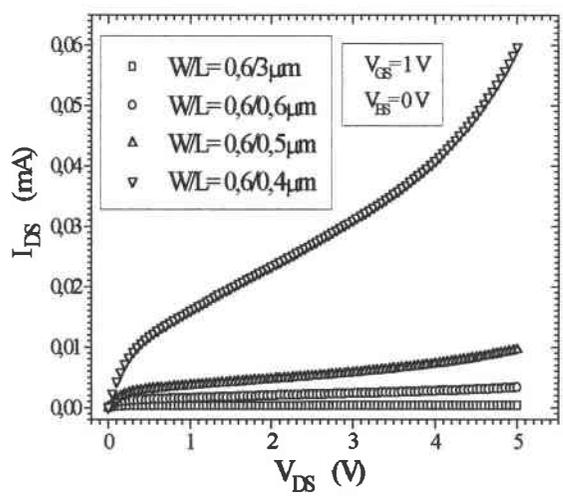
III.11(c)



III.11(d)



III.11e



III.11f

Figure III.11 : Caractéristiques de fonctionnement normal I_{DS} - V_{DS} à V_{GS} constant pour différentes dimension de transistors.

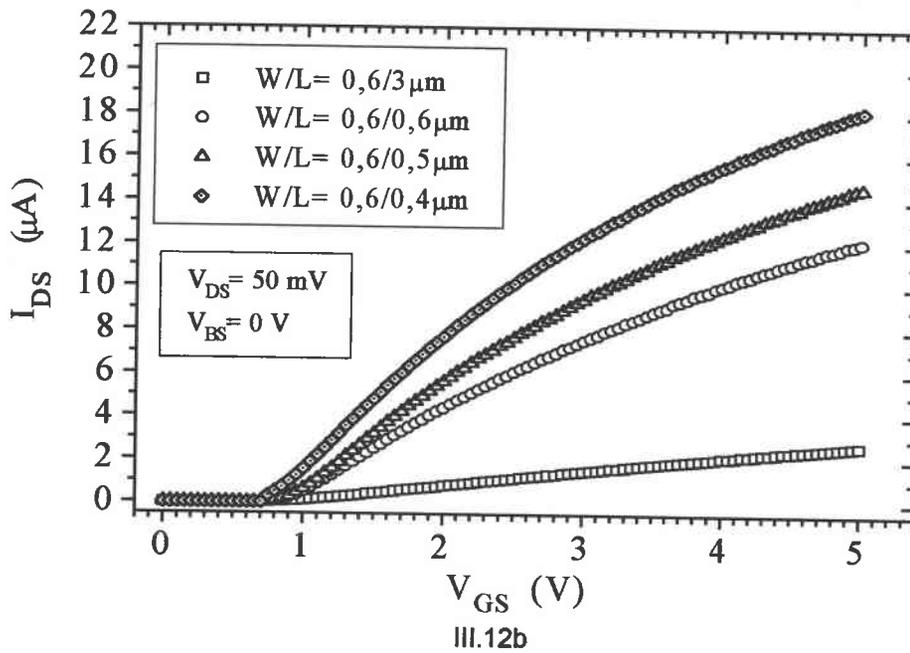
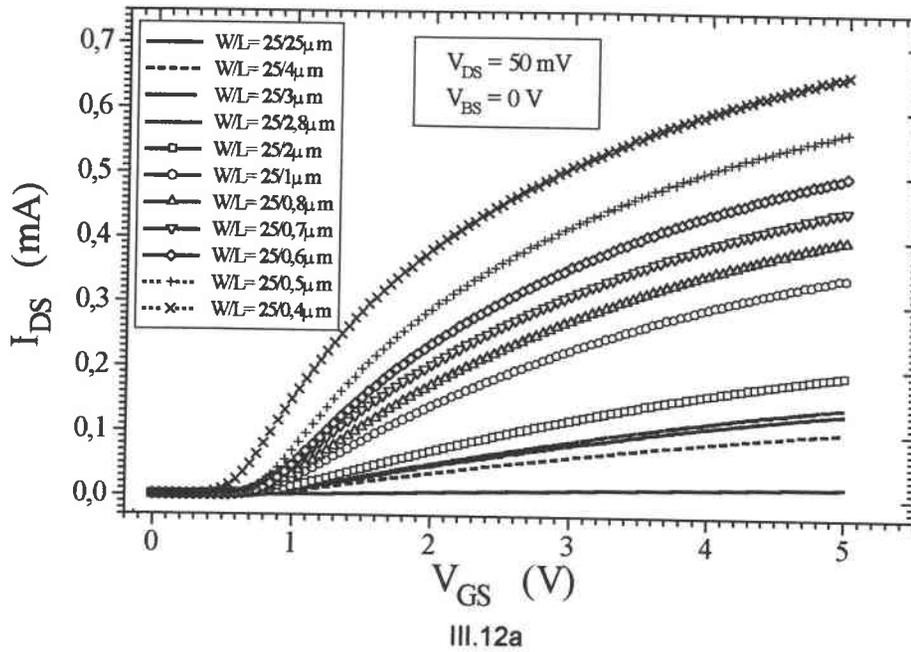


Figure III.12 : Caractéristiques de transfert mesurées de $I_{DS}(V_{GS})$ pour (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

Ainsi nous pouvons déduire les transconductances g_m de ces transistors. La valeur de la transconductance $g_m(V_G)$ est donnée par la dérivée du courant de drain par rapport à la tension de grille sur la caractéristique de transfert $I_{DS}-V_{GS}$. La variation du maximum G_m de la courbe $g_m(V_G)$ (figure III.13) est un paramètre qui a été beaucoup utilisé, de la même manière que V_{th} , pour apprécier la dégradation du composant. Les interprétations de G_m et de $g_m(V_G)$ plus généralement, pour identifier la nature et la distribution des défauts, sont comme dans le cas de la tension, rendues difficiles par la localisation de la dégradation. Les variations de g_m avec V_{GS} lors de stress imposés au composant ont été attribuées à la formation de charges négatives

dans une région très étroite près du drain, mais aussi à la position des défauts près de la jonction substrat-drain sous influence ou non de la tension de la grille [DOY.KM 93]. Notons ici que les positions de G_m deviennent maximales avec la réduction de la longueur de grille pour W donnée (figures III.13a et III.13b). Le maximum G_m est situé à des valeurs approximativement identiques de la tension de grille.

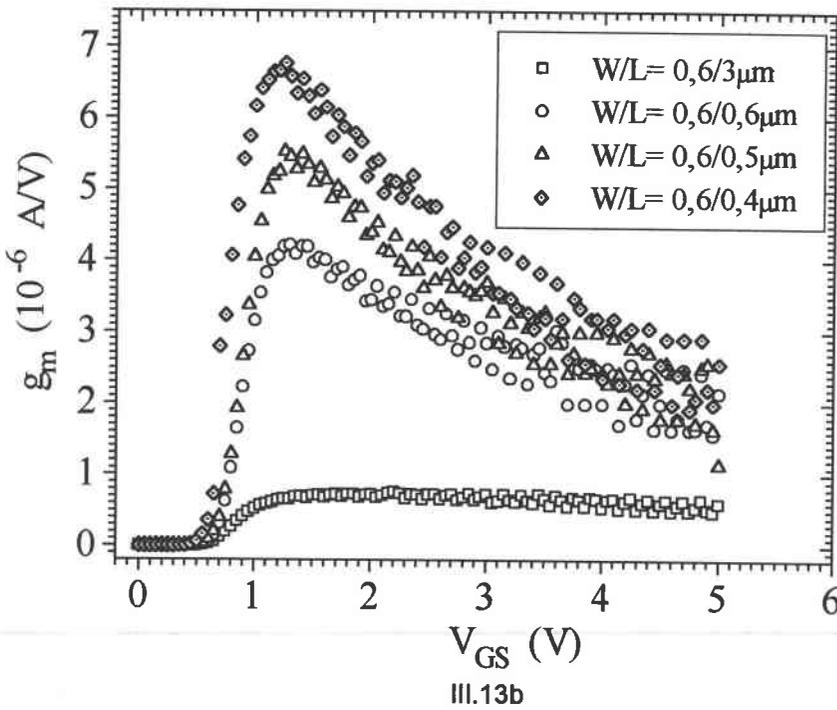
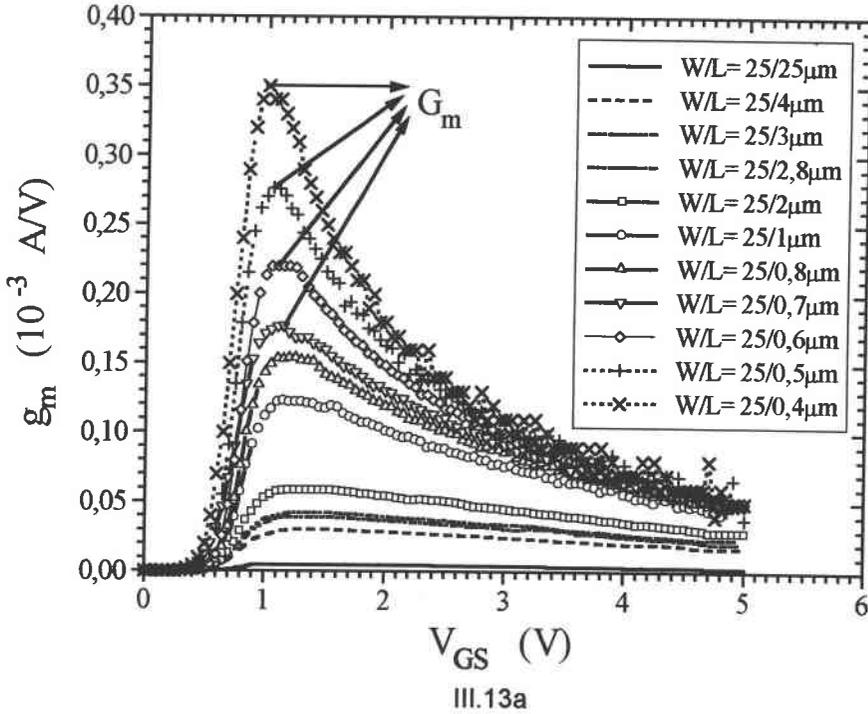


Figure III.13 : Tracé de la transconductance mesurée.

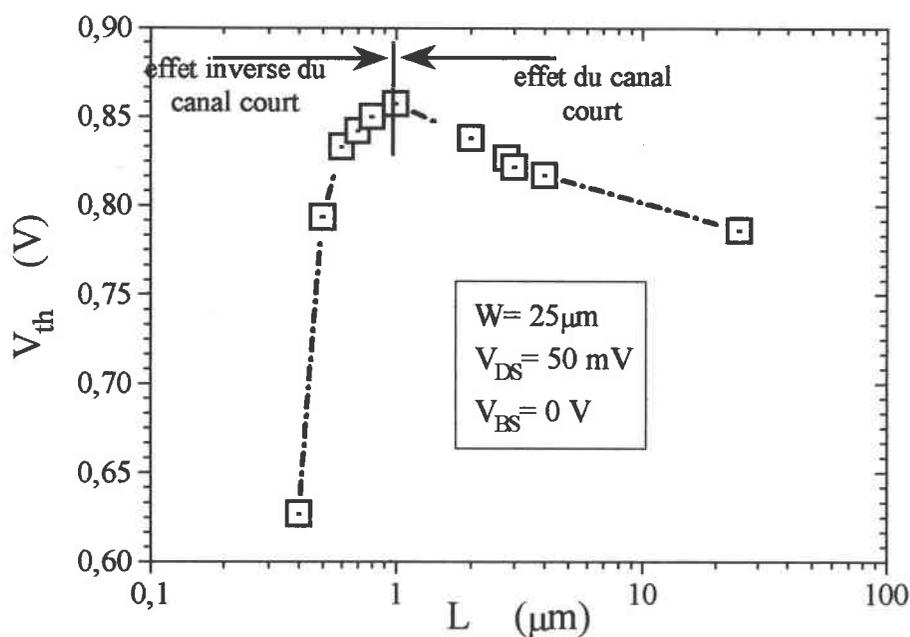
Nous avons déterminé les valeurs de tension de seuil (tableau III.1), de résistance d'accès source-drain R_{SD} , de réduction de la longueur du canal ΔL , de mobilité à faible champ μ_0 et du coefficient d'atténuation de la mobilité θ . La valeur de R_{SD} mesurée est de $51,9\Omega$ (figure III.9) et celle de ΔL mesurée est de $0.104\mu\text{m}$ (voir figure III.6a). Ces valeurs sont en bon accord avec celles estimées par le fabricant ($R_{SD}=50\Omega$ et $\Delta L=0,1\mu\text{m}$).

Dimension W/L (μm)	V_{th} (V)	μ_0 (cm^2/Vs)	θ ($10^{-3}/\text{V}$)
25/25	0,786	418	62,2
25/4	0,817	414	46,1
25/3	0,822	411	36,7
25/2,8	0,827	410	31,5
25/2	0,838	407	28,0
25/1	0,857	435	24,8
25/0,8	0,85	446	22,0
25/0,7	0,842	454	19,4
25/0,6	0,833	460	18,3
25/0,5	0,793	478	15,5
25/0,4	0,627	485	12,3
0,6/3	0,877	279	37,8
0,6/0,6	0,882	440	154
0,6/0,5	0,84	459	214
0,6/0,4	0,805	497	284

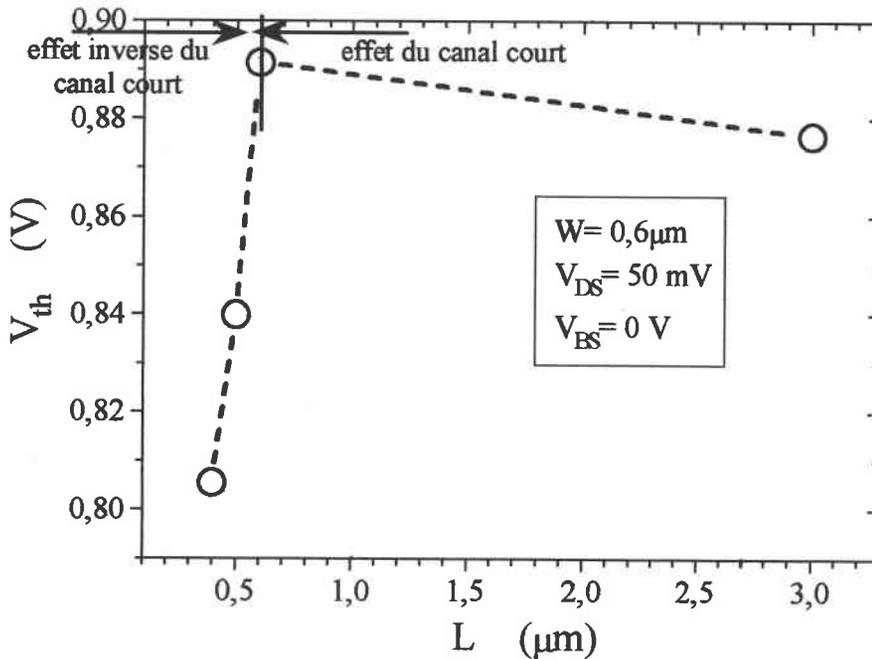
Tableau III.1 : Récapitulatif des résultats obtenus pour les paramètres de conduction .

Notons bien que les tensions de seuil varient avec les dimensions de transistors ; les tensions de seuil V_{th} augmentent jusqu'à $L=1\mu\text{m}$ avant de diminuer avec la réduction de la longueur de canal pour une largeur du canal W fixée à $25\mu\text{m}$ (figure III.14a). De même pour W fixé à $0,6\mu\text{m}$, la tension de seuil V_{th} augmente jusqu'à $L=0,6\mu\text{m}$ et diminue après avec la réduction de la longueur du canal L (figure III.14b). Ce phénomène est attribué à l'effet inverse du canal court (RSCE – Reverse Short Channel Effect) ; un accroissement de la tension de seuil sur les

MOSFETs n avant les effets de canal court prédominant [MAZ.O 89]. La plupart des auteurs [MAZ.O 89][LU.S 89][LUT.V 95] s'accordent sur le fait que cet accroissement de tension de seuil est causé par une accumulation localisée du dopage du canal le long du bord de grille. Comme montré sur les figures III.14, l'effet inverse de canal court devient évident quand la longueur de canal est diminuée en dessous $1\mu\text{m}$ et arrive à sa valeur maximale autour de $0,8\mu\text{m}$. Au delà, l'effet conventionnel de canal court commence à concourir avec l'effet inverse de canal court pour diminuer la tension de seuil. L'évidence expérimentale a démontré que le RSCE est causé par le dommage d'implantation source-drain. Des défauts localisés dans le bec d'oiseaux, vont permettre une modification de dopage de Bore dans ces zones. La tension de seuil est alors modifiée [LU.S 89]. Plusieurs étapes de procédé de fabrication, incluant la réoxydation de polysilicium [MAZ.O 89], la formation de salicide [LU.S 89] et le dégât provoqué par l'implantation source/drain (S/D) [LUT.V 95][HAN.NBV 93] ont été suggérés comme les causes de l'accumulation localisée de dopage du canal.



III.14a

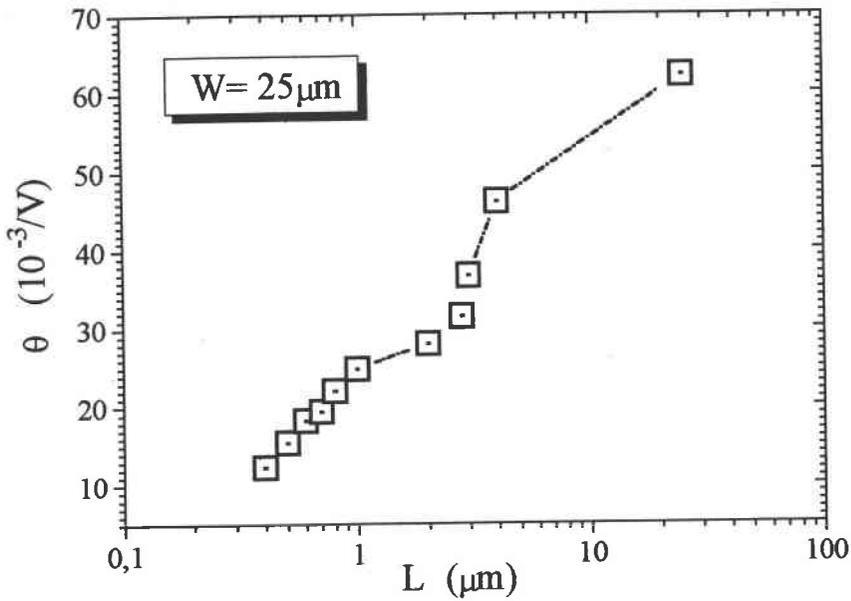


III.14b

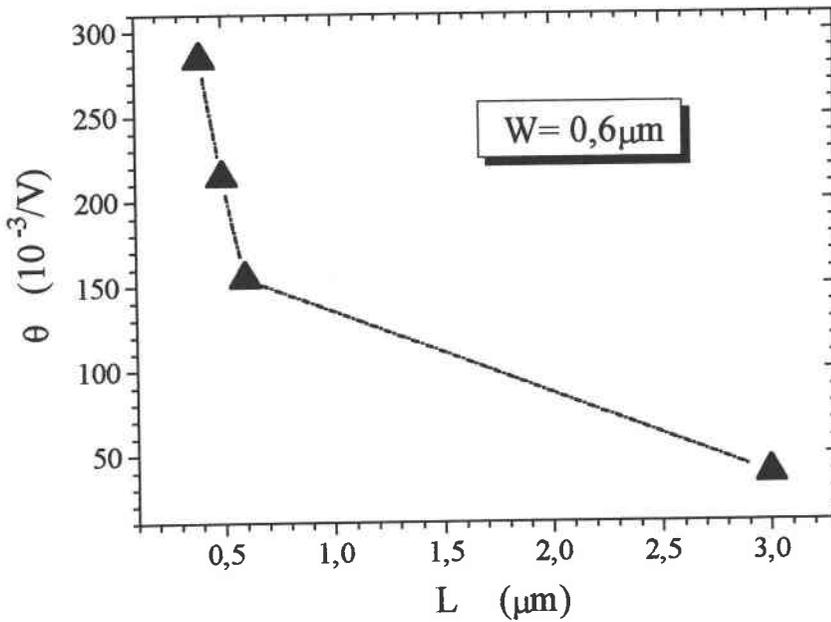
Figure III.14 : Tension de seuil en fonction des dimensions L avec (a) $W=25\mu m$ et (b) $W=0,6\mu m$ de grille.

Une analyse de cette observation peut être faite simplement en considérant l'action de la grille pour former le canal. Le potentiel appliqué à la grille (positif pour ces transistors) permet de réaliser l'inversion des populations en faisant apparaître des charges négatives dans la partie supérieure du semiconducteur située sous la grille. Son action s'exerce aussi dans la zone latérale de cette partie. Cette densité de charges est contrôlée par la grille. Lorsque la longueur du transistor est faible ($L=0,4\mu m$), les zones de désertion de la source et du drain se rapprochent et participent ainsi à dépléter la région située sous la grille. Les charges apportées par la source et le drain réduisent la quantité de charges nécessaires pour obtenir le début d'inversion et donc V_{th} diminue.

Pour une largeur de grille W fixée à $25\mu m$, le coefficient d'atténuation diminue avec la réduction de la longueur de grille L . Or, pour les transistors étroits ($W=0,6\mu m$), il augmente avec la réduction de la longueur de grille L (Figures III.15).



III.15a

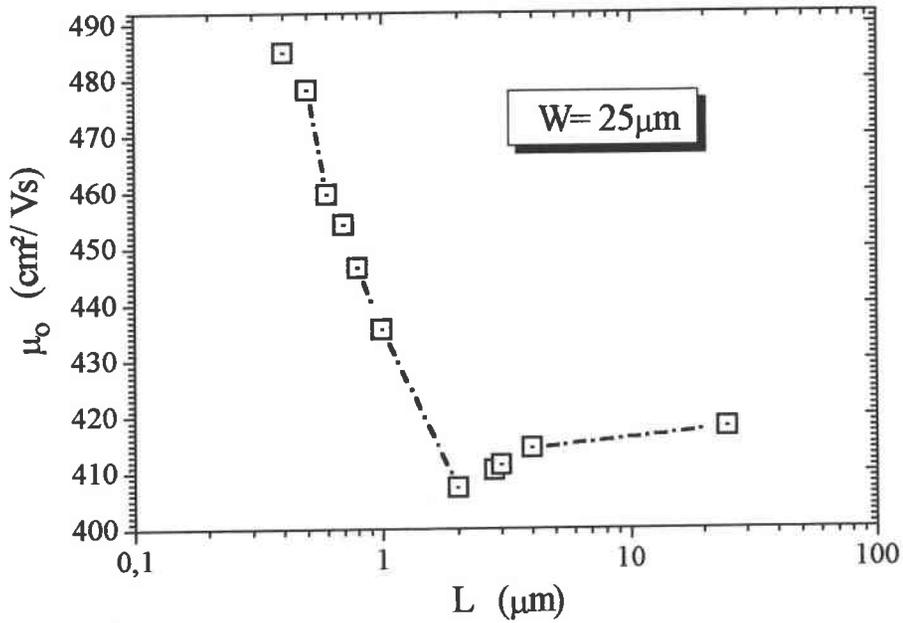


III.15b

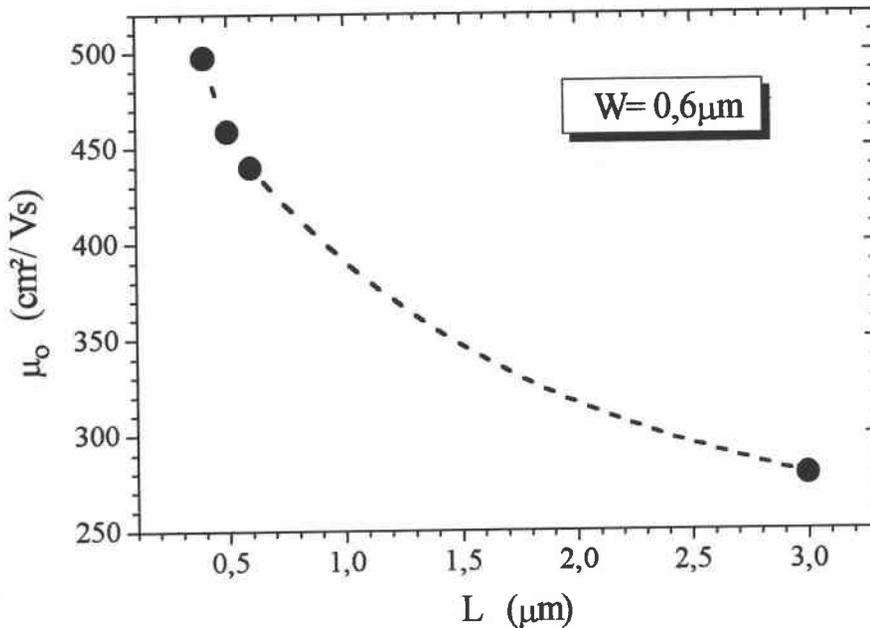
Figure III.15 : Coefficient d'atténuation de mobilité pour différentes géométries L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

Pour les transistors larges ($W=25\mu\text{m}$), nos mesures montrent que la mobilité présente une diminution jusqu'à $L=2\mu\text{m}$ avant qu'elle augmente avec la réduction de la longueur du canal (figure III.16a). Cette mobilité a une tendance inverse que celle de la tension de seuil V_{th} , ceci pourrait être liée au phénomène RSCE (Reverse Short Channel Effects). Tandis que pour les transistors étroits ($W=0,6\mu\text{m}$), la mobilité augmente avec la réduction de la longueur du canal (figure III.16b). Ces variations calculées de la mobilité μ_0 ne correspondent pas à la représentation physique de l'équation de la mobilité effective (éq. III.4). Cette limitation

apparaît clairement sur la figure III.16a qui montre une très forte diminution de μ_o pour les valeurs de L voisines du micron, alors que pour de plus grande valeur de L μ_o reste constante dans les limites des incertitudes. L'effet des petites dimensions se retrouve sur la figure III.16b pour laquelle W est inférieure au micron. Ceci montre bien l'inapplicabilité de l'équation III.4 pour des dimensions inférieures au micron, dans laquelle il faut prendre en compte les effets quantiques et de forts champs.



III.16a



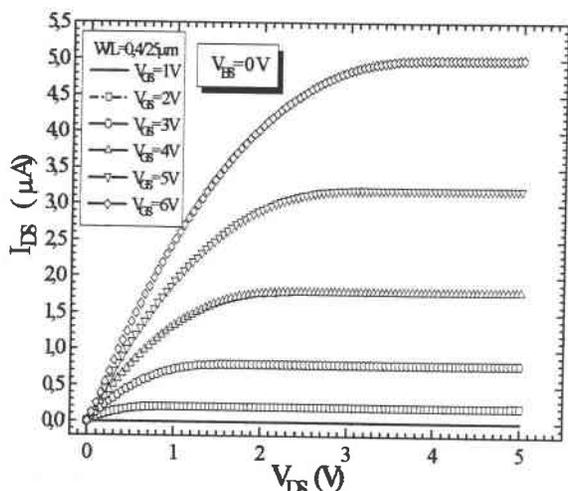
III.16b

Figure III.16 : Mobilité à faible champ latéral en fonction des dimensions L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

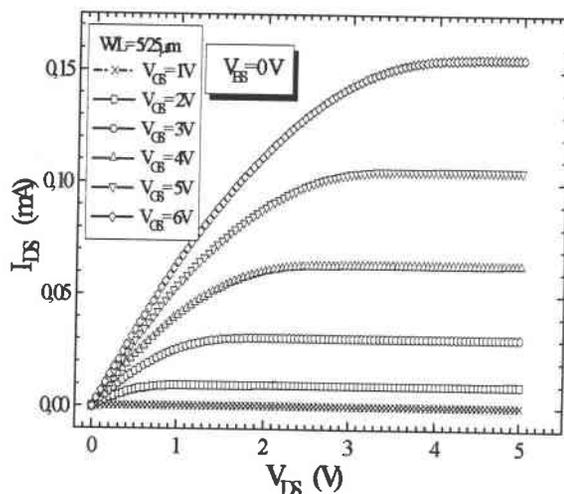
III.3.4 Effet de W

Les caractéristiques courant-tension $I_{DS}-V_{DS}$ à V_{GS} constant, obtenues pour quatre dimensions de transistor sont données sur les figures III.17 pour plusieurs valeurs de V_{GS} . Le régime linéaire est observable pour de faibles tensions de drain (inférieures à 1V lorsque V_{GS} supérieure à 5V) tandis que la saturation du courant de drain apparaît sur une large plage de tensions de drain (sauf pour les transistors à canal court dont la longueur du canal est fixée à $0,6\mu\text{m}$). Pour les transistors de faible largeur de grille, $W=0,4\mu\text{m}$, le courant de drain est indépendant de V_{DS} en régime de saturation, surtout lorsque la longueur du canal L est grande ($25\mu\text{m}$). Par contre, sur les transistors de grande largeur de grille avec une faible longueur du canal $L=0,4\mu\text{m}$ (figure III.17c et d), le courant de drain, faiblement dépendant de V_{DS} en régime de saturation, augmente sensiblement. Cet effet est dû au rapprochement des zones déplétées de drain et de source lorsque L est faible. L'effet de la saturation de la vitesse des porteurs due au fort champ électrique longitudinal lorsque L est faible est observable surtout pour les transistors de grande largeur de grille. Notons ici que les courants de saturation augmentent avec l'augmentation de la largeur de grille W pour la longueur du canal L fixée à $25\mu\text{m}$ et à $0,6\mu\text{m}$ (figures III.11e et III.11f). La tension de grille V_{GS} est fixée à 1V.

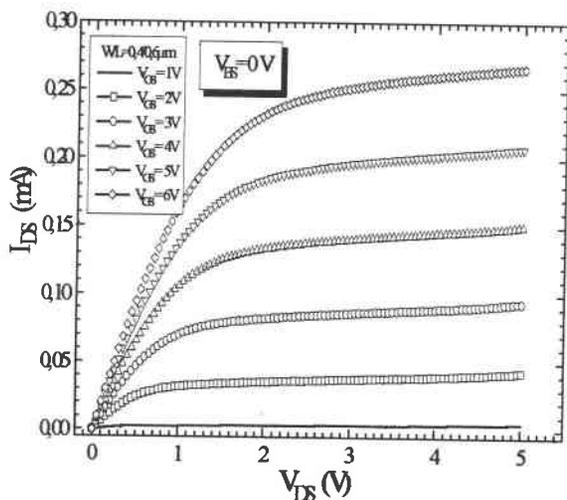
Les caractéristiques $I_{DS}-V_{GS}$ à V_{DS} fixée à 50 mV et $V_{BS}=0$ V sont présentées pour deux longueurs du canal différentes $L=25\mu\text{m}$ et $L=0,6\mu\text{m}$ (Figures III.18a et b). Nous avons déterminé les valeurs de tension de seuil, de réduction de la largeur de grille ΔW , de mobilité à faible champ μ_0 et du coefficient d'atténuation de la mobilité θ (tableau III.3). La valeur de ΔW mesurée est de $0,253\mu\text{m}$ (voir figure III.6b). Les positions de G_m deviennent maximales avec l'augmentation de la largeur de grille pour L donnée (figures III.19a et b). Le maximum G_m est situé à des valeurs approximativement identiques de la tension de grille.



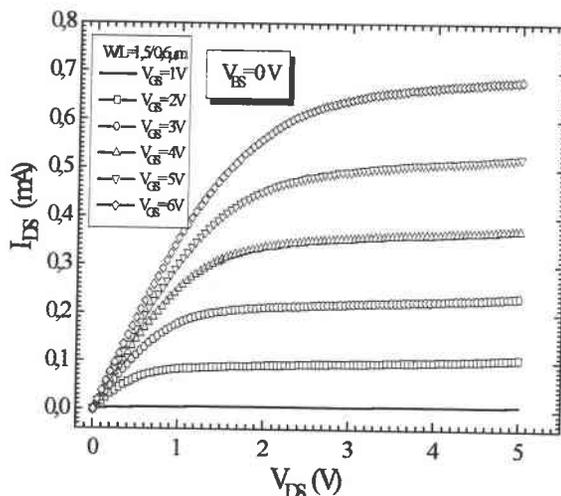
III.17a



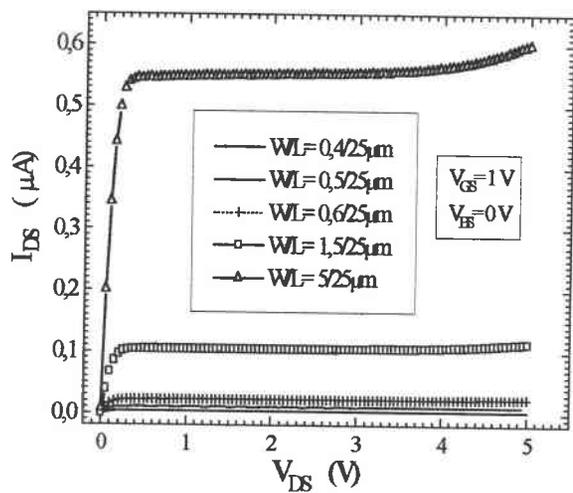
III.17b



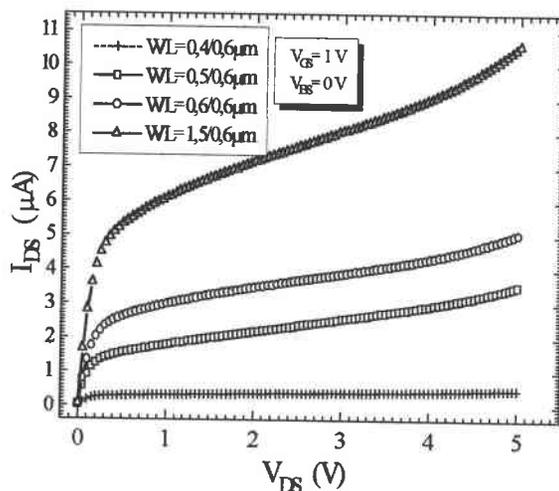
III.17c



III.17d

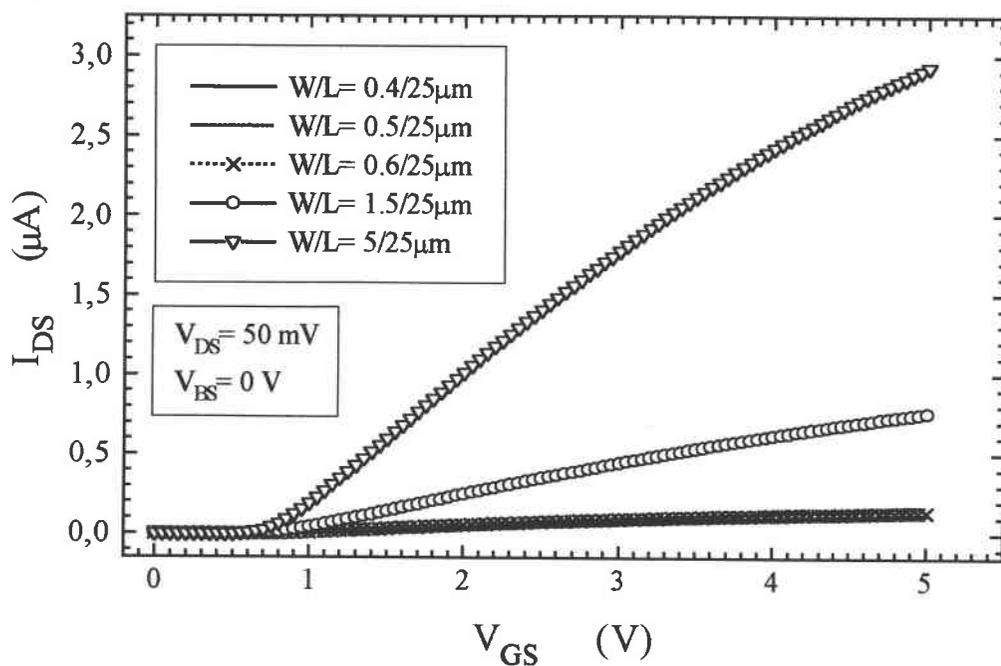


III.17e

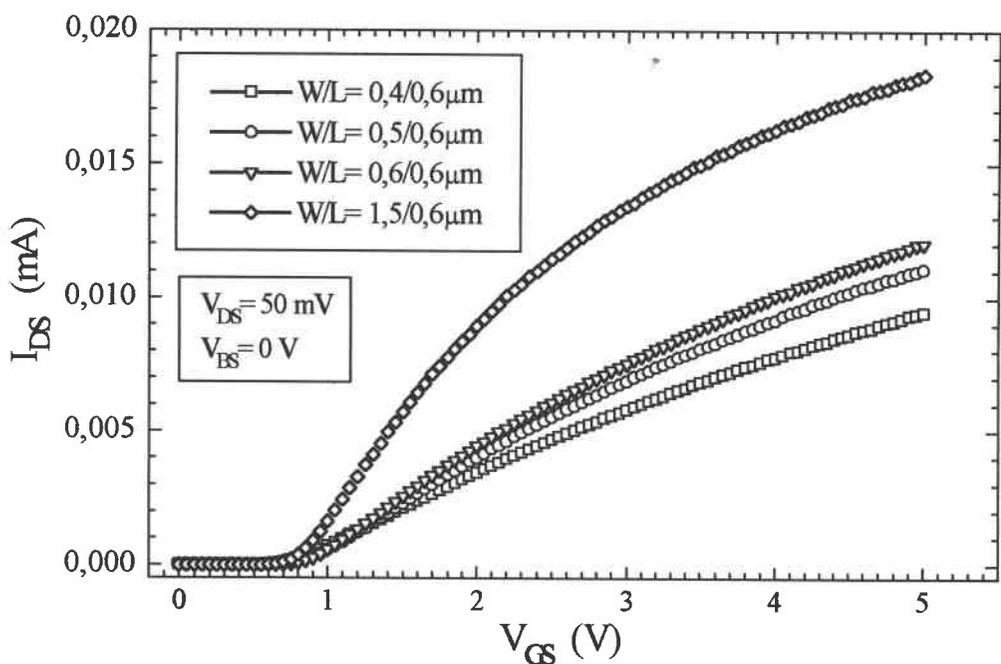


III.17f

Figure III.17 : Caractéristiques de fonctionnement normal I_{DS} - V_{DS} à V_{GS} constant pour différentes dimension de transistors.



III.18a



III.18b

Figure III.18 : Caractéristiques de transfert mesurées $I_{DS}(V_{GS})$ pour (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

Une autre cause de variation de la tension de seuil est la réduction de la largeur du canal. Cette variation est liée à une extension non négligeable de la région de déplétion latérale. Pour une longueur du canal fixe, V_{th} augmente avec la diminution de la largeur du canal (Figures III.20). Les effets de bord sur le pourtour des zones actives, provenant des contraintes qui apparaissent au cours des procédés de fabrication et provenant de dislocations localisées,

deviennent importants. Le champ électrique intense qui apparaît sous polarisation est à l'origine des dégradations par son action sur les charges libres présentes.

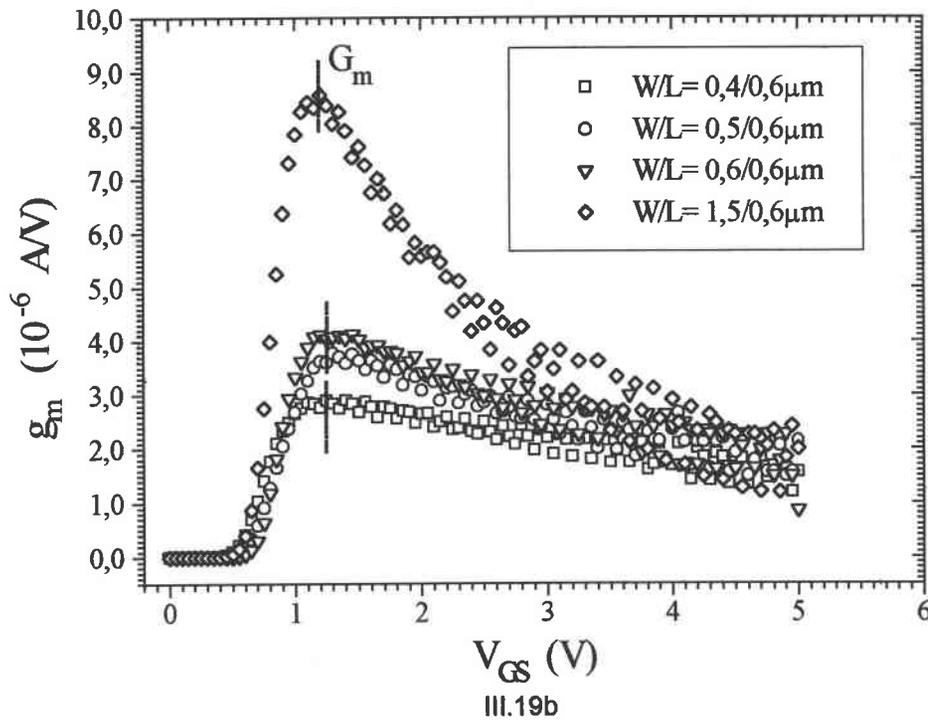
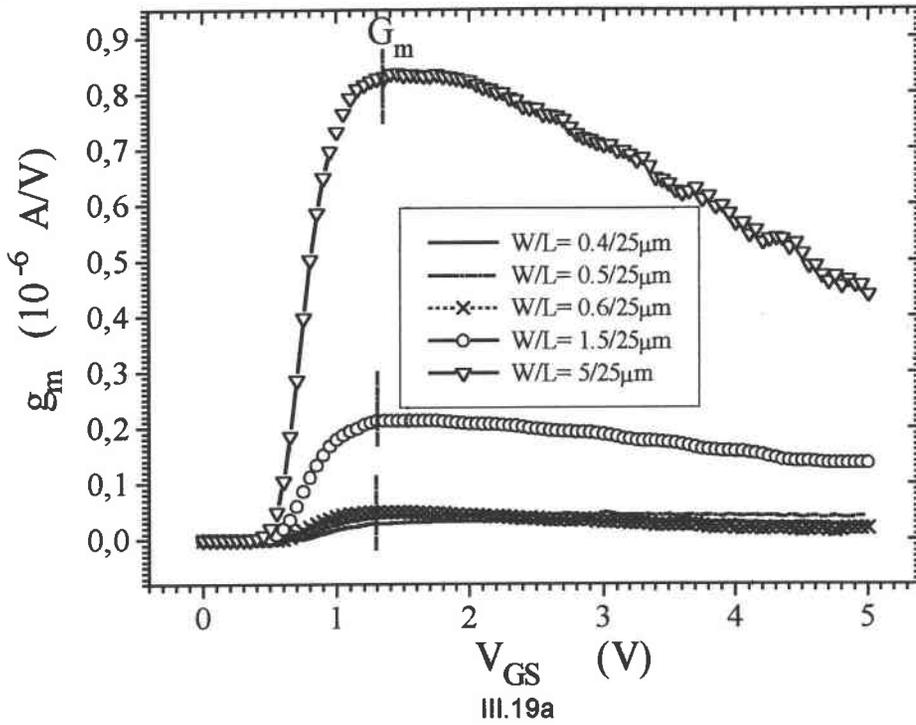


Figure III.19 : Tracé de la transconductance mesurée pour (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

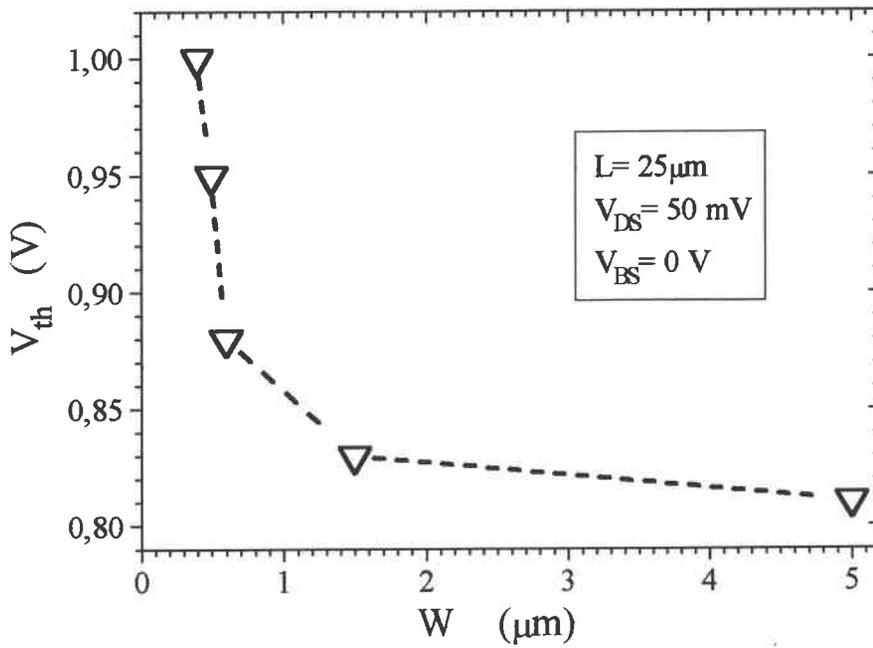
Dimension W/L (μm)	V_{th} (V)	μ_o (cm^2/Vs)	θ ($10^{-3}/\text{V}$)
0,4/25	1	524	13,3
0,5/25	0,95	400	14,9
0,6/25	0,88	383	17,4
1,5/25	0,83	361	41,9
5/25	0,811	397	55,0

0,4/0,6	0,905	488	101
0,5/0,6	0,892	460	136
0,6/0,6	0,882	440	154
1,5/0,6	0,86	387	330

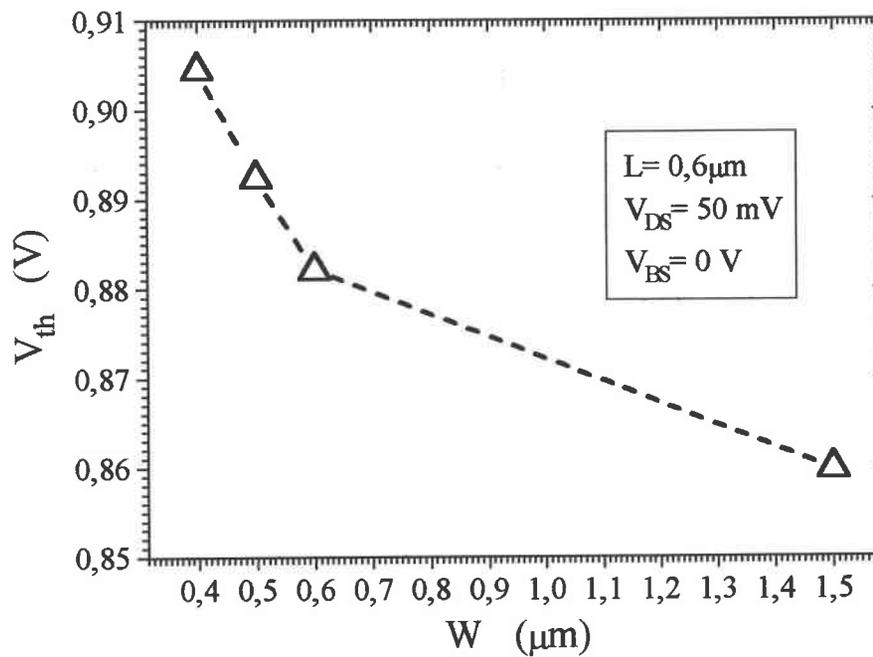
Tableau III.2 : Récapitulatif des résultats obtenus pour les paramètres de conduction.

Dans les transistors de grande largeur ($W=25\mu\text{m}$), la quantité de charges contrôlée par la grille dans les zones latérales du transistor est négligeable devant l'ensemble des charges situées sous la grille. Lorsque W passe à $0,4\mu\text{m}$, la quantité de charges de zones latérales du transistor devient du même ordre que celle qui se trouve sous la grille. La quantité de charge totale contrôlée par la grille, ramenée à l'unité de surface de la grille est donc plus importante lorsque L diminue. Il faut ainsi appliquer une tension plus élevée sur la grille pour atteindre l'inversion, d'où l'accroissement de V_{th} lorsque W diminue.

Pour les transistors à canal long ($L=25\mu\text{m}$), nos mesures montrent que la mobilité présente une diminution jusqu'à $W=1,5\mu\text{m}$ avant qu'elle n'augmente avec la réduction de la largeur de grille (figure III.21a). Tandis que pour les transistors à canal court ($L=0,6\mu\text{m}$), la mobilité augmente avec la réduction de la longueur de canal (figure III.21b). En fait l'augmentation de la mobilité observée lorsque W passe de $1,5\mu\text{m}$ à $0,4\mu\text{m}$ traduit l'accroissement du champ électrique longitudinal E_y avec la réduction de largeur de la grille. Cet accroissement peut produire un effet de saturation comme l'ont montré les caractéristiques $I_{DS}-V_{DS}$. La mobilité des porteurs dans les transistors étroits est davantage liée aux effets de bord où les termes de mobilité liés aux défauts dans cette zone deviennent prépondérants.

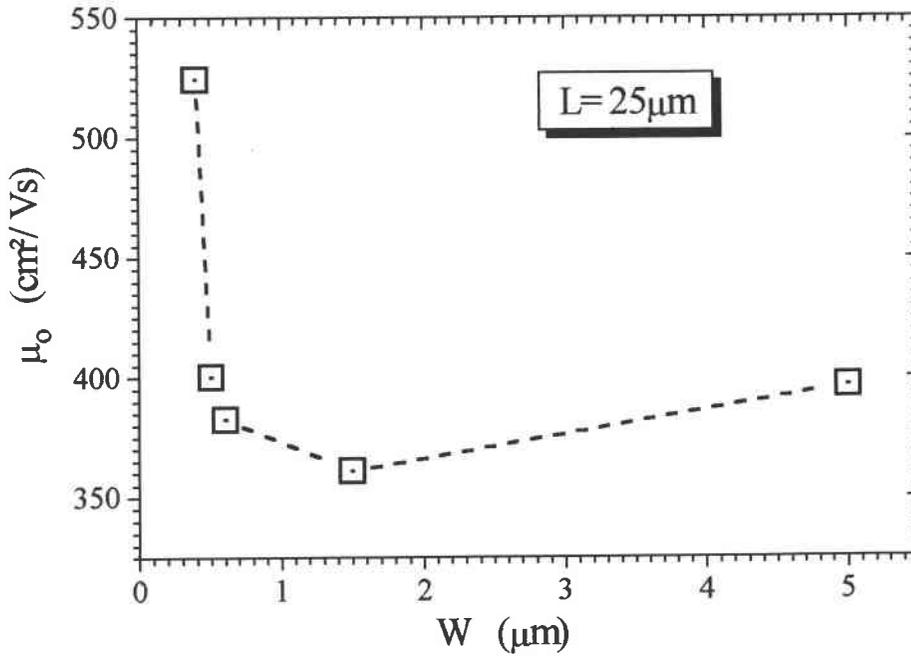


III.20a

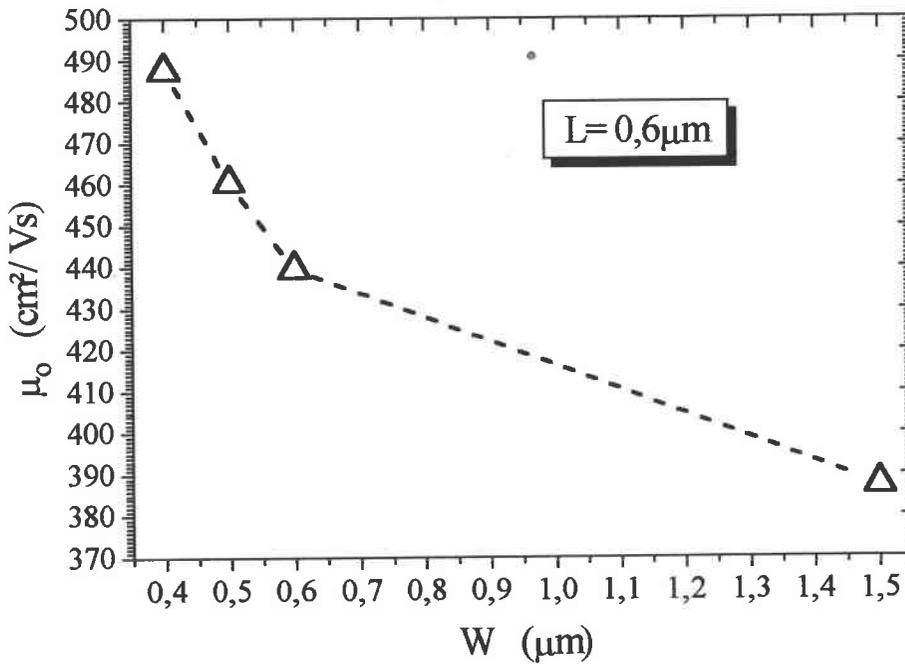


III.20b

Figure III.20 : Tension de seuil en fonction des dimensions W avec (a) $L=25 \mu\text{m}$ et (b) $L=0,6 \mu\text{m}$ de grille.



III.21a



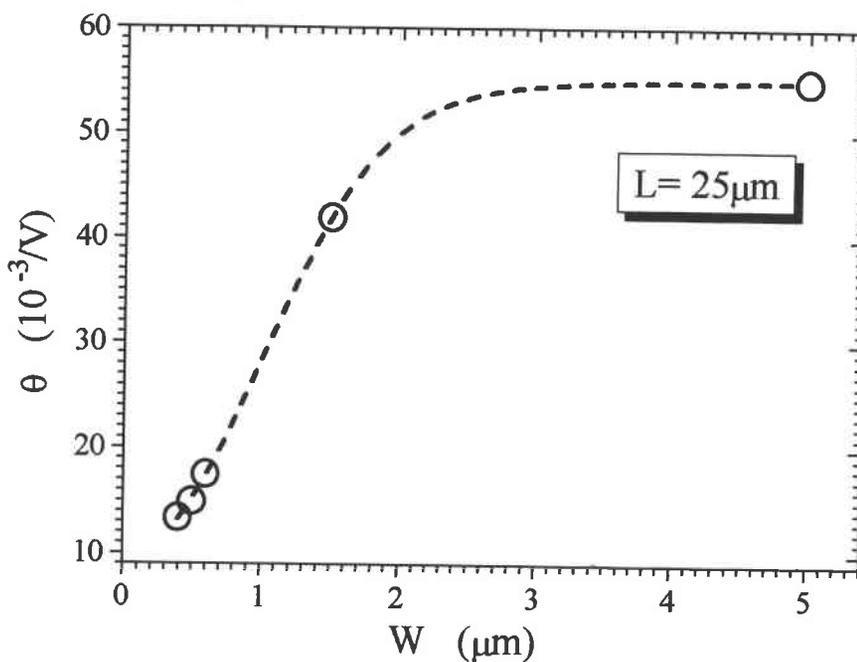
III.21b

Figure III.21 : Mobilité à faible champ latéral en fonction des dimensions W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

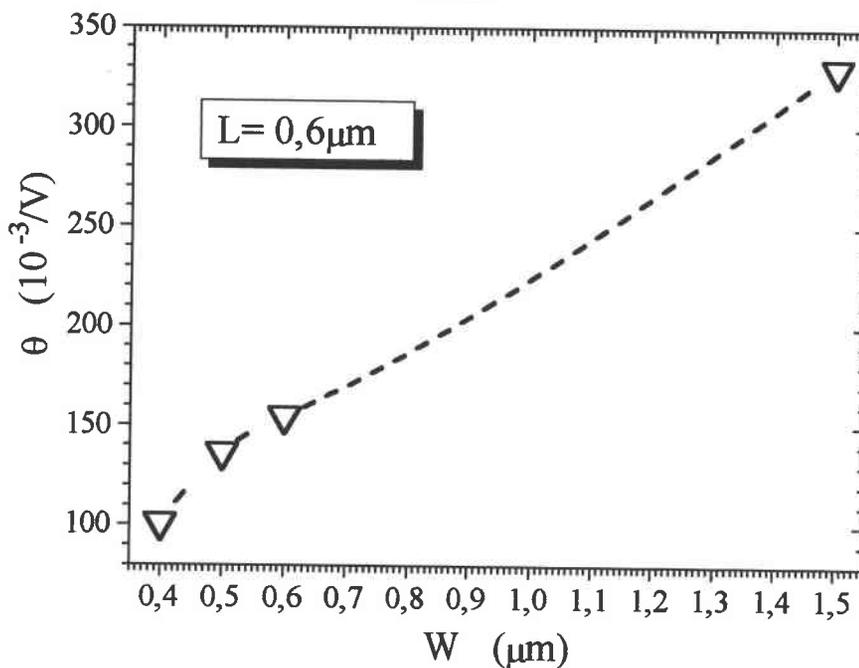
Il apparaît clairement que :

- Quelle que soit la longueur du canal ($L=25\mu\text{m}$ et $L=0,6\mu\text{m}$), la diminution de la largeur de grille entraîne une diminution du coefficient d'atténuation θ (Figures III.22).

- θ est plus important lorsque W et L sont tous les deux de faibles dimensions puisque la grille contrôle moins le canal. Plus les transistors sont petits, plus leur contrôle est difficile par la tension de grille.



III.22a



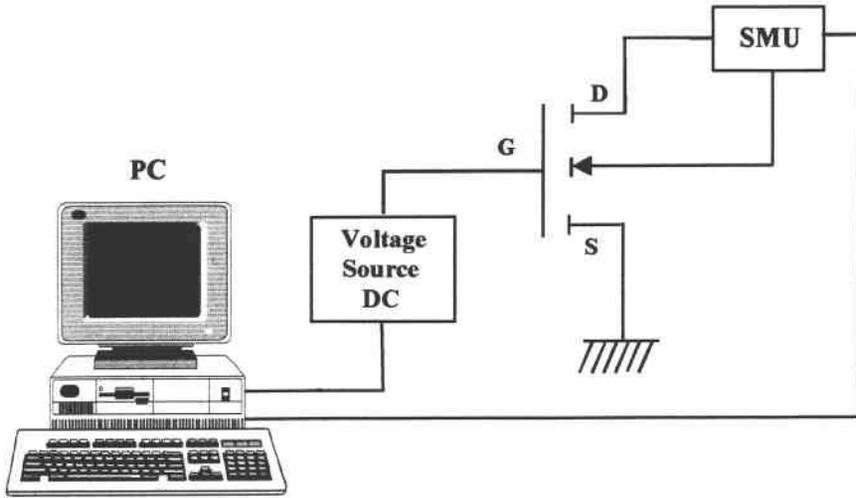
III.22b

Figure III.22 : Coefficient d'atténuation de mobilité pour différentes géométries W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

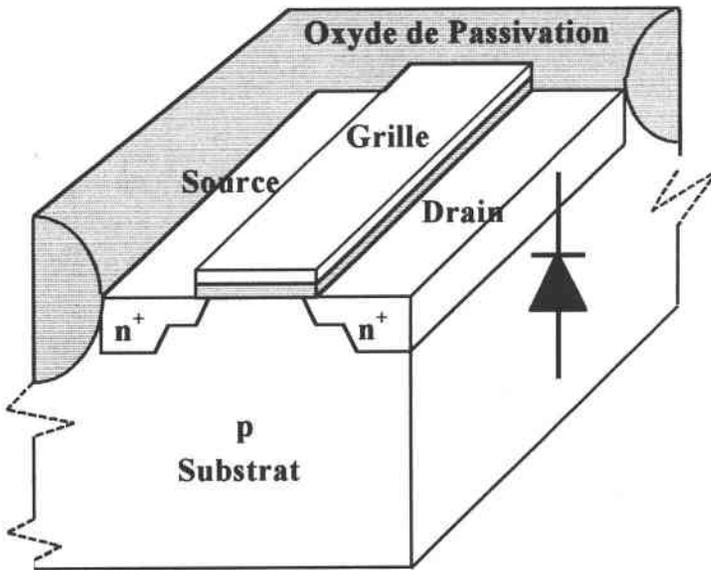
III.4 ETUDE DE LA JONCTION DRAIN-SUBSTRAT

L'étude de la jonction drain-substrat des transistors est réalisée à partir de la modélisation d'une jonction p-n présentée au paragraphe II.1.4 qui constitue une méthode permettant de caractériser les transistors de dimensions submicroniques. L'étude de la jonction drain-substrat des différentes familles de transistors, avant irradiation, permet de montrer que la réduction de taille induit une modification des paramètres électriques et de structure dans cette zone par modification de la zone de charge d'espace [NEA. 94]. La caractérisation de la jonction drain-substrat permet de faire une évaluation de la qualité de cette jonction liée aux procédés de fabrication technologique (diffusion ou implantation des caissons de source ou de drain), une évaluation de la dégradation du substrat du transistor suite à une agression extérieure (irradiation, stress électrique, etc.). Elle permet d'utiliser cette jonction comme indicateur complémentaire du niveau de dégradation du transistor soumis à une agression extérieure. Les effets de charges d'oxyde de grille et de passivation peuvent être étudiés [BAR.MME 95]. La méthode numérique d'extraction de paramètres [CHA.MB 85] permet de déterminer des grandeurs décrivant les mécanismes de transport dans la jonction drain-substrat. Cette méthode appliquée au cas de la jonction drain-substrat est en fait plus généralement applicable à tout type de jonction p-n. Les caractéristiques de la jonction drain-substrat sont analysées à partir de notre logiciel spécifique PARADI [CHA.MB 85]. Les paramètres électriques utilisant le principe de la double jonction équivalent à celui utilisé dans le modèle SPICE sont calculés. Nous utilisons le modèle VDEM (Variable Double Exponentiel Model) qui permet de séparer le courant de saturation inverse dû à la diffusion I_{od} de celui dû à la recombinaison I_{or} associé à des pièges dans la zone de charge d'espace. La méthode utilisée permet l'extraction des paramètres I_{od} , I_{or} , R_s (résistance série), R_{sh} (résistance de shunt) et A (facteur de qualité). L'évolution de ces paramètres permet de quantifier aussi bien les effets liés à la réduction des dimensions que ceux liés à la dégradation consécutive à une irradiation ionisante.

Le schéma électrique du montage effectué pour l'acquisition des caractéristiques est présenté sur la figure III.23a. Le substrat est polarisé positivement par rapport au drain afin de faire des mesures dans le sens passant de la jonction (Figure III.23b). La jonction substrat-source est bloquée. La tension appliquée sur la grille est gardée inférieure à la tension de seuil du MOSFET. La source est polarisée positivement par rapport au drain.



III.23a



III.23b

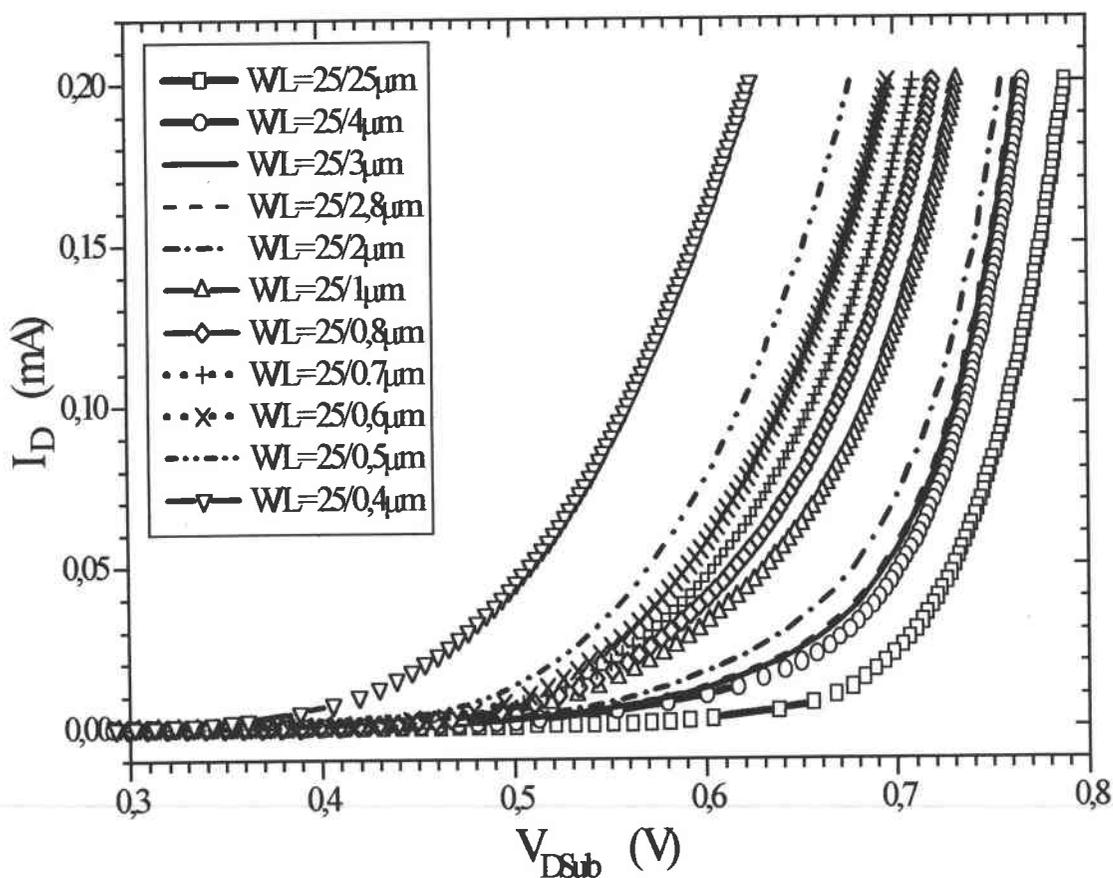
Figure III.23 : (a) Montage expérimental pour la mesure de caractéristiques I-V de la jonction drain-substrat pour différentes valeurs de V_{GS} et (b) représentation de la jonction drain-substrat dans le cas d'un transistor à canal n.

III.4.1 Effet de L

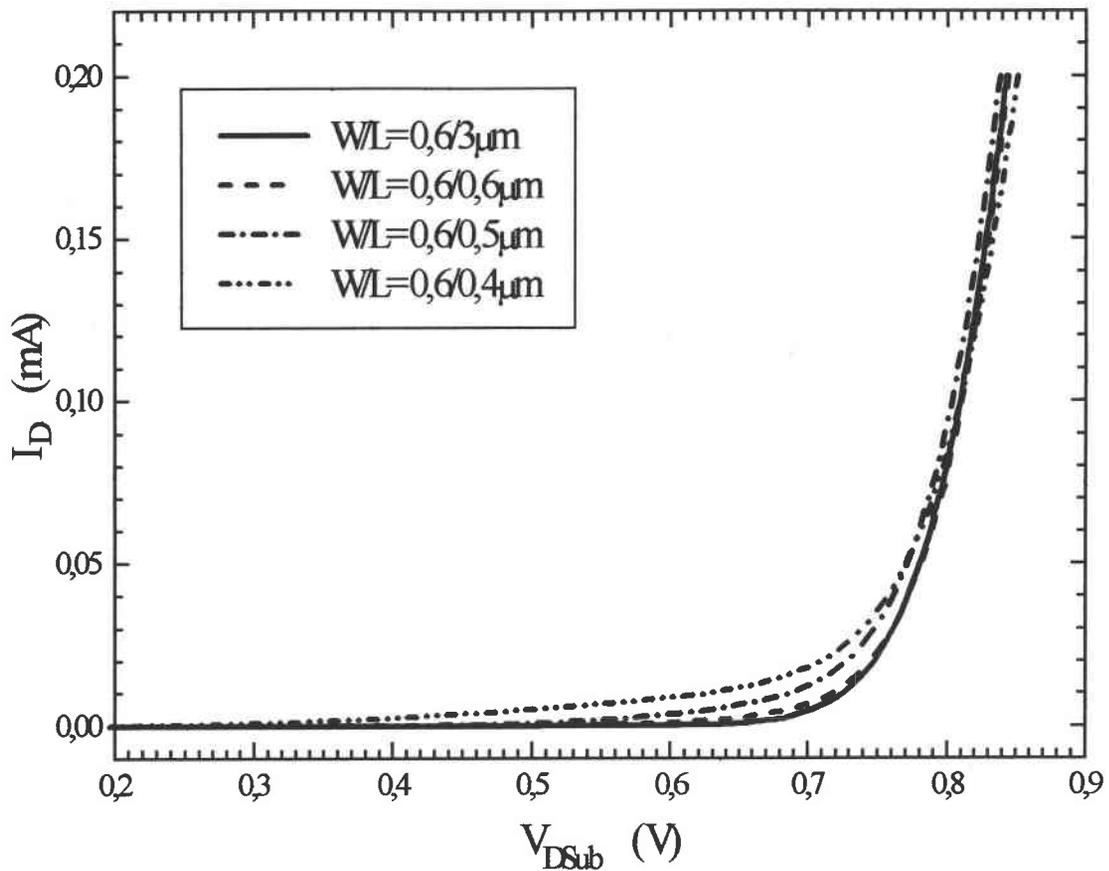
Les caractéristiques de la jonction drain-substrat des différents transistors d'un même boîtier sont présentées sur les figures III.24 à $V_{GS}=0V$. Elles apparaissent nettement regroupées par famille de transistors, ce qui indique déjà des contrastes importants provenant des dimensions

différentes. Les caractéristiques sont beaucoup plus sensibles à la variation de largeur W que de longueur du canal L , ce qui indique le rôle prépondérant de cette dimension W dans la propriété de la jonction. Les composants les plus larges ($W=25\mu\text{m}$) ont des caractéristiques bien séparées selon les longueurs du canal L (figure III.24a), alors qu'à l'inverse les composants étroits ($W=0,6\mu\text{m}$) montrent des caractéristiques bien plus proches les unes des autres pour des valeurs différentes de L (figure III.24b). Ainsi, plus le composant est étroit, moins l'influence de L est importante. Cela est lié à l'effet croissant des défauts de bords du transistor qui devient prédominant pour les très faibles dimensions.

L'extraction des paramètres a été effectuée selon le modèle VDEM. Les paramètres extraits sont regroupés dans le tableau III.4. Ces paramètres indiquent une prédominance des phénomènes de recombinaison, cela est en particulier indiqué par les valeurs du facteur de qualité A et du courant de recombinaison I_{or} qui est lui même bien supérieur au courant de diffusion I_{od} .



III.24a



III.24b

Figure III.24 : Evolution des caractéristiques I-V de la jonction drain-substrat pour différentes géométries (a) $W=25\mu m$ et (b) $W=0,6\mu m$.

L'influence de la longueur de canal sur les courants de diffusion I_{od} et de recombinaison I_{or} est sensible (Figures III.25 et III.26). Pour de très faibles surfaces, les procédés techniques de dopage conduisent à des couches de moins bonne homogénéité que dans le cas de surfaces plus importantes, et ainsi les effets de bord, qui amènent de fortes concentrations de défauts (rupture de liaisons), ont une influence plus grande dans le premier cas. Ces effets conduisent à une contribution élevée du courant de recombinaison au courant inverse de diode. Ce phénomène est confirmé par l'accroissement mesuré du courant I_{or} .

Dimension W/L (μm)	I _{od} (A)	I _{or} (A)	R _s (Ω)	A
25/25	1,55×10 ⁻¹⁸	7,93×10 ⁻¹³	0,69	1,54
25/4	1,08×10 ⁻²⁰	3,06×10 ⁻¹¹	2,87	1,84
25/3	7,12×10 ⁻²¹	5,57×10 ⁻¹¹	3,32	1,89
25/2,8	6,99×10 ⁻²¹	7,65×10 ⁻¹¹	3,98	1,94
25/2	6,8×10 ⁻²¹	9,39×10 ⁻¹¹	4,63	2,01
25/1	5,11×10 ⁻²¹	1,5×10 ⁻¹⁰	6,45	2,07
25/0,8	5,08×10 ⁻²¹	5,85×10 ⁻¹⁰	7,85	2,12
25/0,7	4,45×10 ⁻²¹	4,5×10 ⁻⁹	9,07	2,18
25/0,6	4,23×10 ⁻²¹	1,64×10 ⁻⁹	10,71	2,22
25/0,5	3,61×10 ⁻²¹	8,39×10 ⁻⁹	11,48	2,27
25/0,4	2,02×10 ⁻²¹	1,33×10 ⁻⁸	12,83	2,41
0.6/3	4,48×10 ⁻²¹	8,44×10 ⁻²² (*)	35,82	0,86
0,6/0,6	2×10 ⁻²¹	2,55×10 ⁻¹⁴	19,71	1,32
0,6/0,5	1,46×10 ⁻²¹	8,41×10 ⁻¹⁴	17,4	1,44
0,6/0,4	8,01×10 ⁻²²	7,44×10 ⁻¹³	14,93	1,67

Tableau III.4 : Récapitulatif des résultats obtenus pour les paramètres électriques de la jonction drain-substrat.

Notons ici que le courant de saturation inverse dû à la diffusion I_{od} diminue avec la réduction de la longueur de canal L pour la largeur de grille L fixée à 25μm et à 0,6μm (Figures III.25), tandis que celui dû à la recombinaison I_{or} augmente (Figures III.26).

(*) Valeur d'incertitude

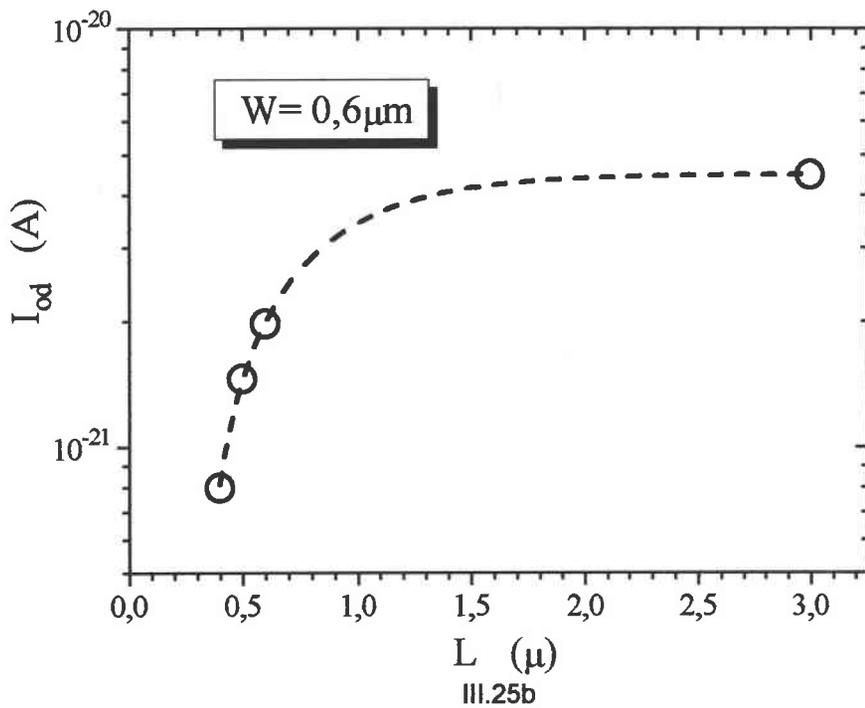
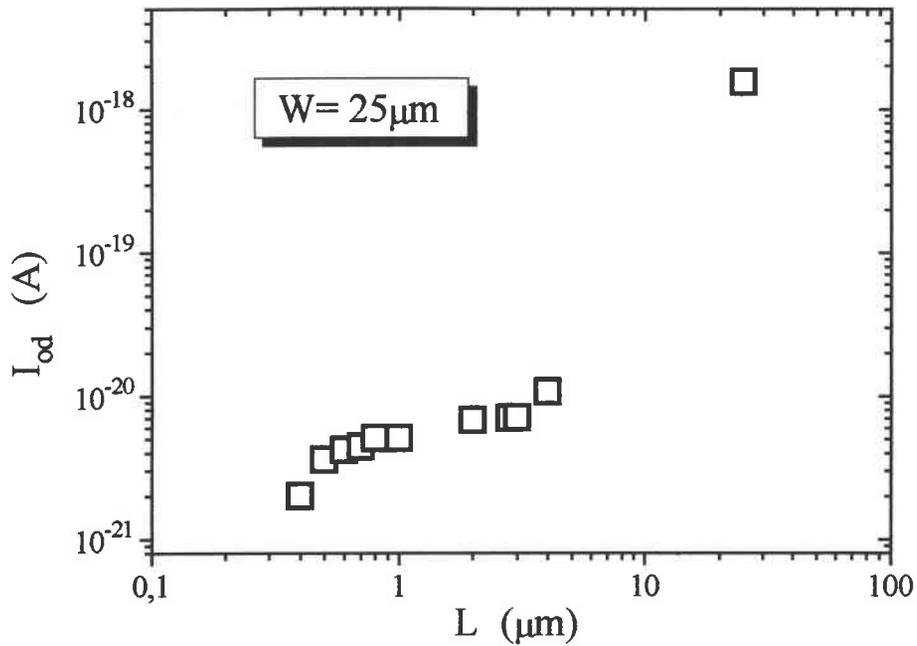


Figure III.25 : Courant de diffusion I_{od} des jonctions drain-substrat en fonction du L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

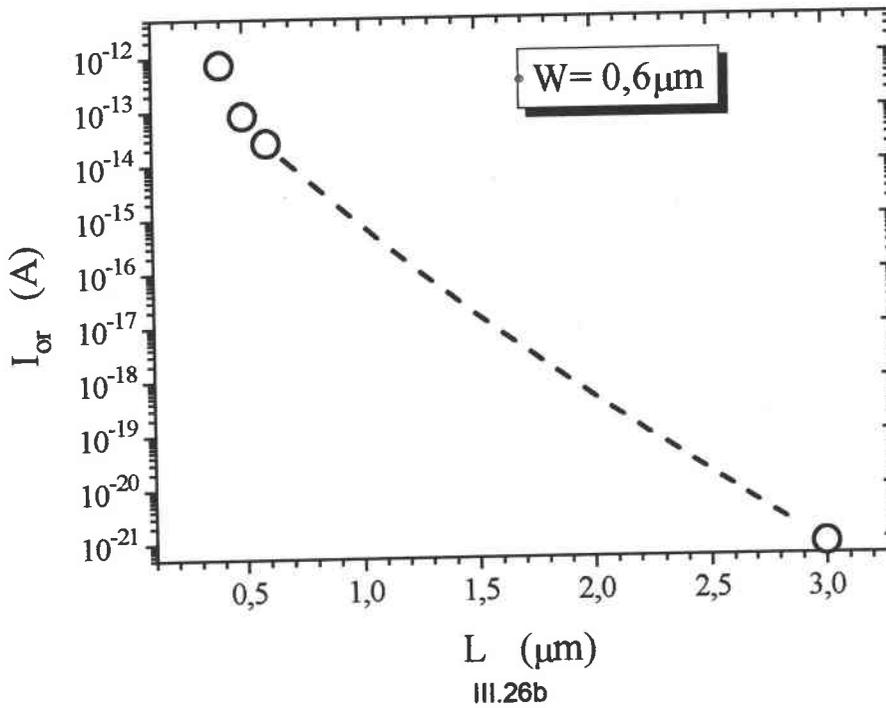
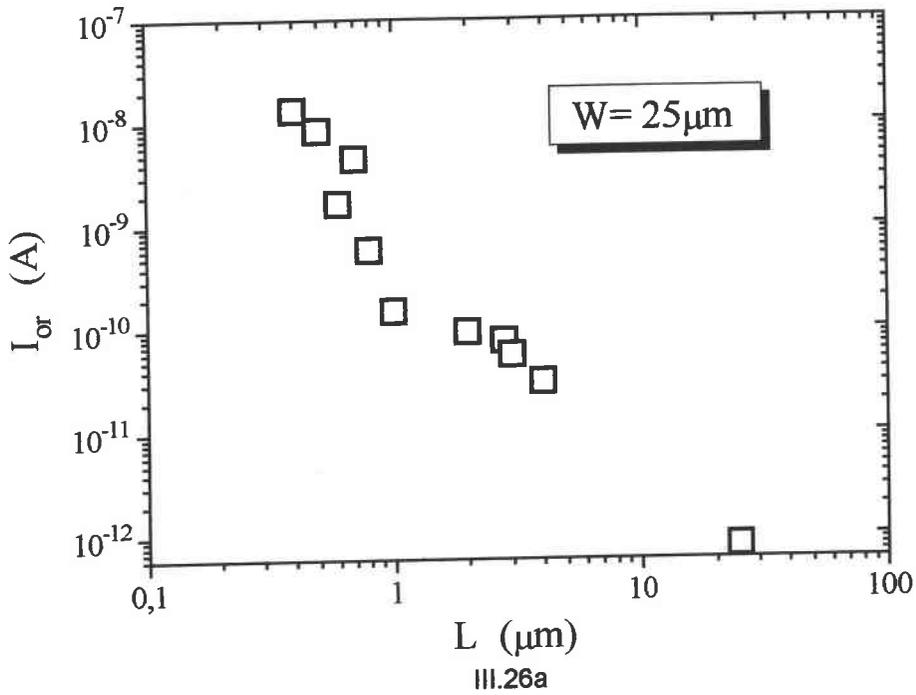
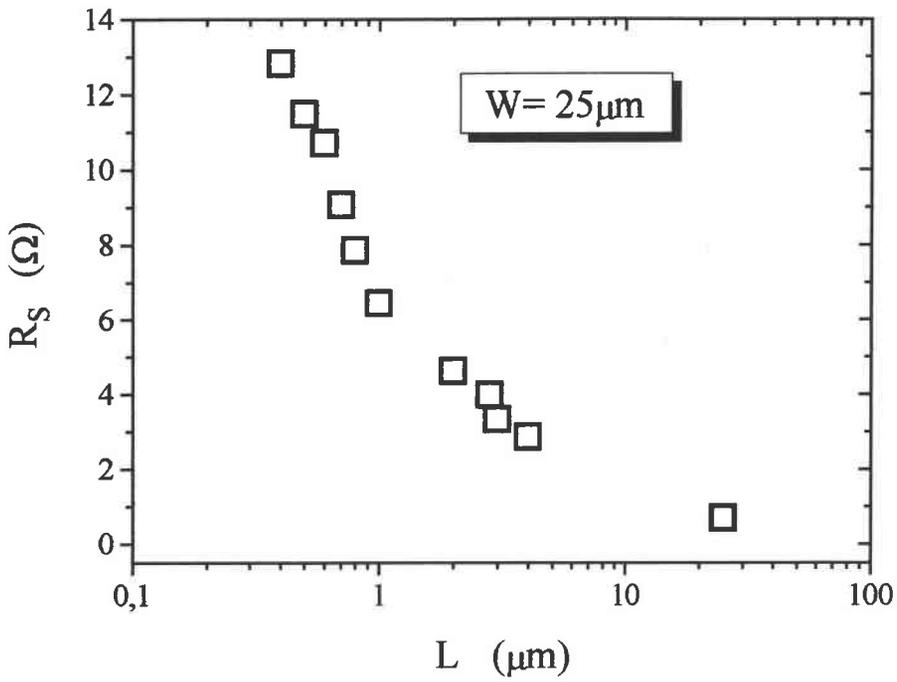
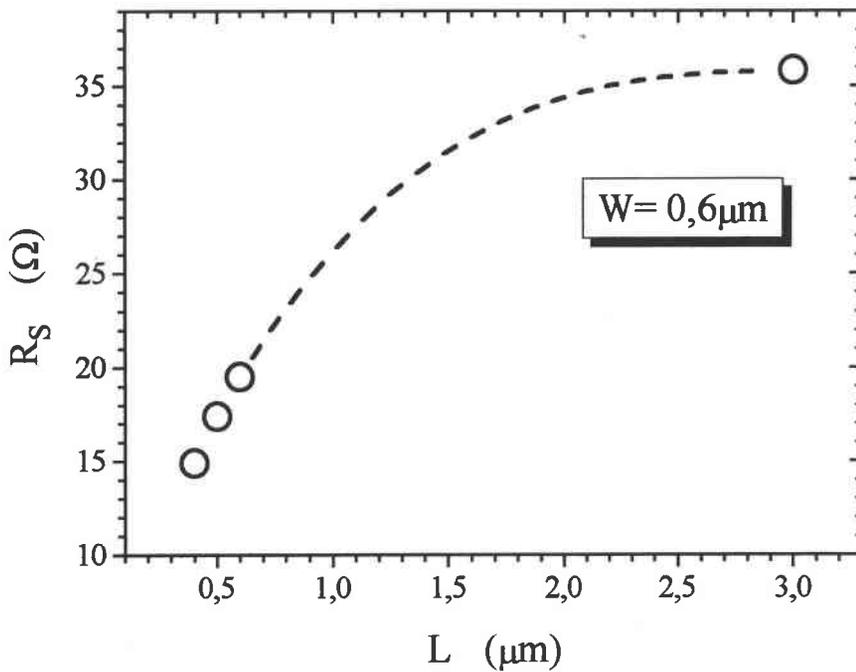


Figure III.26 : Courant de recombinaison I_{or} des jonctions drain-substrat en fonction du L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

Pour les transistors larges ($W=25\mu\text{m}$), la résistance série R_s présente une augmentation avec la réduction de la longueur de canal (figure III.27a). Tandis que pour les transistors étroits ($W=0,6\mu\text{m}$), elle diminue avec la réduction de la longueur de canal (figure III.27b).



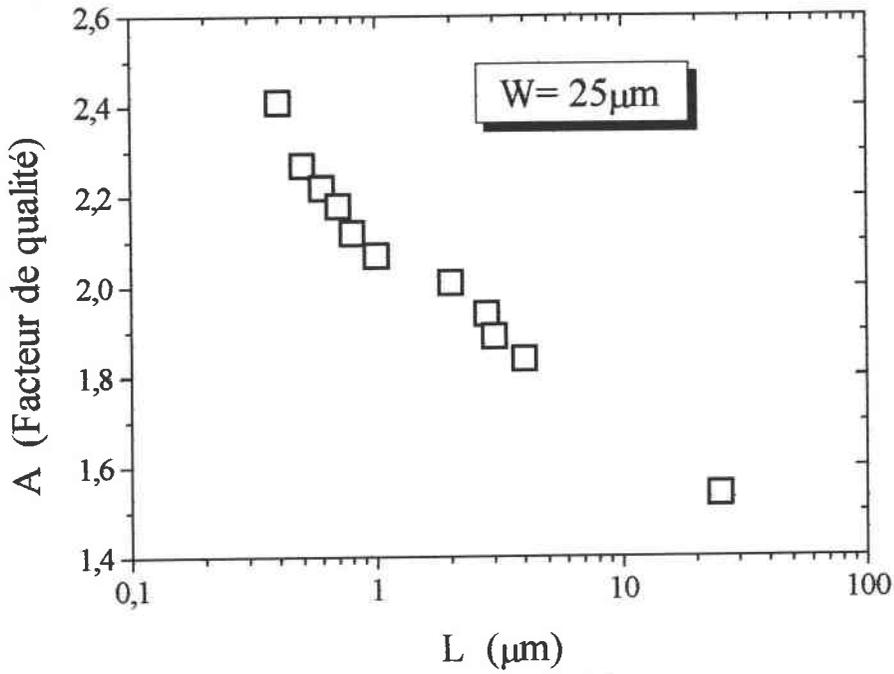
III.27a



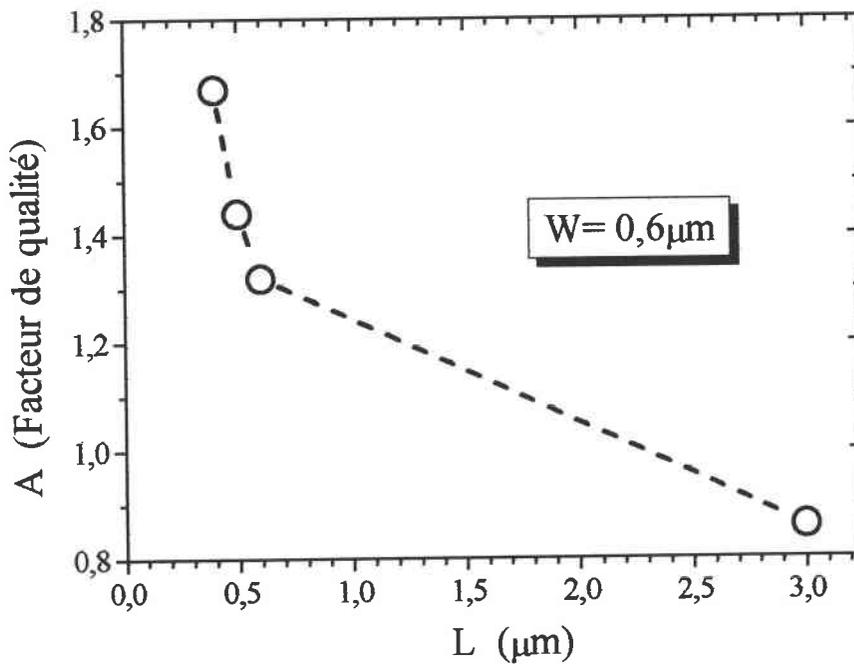
III.27b

Figure III.27 : Résistance série de la jonction drain-substrat en fonction du L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

Aucune évolution significative de la résistance shunt R_{Sh} n'a été observée, montrant que les courants de fuite ne sont pas altérés par une réduction des dimensions des transistors. Les valeurs R_{Sh} sont très grandes (de l'ordre de 10^{11} à $10^{13} \Omega$).



III.28a



III.28b

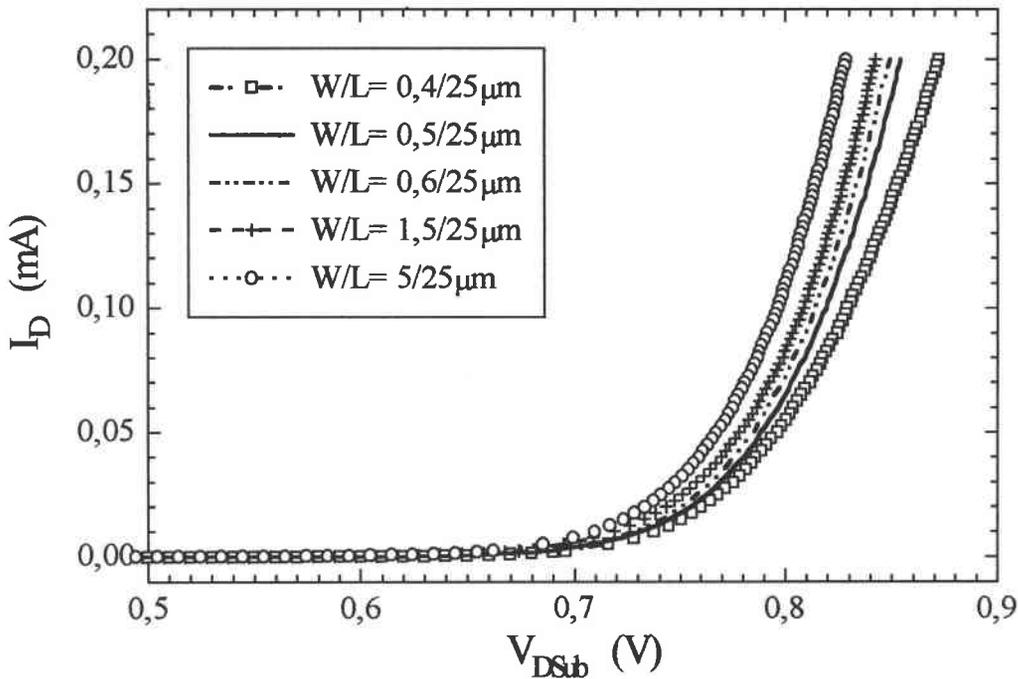
Figure III.28 : Facteur de qualité de la jonction drain-substrat en fonction du L avec (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

Le facteur de qualité A de la jonction drain-substrat croît avec la diminution de la longueur du canal L (Figures III.28). Cet accroissement est lié à celui de la recombinaison des porteurs dans la zone de charge d'espace de la diode et à l'interface oxyde-semiconducteur. Cet évolution de A va dans le même sens que l'évolution de I_{or} impliquant des phénomènes de

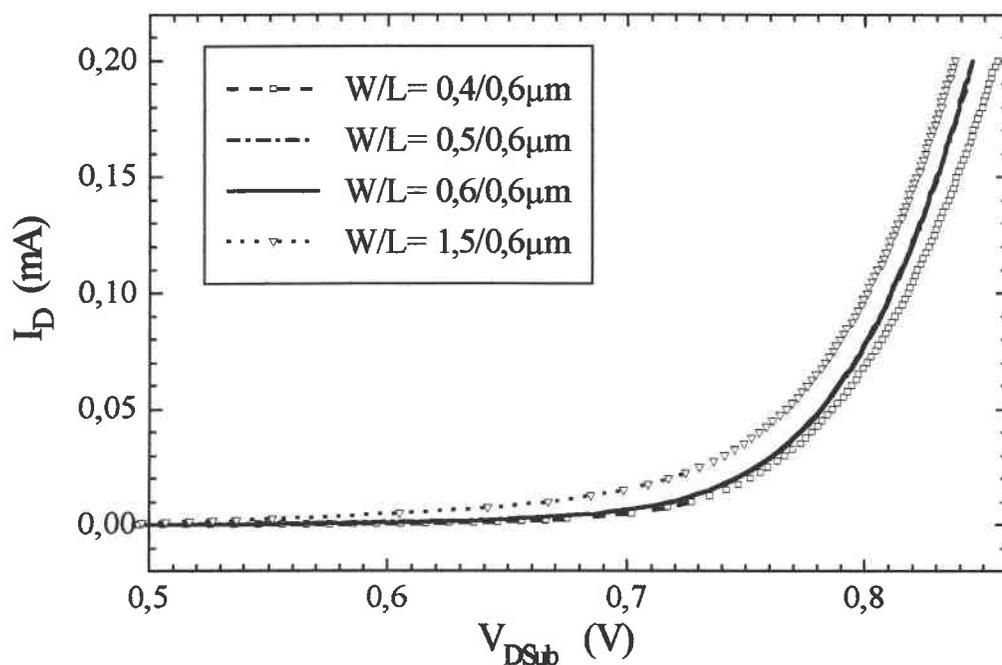
recombinaison plus importants. Ils montrent que la jonction paraît de moins bonne qualité, les mécanismes de recombinaison en ZCE prenant plus d'importance.

III.4.2 Effet de W

A polarisation de grille nulle ($V_{GS}=0V$), les caractéristiques de la jonction drain-substrat des différents largeurs de transistors ($L=25\mu m$ et $L=0,6\mu m$) d'un même boîtier sont présentées sur les figures III.29. Comme on peut le voir, elles apparaissent bien groupées selon la largeur de la grille W . L'ensemble des transistors à canal court ($L=0,6\mu m$) montre des caractéristiques bien proches les unes des autres par rapport à celui à canal long ($L=25\mu m$), pour les différentes valeurs de W . Les courants de diffusion I_{od} et de recombinaison I_{or} sont aussi influencés par la largeur de grille.



III.29a



III.29b

 Figure III.29 : Evolution des caractéristiques I-V de la jonction drain-substrat pour différentes géométries (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

Dimension W/L (μm)	I_{od} (A)	I_{or} (A)	R_s (Ω)	A
0,4/25	$2,12 \times 10^{-21}$	$1,64 \times 10^{-16}$	125,61	1,09
0,5/25	$2,09 \times 10^{-21}$	$8,53 \times 10^{-19}$	120,66	0,95
0,6/25	$2,05 \times 10^{-21}$	$1,1 \times 10^{-19}$	112,5	0,9
1,5/25	$2,04 \times 10^{-21}$	$1,36 \times 10^{-20}$	107,68	0,82
5/25	$2,08 \times 10^{-21}$	$2,83 \times 10^{-16}$	95,21	1,19
0,4/0,6	$1,09 \times 10^{-21}$	$1,58 \times 10^{-13}$	26,65	1,55
0,5/0,6	$1,54 \times 10^{-21}$	$2,84 \times 10^{-14}$	23,22	1,39
0,6/0,6	2×10^{-21}	$2,55 \times 10^{-14}$	19,71	1,32
1,5/0,6	$6,07 \times 10^{-19}$	$2,98 \times 10^{-11}$	14,41	2,1

Tableau III.4 : Récapitulatif des résultats obtenus pour les paramètres électriques de jonction drain-substrat.

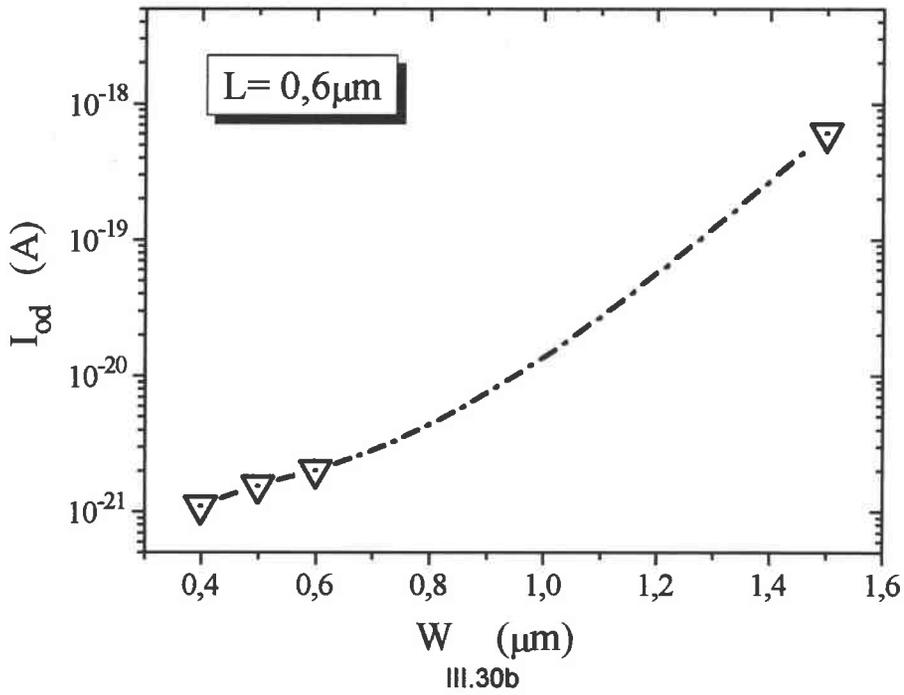
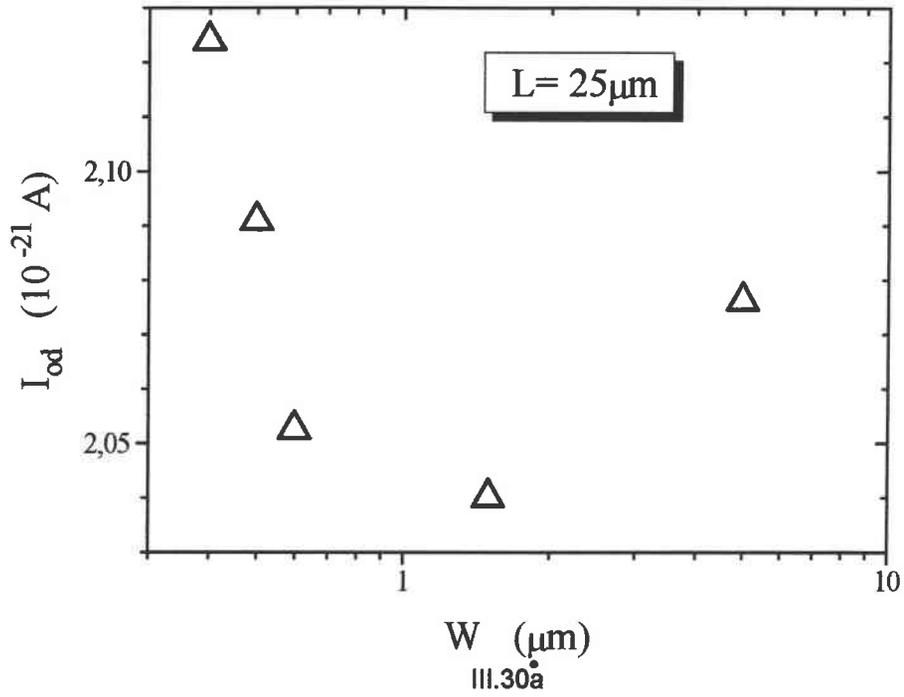
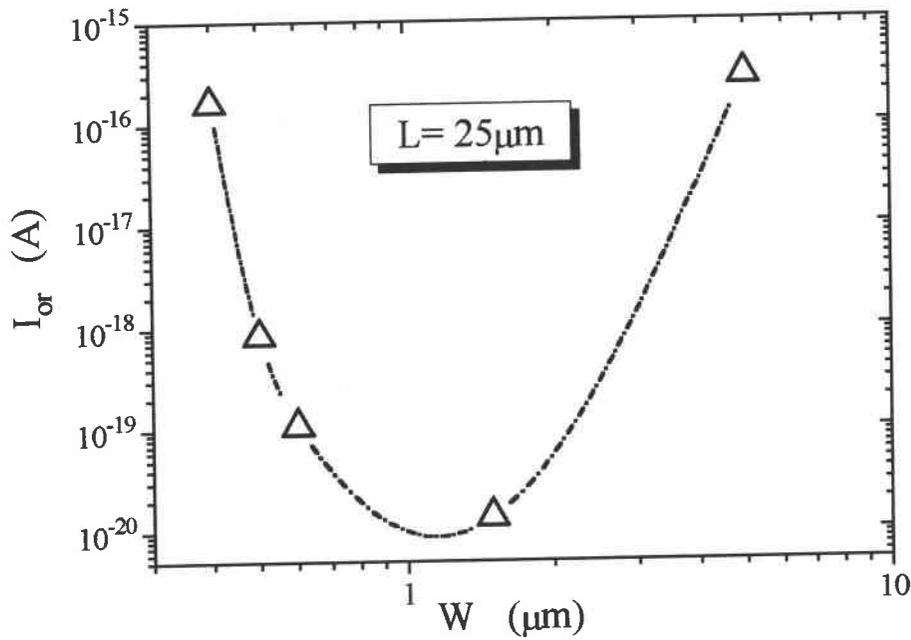
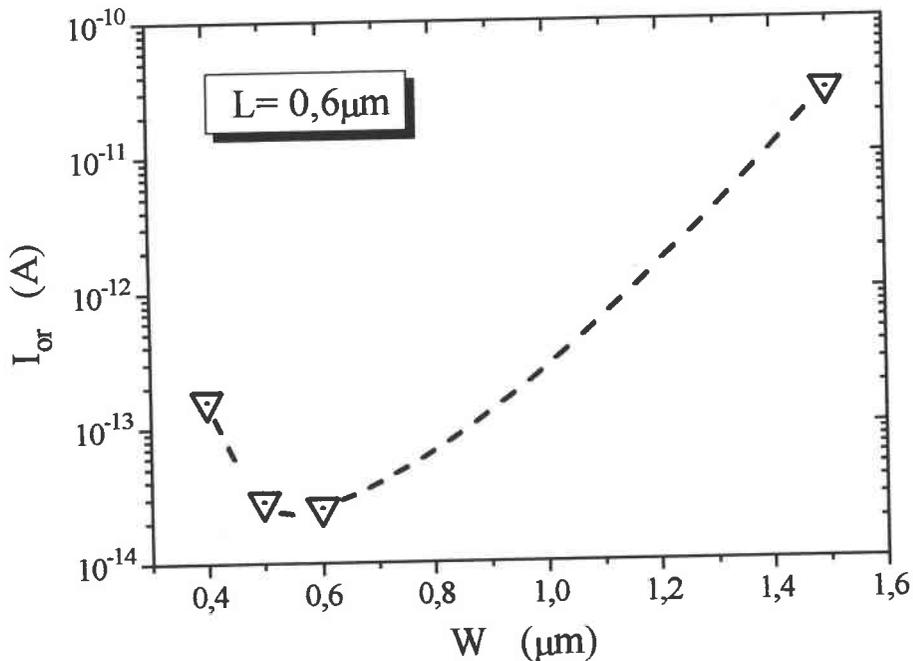


Figure III.30 : Courant de diffusion I_{od} des jonctions drain-substrat en fonction du W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.



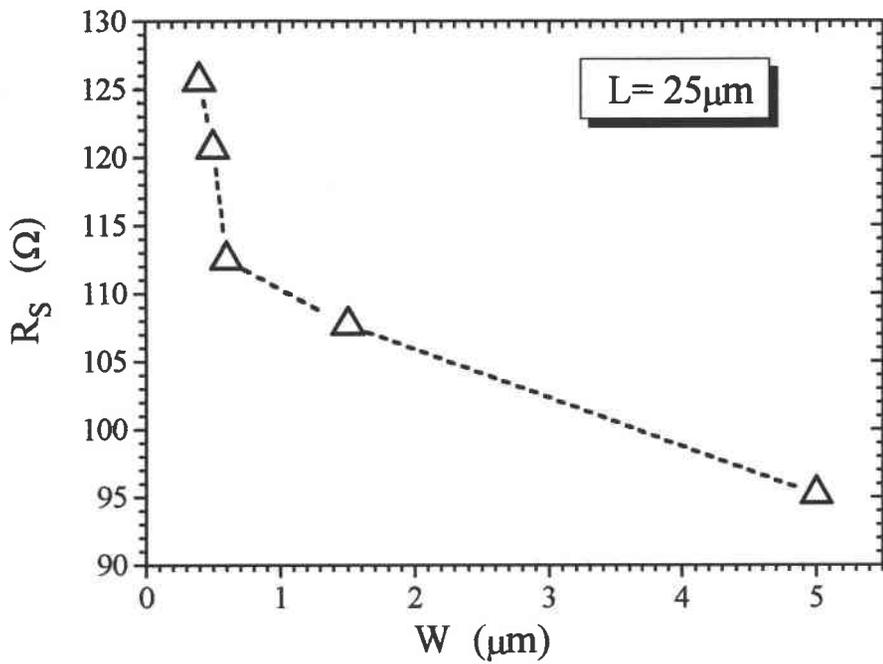
III.31a



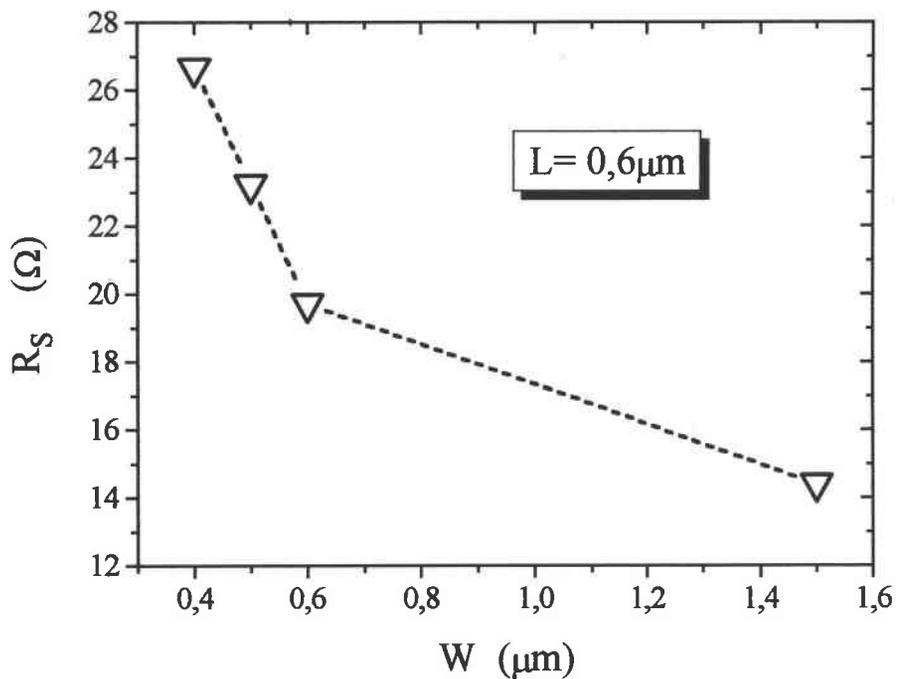
III.31b

Figure III.31 : Courant de recombinaison I_{or} des jonctions drain-substrat en fonction du W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

D'une façon nette, la résistance série R_S augmente avec la diminution de la largeur de grille W (Figures III.32). Cette augmentation de R_S pouvant se comprendre du fait qu'une diminution de W provoque une diminution de la surface conductrice de la jonction et donc une augmentation de la résistance.



III.32a



III.32b

Figure III.32 : Résistance série de la jonction drain-substrat en fonction du W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

Dans l'ensemble, le facteur de qualité A augmente avec la diminution de la largeur de grille après une certaine valeur de W (W inférieure à $1\mu\text{m}$). Cet accroissement du facteur de qualité est lié à un accroissement de la recombinaison des porteurs dans la zone de charge d'espace, comme cela a été confirmé par l'évolution du courant de recombinaison I_{or} de la jonction (Figures III.31). Cette augmentation du courant de recombinaison et du facteur de qualité

montre que la jonction paraît de moins bonne qualité avec la réduction de largeur W , la recombinaison dans la ZCE prenant de l'importance du fait du confinement.

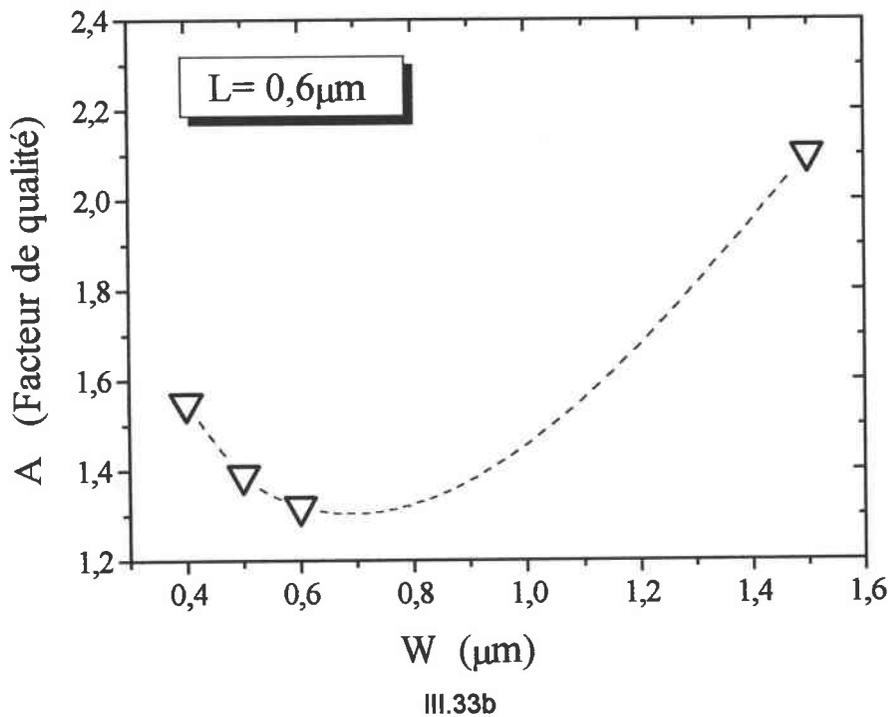
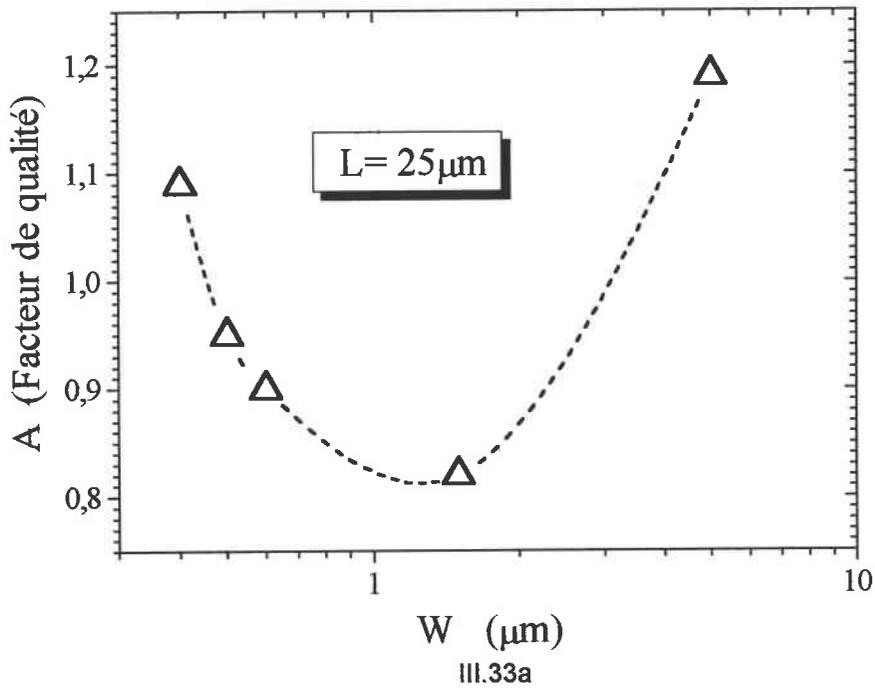


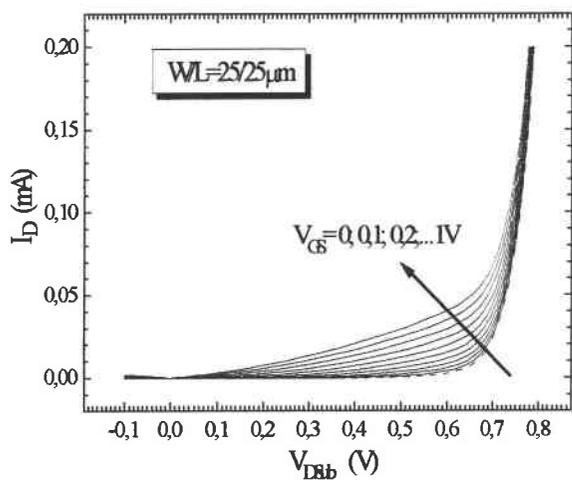
Figure III.33 : Facteur de qualité de la jonction drain-substrat en fonction du W avec (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

III.4.3 Effet de la tension de grille

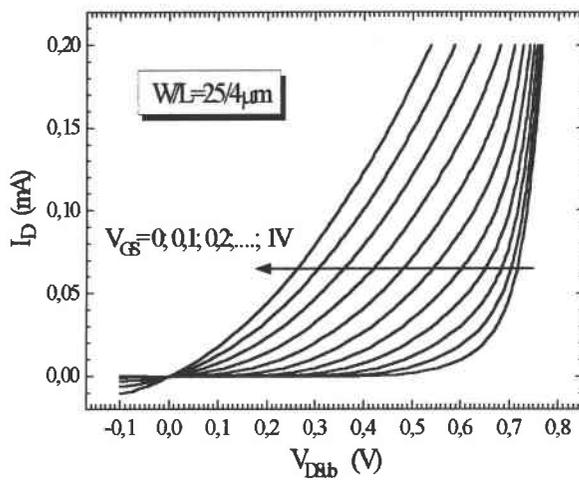
La structure étudiée ici est celle d'une diode contrôlée par la grille. Jusqu'ici la polarisation de grille est nulle ($V_{GS}=0V$). Une polarisation appliquée à la grille induit, par influence électrostatique, une variation du potentiel de surface de la jonction, qui modifie l'extension de la zone de charge d'espace de la jonction drain-substrat. Une polarisation positive sur la grille provoque une courbure des bandes d'énergie près de l'interface oxyde-semiconducteur SiO_2-Si créant une zone désertée et même une couche d'inversion lorsque V_{GS} est suffisamment élevée. Cela augmente le nombre de porteurs minoritaires dans la zone p sous la grille qui modifie localement la région dépeuplée de la jonction substrat-drain. L'augmentation de la densité des porteurs modifie les lignes de courant de la jonction en polarisation directe et donc influence les mécanismes de transport des porteurs.

Les caractéristiques de cette jonction peuvent ainsi être modifiées par la tension de grille V_{GS} , cette modification dépendant de la géométrie du transistor. Le champ électrique et les densités de courant ne sont en effet pas les mêmes lorsque L et W varient, donc les phénomènes de transport non plus.

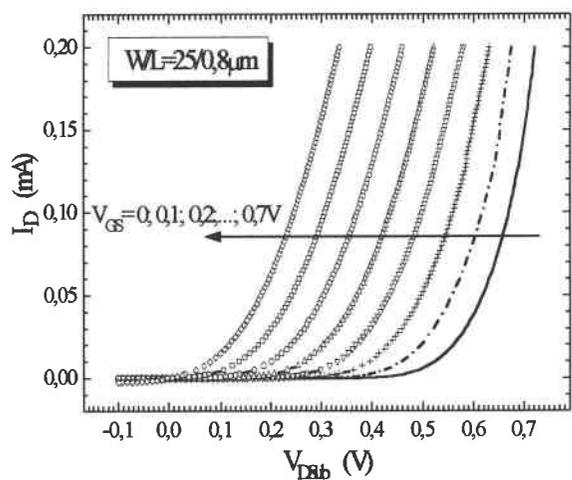
Les figures III.34, III.35, III.36 et III.37 montrent que la tension de grille V_{GS} agit sur la caractéristique I-V de la jonction pour différentes familles de transistor. Comme visibles sur ces caractéristiques, la polarisation de la grille du transistor provoque une augmentation du courant de la jonction. Cette augmentation du courant dépend du type de géométrie et d'une manière générale, il a été constaté qu'elle était proportionnelle au rapport W/L du transistor. Un courant supplémentaire s'ajoute au courant de diode pour toutes les valeurs de tension de drain V_{DSub} et augmente linéairement avec V_{DSub} . Notons que les transistors de plus grand rapport W/L ($W/L=25/0,8$ et $25/0,4$; figures III.34c et d) montrent le plus fort accroissement de courant, tandis que ceux à faible rapport W/L ($0,4/25$ et $0,6/3$; figures III.36a et III.35a) montrent très peu de variations apparentes de la caractéristique de la jonction, même lorsque V_{GS} appliquée est nettement supérieure à la tension de seuil V_{th} . En fait, le courant qui s'ajoute lorsque V_{GS} est supérieur à la tension de seuil V_{th} (V_{th} vaut de 0.62 à 1V selon le composant), n'est autre que le courant qui passe dans le canal lorsque le MOSFET fonctionne en mode inverse c'est à dire avec une polarisation de source supérieure à la polarisation de drain.



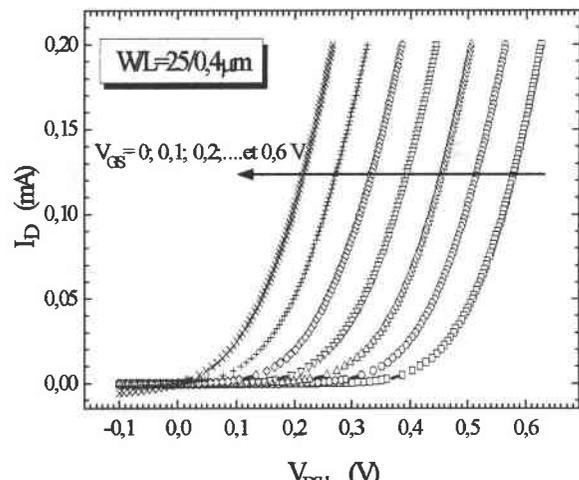
III.34a



III.34b

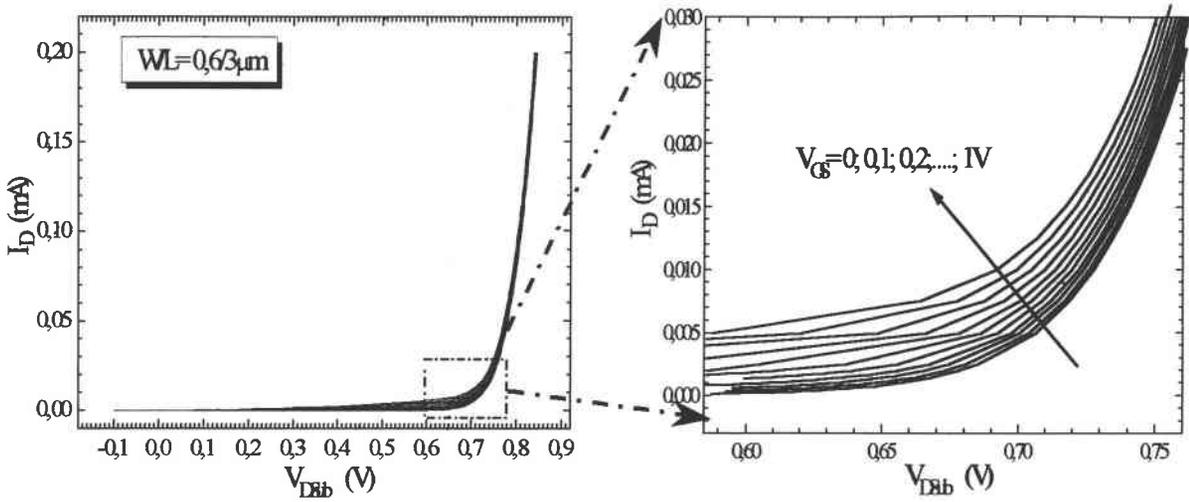


III.34c

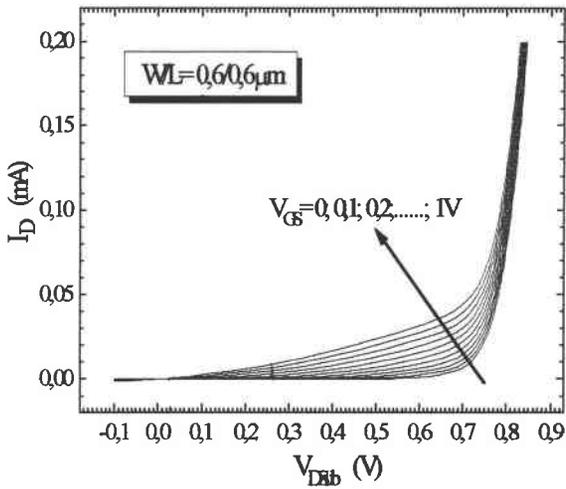


III.34d

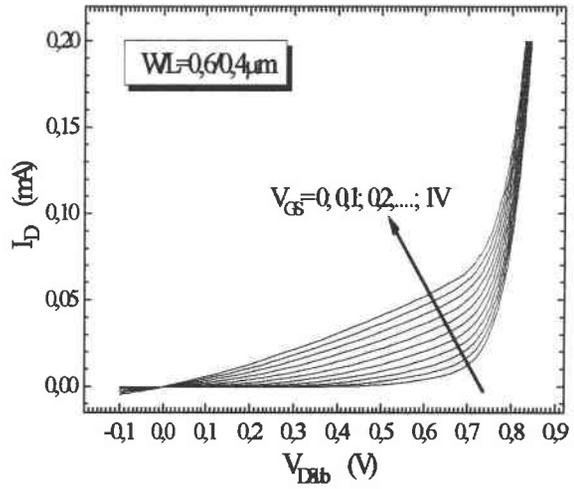
Figure III.34 : Caractéristiques I-V de la jonction substrat-drain des différentes dimensions de transistors pour la largeur $W=25\mu\text{m}$ et pour plusieurs valeurs de tension de grille.



III.35a

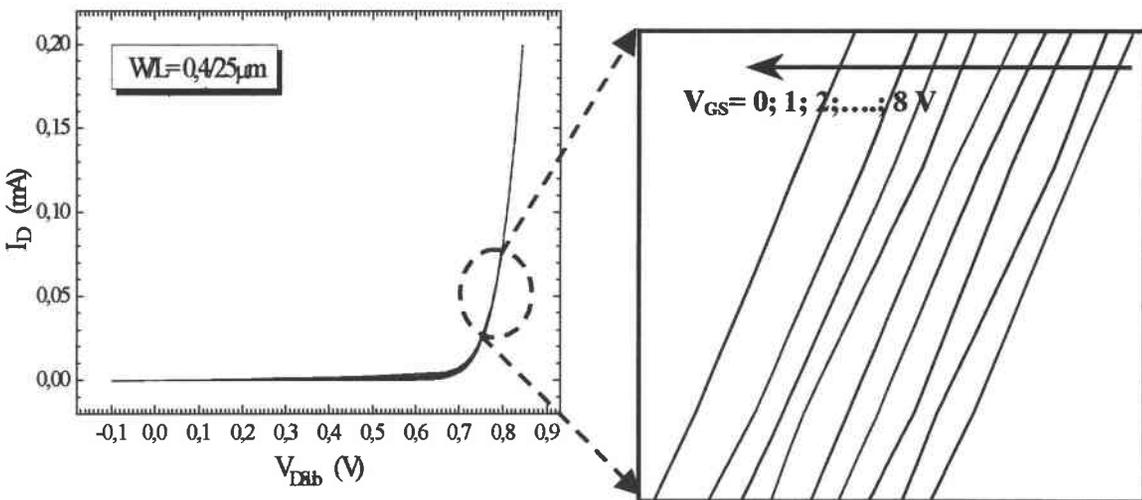


III.35b

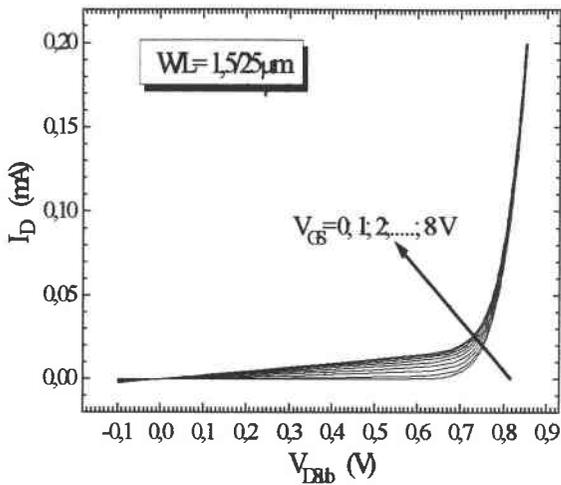


III.35c

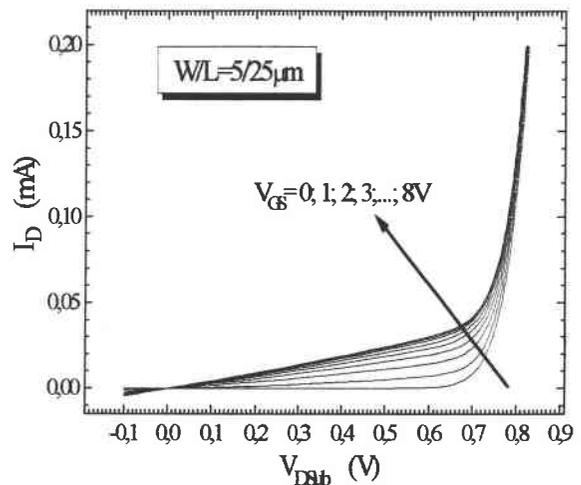
Figure III.35 : Caractéristiques I-V de la jonction substrat-drain des différentes dimensions de transistors pour la largeur $W=0,6\mu\text{m}$ et pour plusieurs valeurs de tension de grille.



III.36a

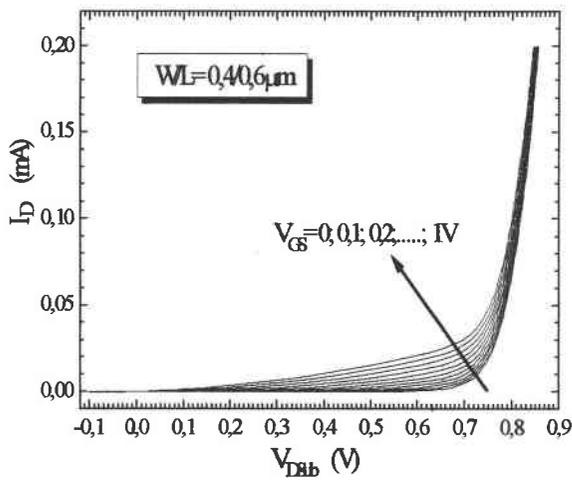


III.36b

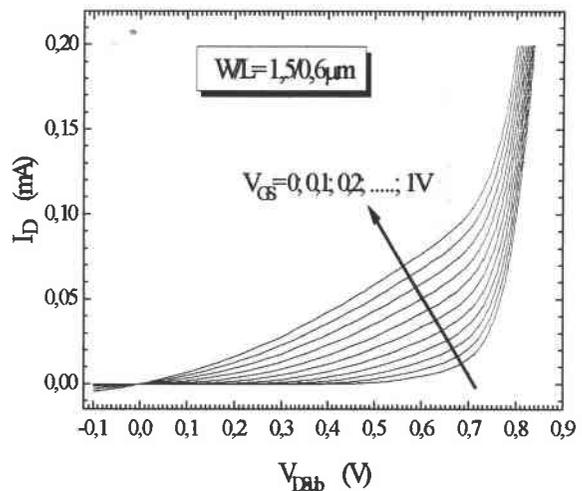


III.36c

Figure III.36 : Caractéristiques I-V de la jonction substrat-drain des différentes dimensions de transistors pour la largeur $L=25\mu\text{m}$ et pour plusieurs valeurs de tension de grille.



III.37a



III.37b

Figure III.37 : Caractéristiques I-V de la jonction substrat-drain des différentes dimensions de transistors pour la largeur $L=0,6\mu\text{m}$ et pour plusieurs valeurs de tension de grille.

L'évolution des paramètres caractéristiques de la jonction sous l'influence de la tension de grille est présentée dans les figures III.38, III.39, III.40 et III.41 respectivement pour les courants de saturation inverses de diffusion I_{od} et de recombinaison I_{or} , le facteur de qualité A et la résistance série R_s .

Pour les transistors larges ($W=25\mu\text{m}$, figure III.38a), I_{od} n'est pratiquement pas influencé par la tension de grille malgré les quelques fluctuations observées qui, compte tenu des valeurs, restent dans le domaine des incertitudes. Par contre, pour les transistors dont le rapport W/L est inférieure à 1, I_{od} augmente avec la tension de grille.

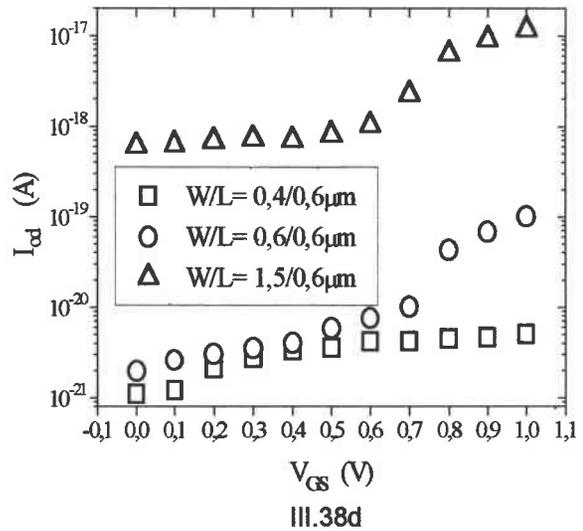
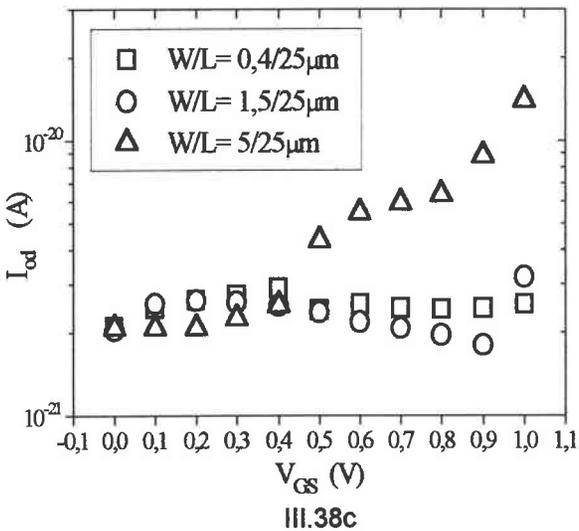
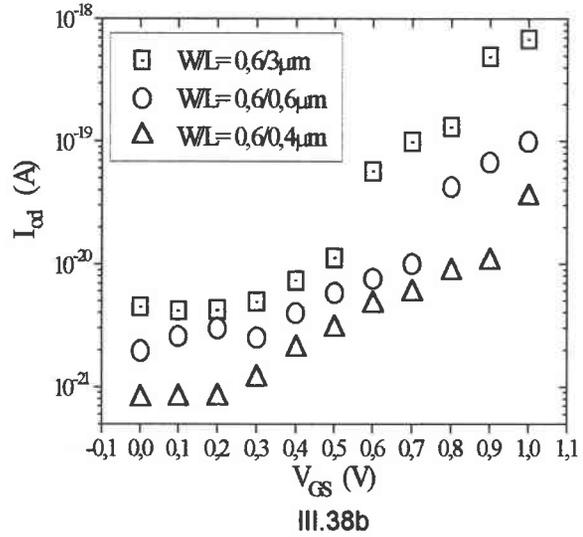
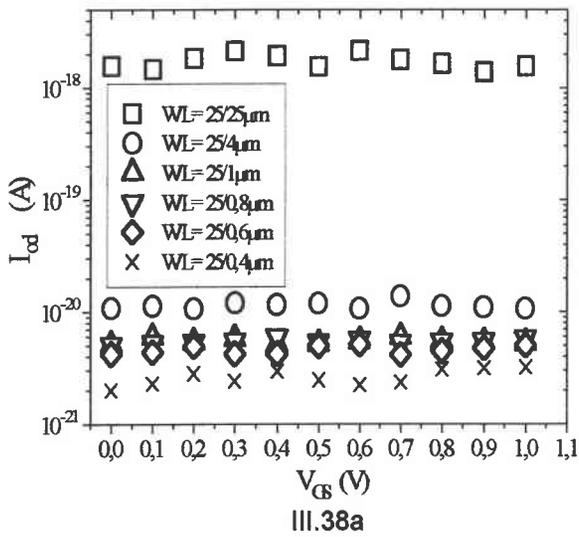


Figure III.38 : Courant de saturation inverse de diffusion en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

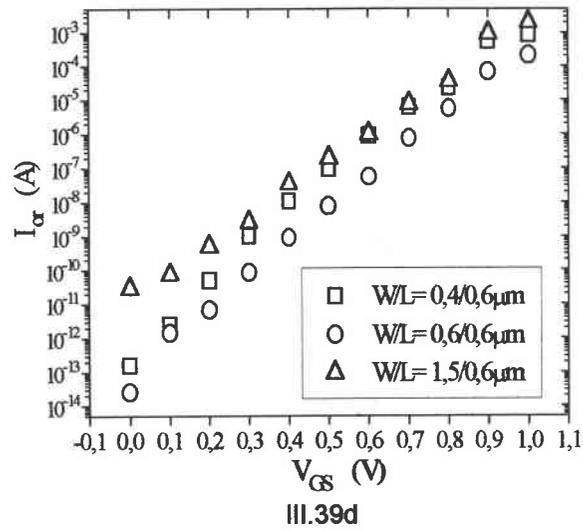
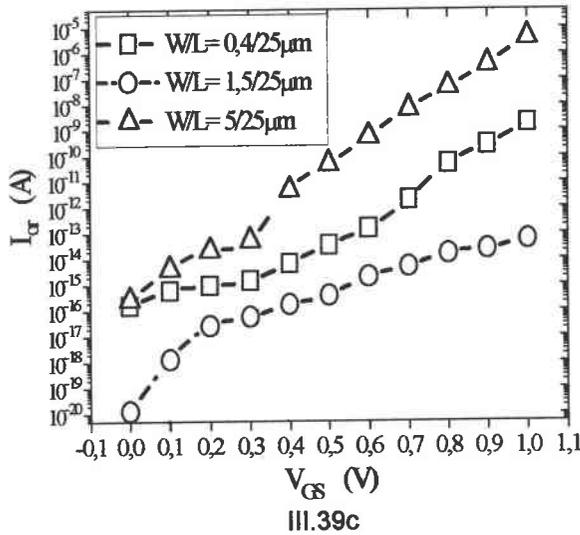
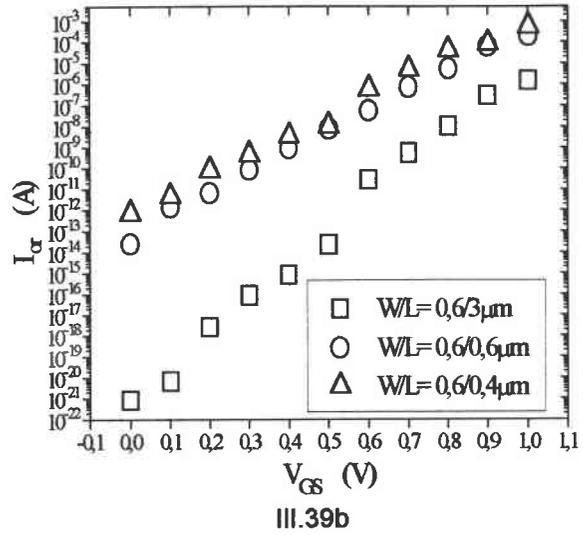
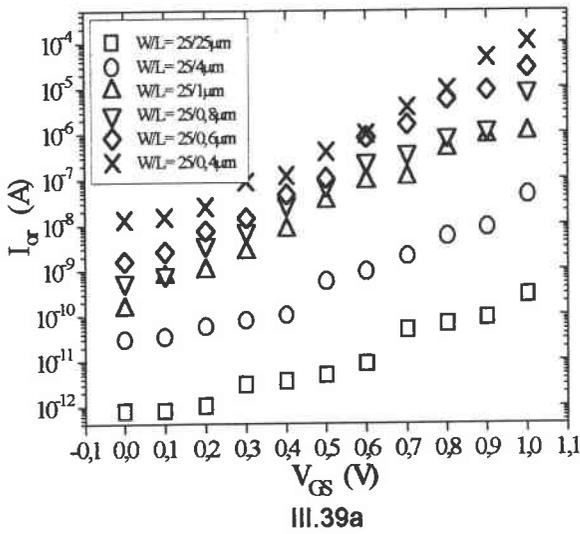


Figure III.39 : Courant de saturation inverse de recombinaison en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

Le courant de saturation inverse dû à la recombinaison I_{or} et le facteur de qualité A montrent une influence très nette de la polarisation de grille (Figures III.39 et III.40). Ils augmentent avec la tension de grille V_{GS} . L'accroissement de ces deux paramètres peut être liée à une extension relativement plus grande de la zone de charge d'espace et donc à une plus grande importance de la recombinaison des porteurs.

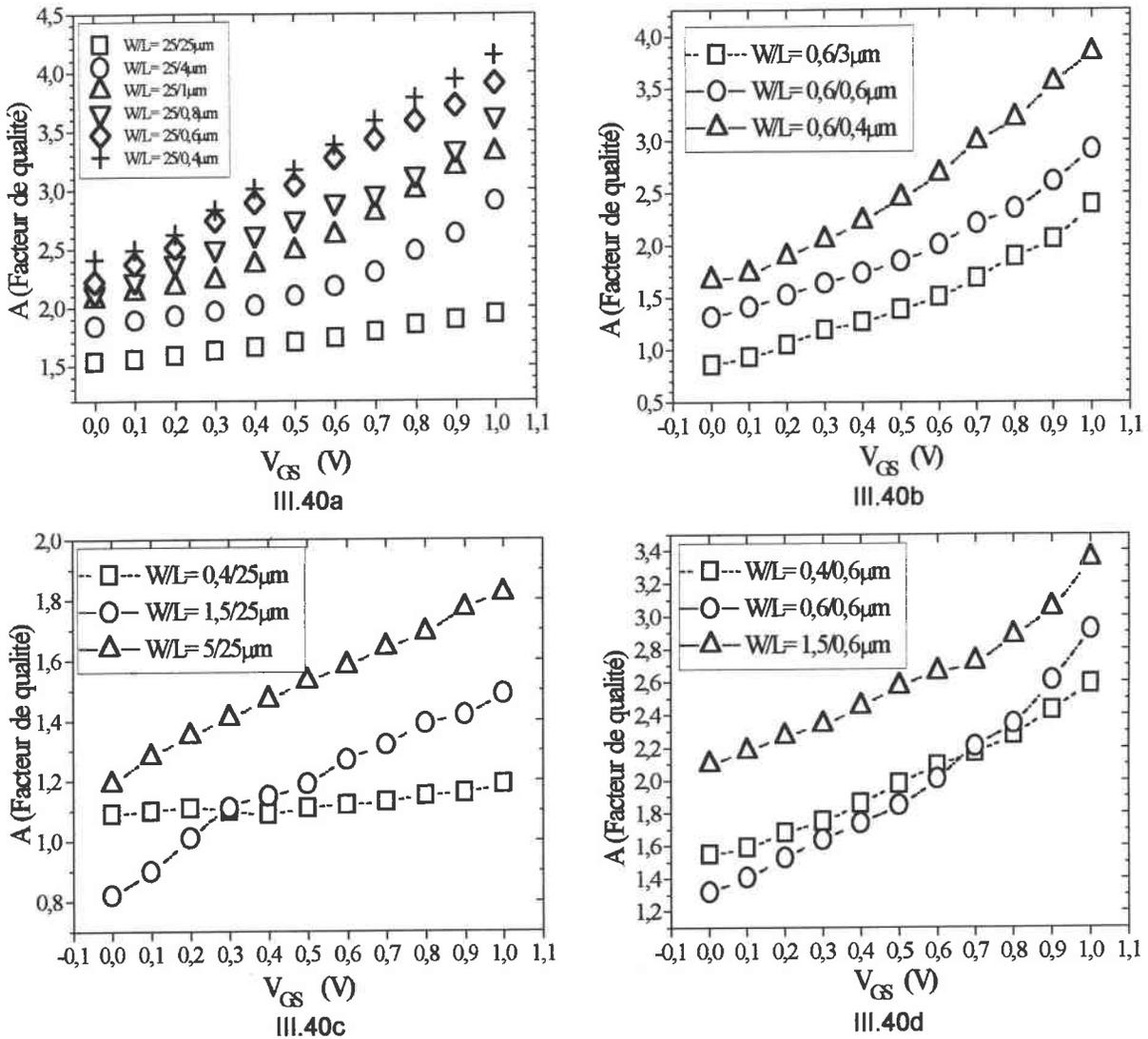


Figure III.40 : Facteur de qualité en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

Les résistances séries présentent une faible réponse à la tension de grille surtout pour les transistors les plus larges ($W=25\mu\text{m}$). Les valeurs les plus élevées sont obtenues pour les transistors les plus étroits et à canal long ($W/L=0,4/25\mu\text{m}$), ce qui correspond aux surfaces de la jonction les plus faibles et vérifie la proportionnalité inverse de la résistance avec la surface. Quelque soit la dimension des transistors, la résistance série R_S diminue lorsque V_{GS} augmente (Figures III.44). L'augmentation de V_{GS} correspond à une extension de la zone de charge d'espace, se trouve donc associée à une diminution de la zone de diffusion dans les zones neutres. C'est la zone qui détermine la résistance par sa profondeur.

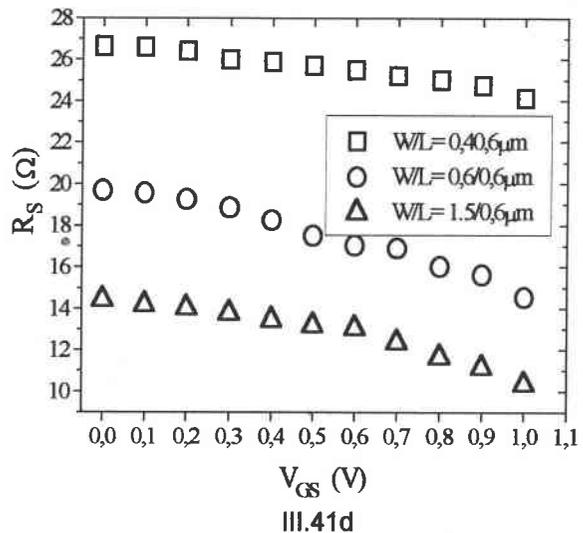
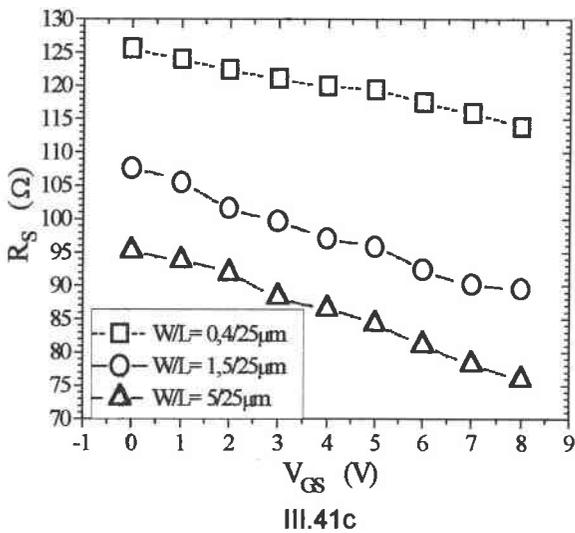
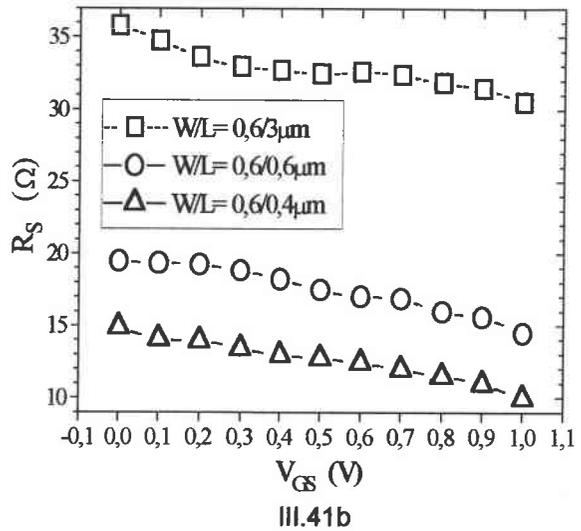
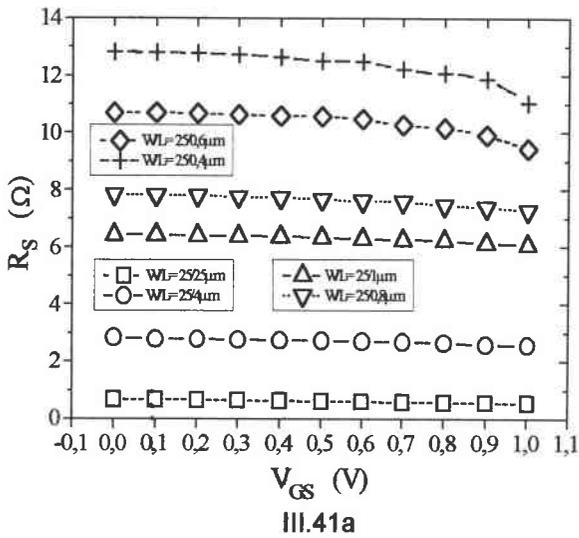


Figure III.41 : Résistance série en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

III.4 ETUDE SUR LE BIPOLAIRE DRAIN-SUBSTRAT-SOURCE

L'objectif de ce travail est de regarder les variations des paramètres associés au transistors bipolaire créé par la structure du MOSFET en fonction de la variation du potentiel appliqué à l'interface oxyde semi-conducteur. Les composants submicronique ayant de petites longueurs de canal présentent les avantages de se comporter comme un transistor bipolaire. L'étude de cet effet devant être extrapolé à l'effet de dose dans des oxydes de passivation. Les variations du gain en courant du transistor bipolaire pour différents potentiels de grille sont analysées.

Dans le cadre de cette étude le transistor bipolaire associé à la structure nLDD-MOSFET (jonction npn), a été considéré en prenant (Figure III.42) :

- la source comme collecteur
- le drain comme émetteur (seul contact indépendant pour chaque composant)
- le substrat étant la base

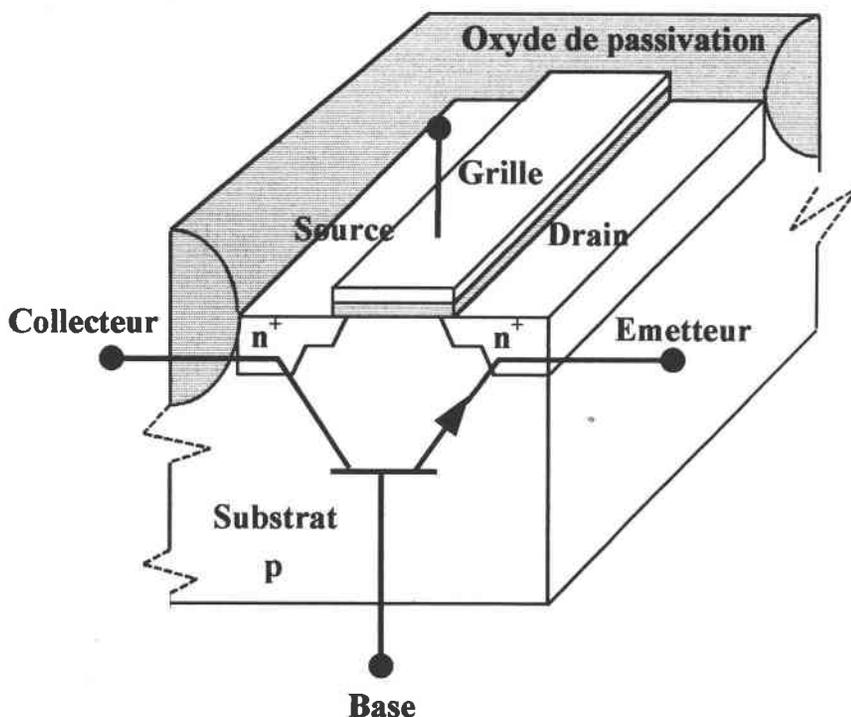
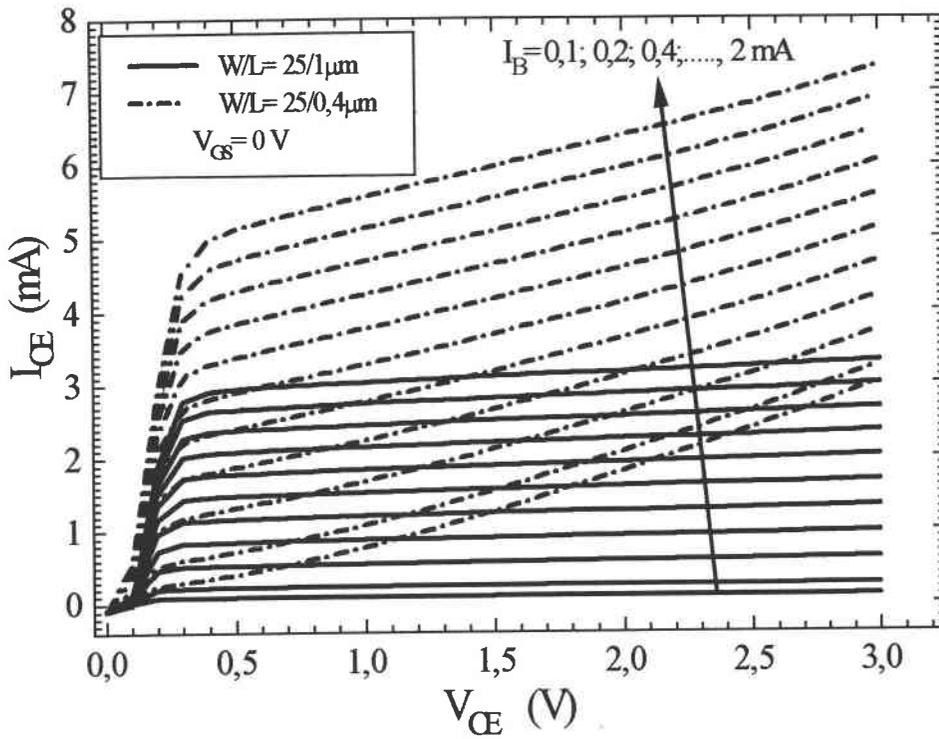
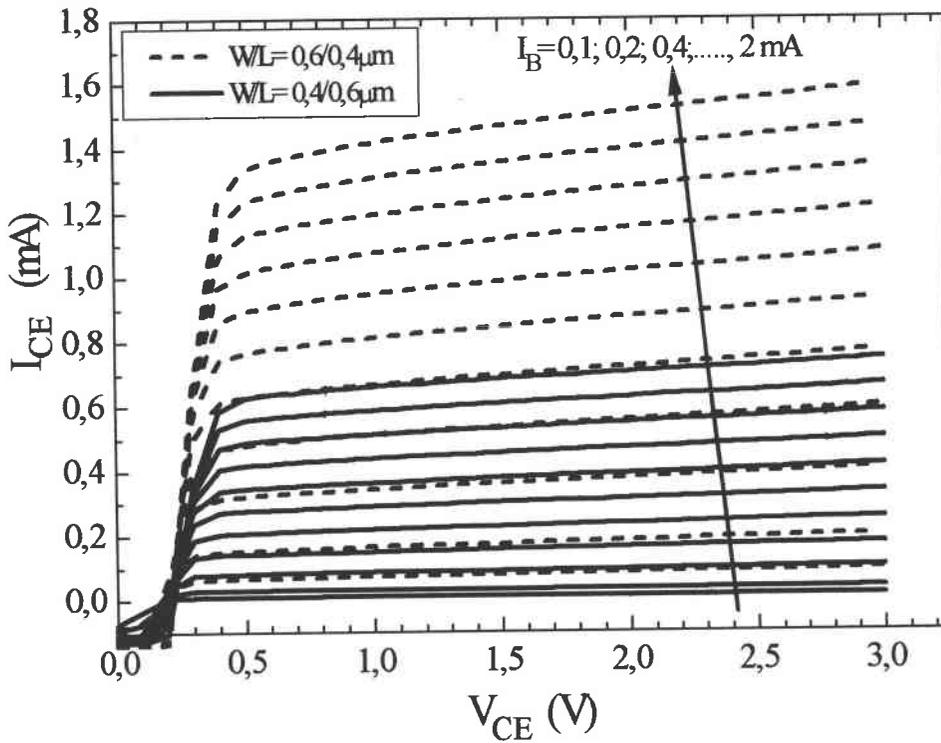


Figure III.42 : Transistor nLDD-MOSFET associé à la jonction bipolaire npn.

Les caractéristiques courant-tension $I_{CE}-V_{CE}$ à I_B constant, obtenues pour quatre dimensions de transistors sont données par les figures III.43 pour plusieurs valeurs de I_B . Dans les mesures présentées sur ces figures, la grille a été connectée à la masse. Le courant de base, I_B , varie de 0,1 à 2 mA. Les caractéristiques des transistors de dimension $25/1\mu\text{m}$ sont pratiquement les mêmes que celles du courant de drain I_{DS} mesurées en fonction de la tension V_{DS} . Pour les transistors de grande largeur et de longueur inférieures au μm , les caractéristiques sont semblables, mais nous notons une faible dépendance en fonction de la tension V_{CE} .



III.43a



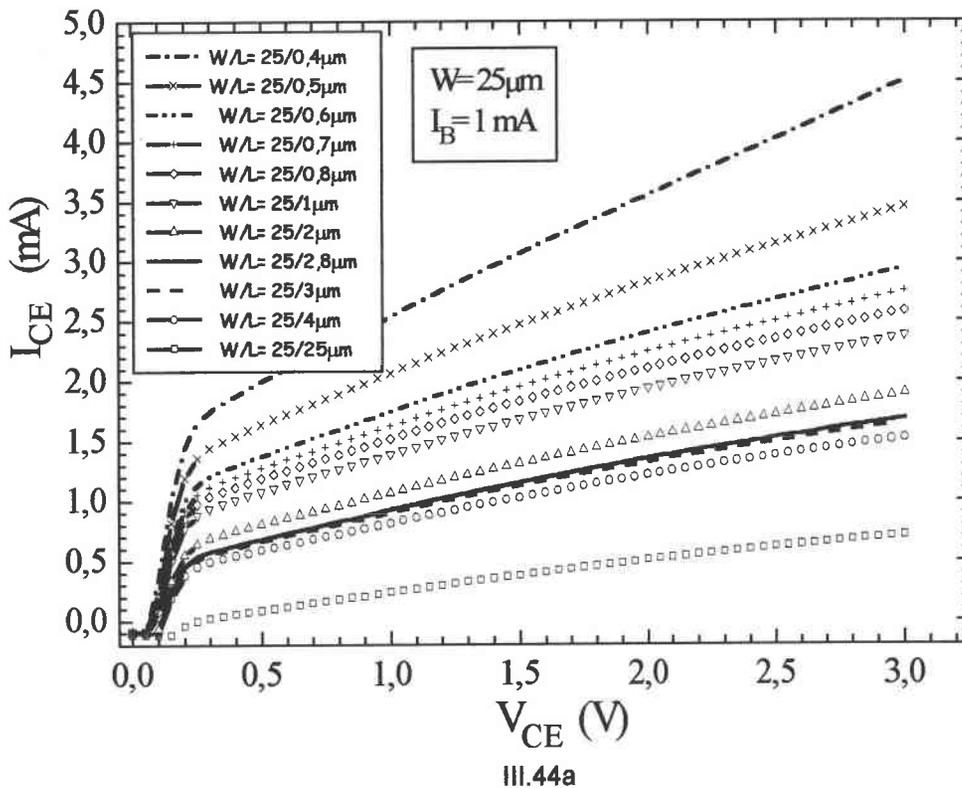
III.43b

Figure III.43 : Caractéristiques de fonctionnement normal I_{CE} - V_{CE} à I_B constant et $V_{GS} = 0$ V pour 4 dimensions différentes de transistors.

III.5.1 Effet de L

On remarque que la réduction de la longueur du canal (la largeur de base) sous l'effet du courant de base fixé à 1 mA, donne lieu à une augmentation du courant de collecteur ou du gain en courant β (Figures III.44). La dépendance observée de la tension I_{CE} en fonction de V_{CE} dépend du rapport W/L . En effet plus ce dernier augmente (L diminue), plus cette dépendance devient importante et plus l'amplitude du courant I_{CE} augmente.

Les gains en courant sont compris entre 0 et 5 (β est compris entre 50 et 300 pour les transistors bipolaires [MAL. 91]). Comme le gain en courant β est relativement faible, on peut déduire que le courant de base n'est pas négligeable par rapport au courant de collecteur, et que, par conséquent la présence d'une résistance de base a une grande influence sur les caractéristiques du transistor. Ces pertes dans la base impliquent une mise en conduction du transistor pour des valeurs de V_{CE} de l'ordre 0,1 V à 0,2 V.



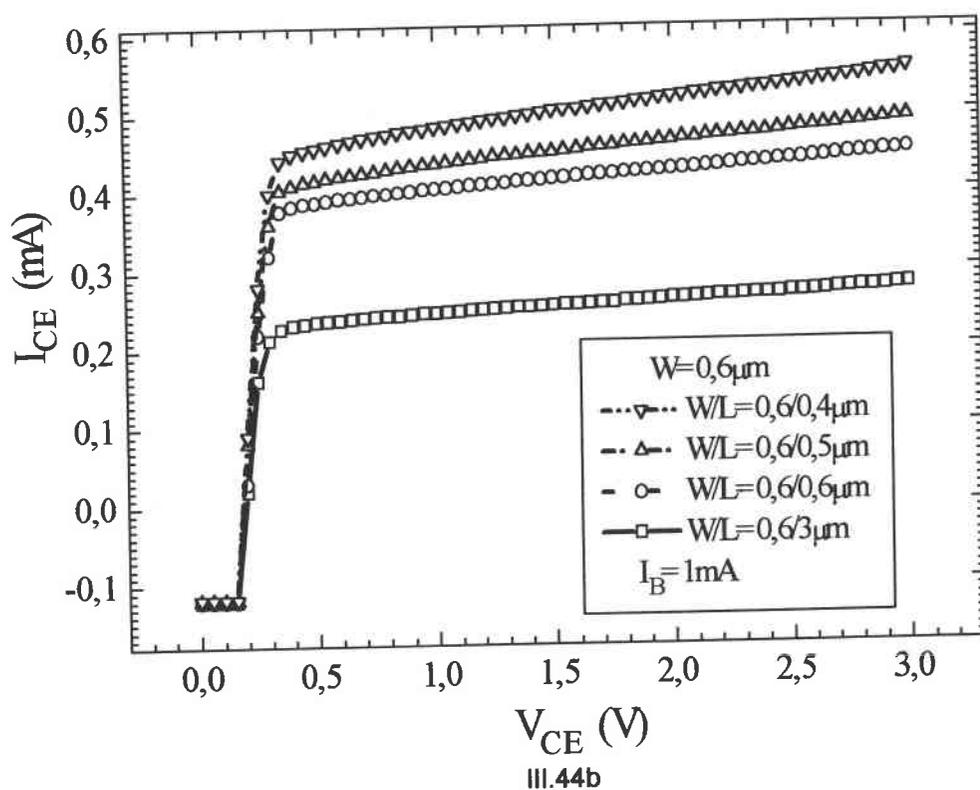


Figure III.44 : Caractéristiques de transfert mesurées $I_{CE}(V_{CE})$ pour (a) $W=25\mu\text{m}$ et (b) $W=0,6\mu\text{m}$.

III.5.2 Effet de W

Les courants I_{CE} ou les gains en courant β augmentent avec l'augmentation de la largeur de grille W pour la longueur du canal L fixée à $25\mu\text{m}$ et à $0,6\mu\text{m}$ (figures III.45a et III.45b). Le courant de base est fixé à 1 mA . Nos gains en courant sont de 0 à 0,7, et par conséquent la résistance de base est importante en comparaison de celle d'un bipolaire conventionnel.

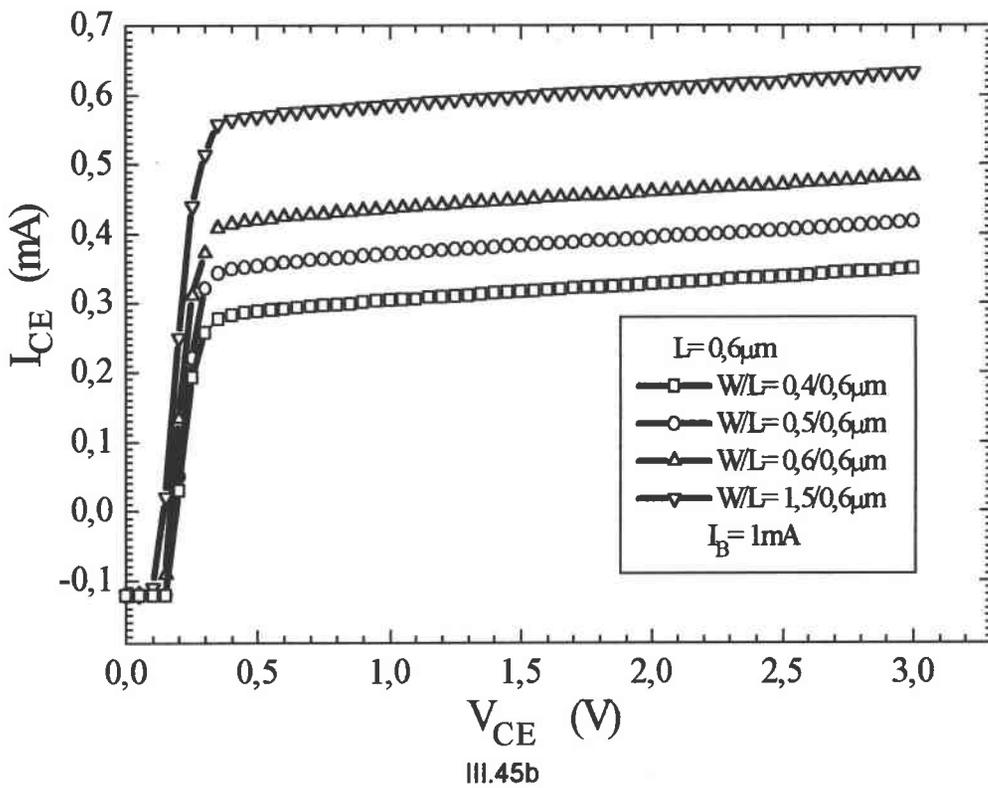
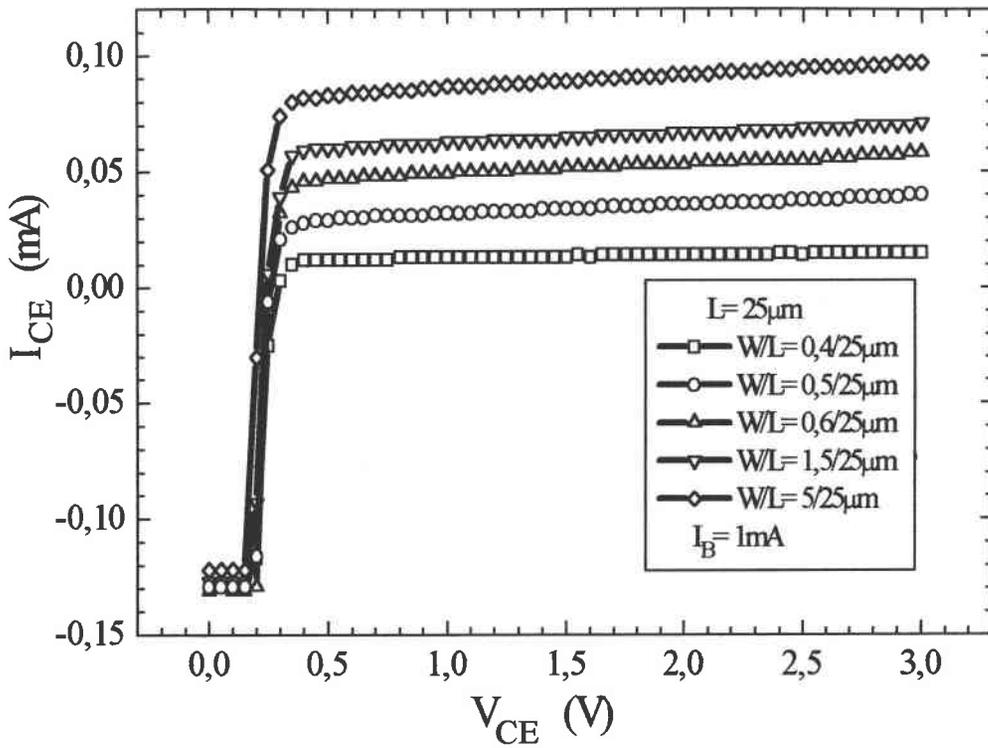
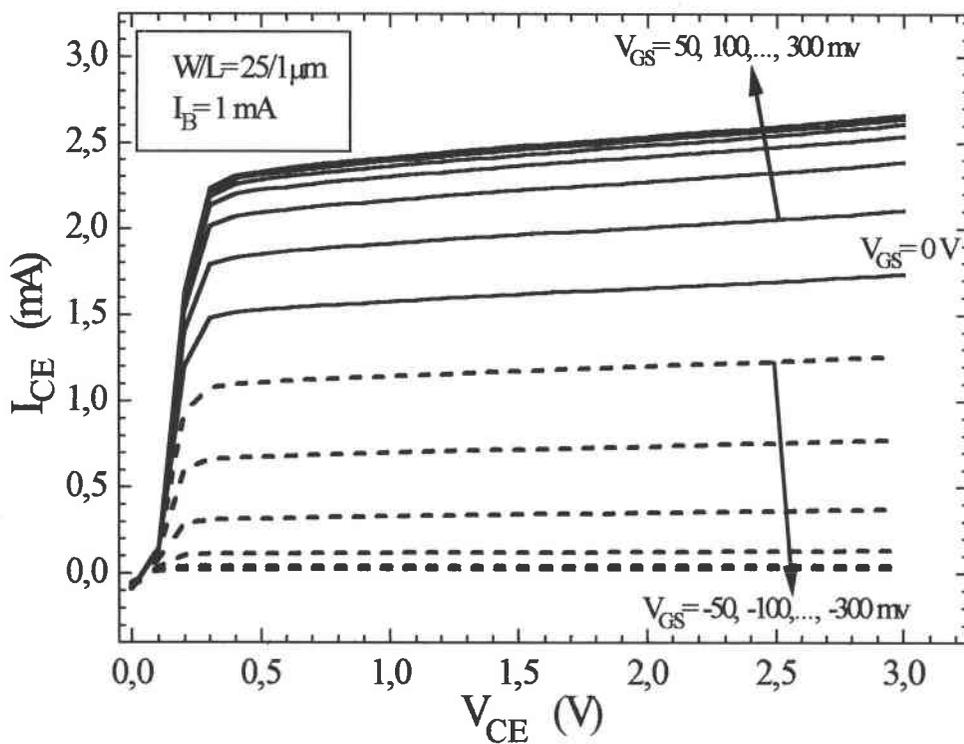


Figure III.45 : Caractéristiques de transfert mesurées $I_{CE}(V_{CE})$ pour (a) $L=25\mu\text{m}$ et (b) $L=0,6\mu\text{m}$.

III.5.3 Effet de la tension de grille

Nous avons aussi étudié le comportement des caractéristiques $I_{CE}(V_{CE})$ en fonction de la tension V_{GS} pour tous les types de transistors (différentes dimensions). Les figures III.46 montrent les effets d'un potentiel de grille. Cette valeur est prise inférieure à la tension de seuil du MOSFET (0,86 V pour le transistor $W/L=25/1\mu\text{m}$) afin d'éviter la conduction du canal. Ce potentiel introduit une augmentation du gain en courant (I_B est gardé constant). Il s'est avéré que l'intensité du courant ou le gain en courant augmente avec l'augmentation de V_{GS} . Si V_{GS} est négatif le gain en courant diminue.

Cet effet peut être expliqué par le rôle joué par le potentiel d'interface sous la grille. En effet un potentiel positif va modifier les lignes de courants entre la base et l'émetteur. Les électrons vont se confiner dans la zone active de la base (zone entre drain et source) et ainsi l'effet transistor va se trouver augmenté. Si la tension de V_{GS} est négative les porteurs minoritaires vont être repoussés dans la base et quitter la région entre le drain et la source et ainsi se recombinent, il y a perte de l'effet transistor.



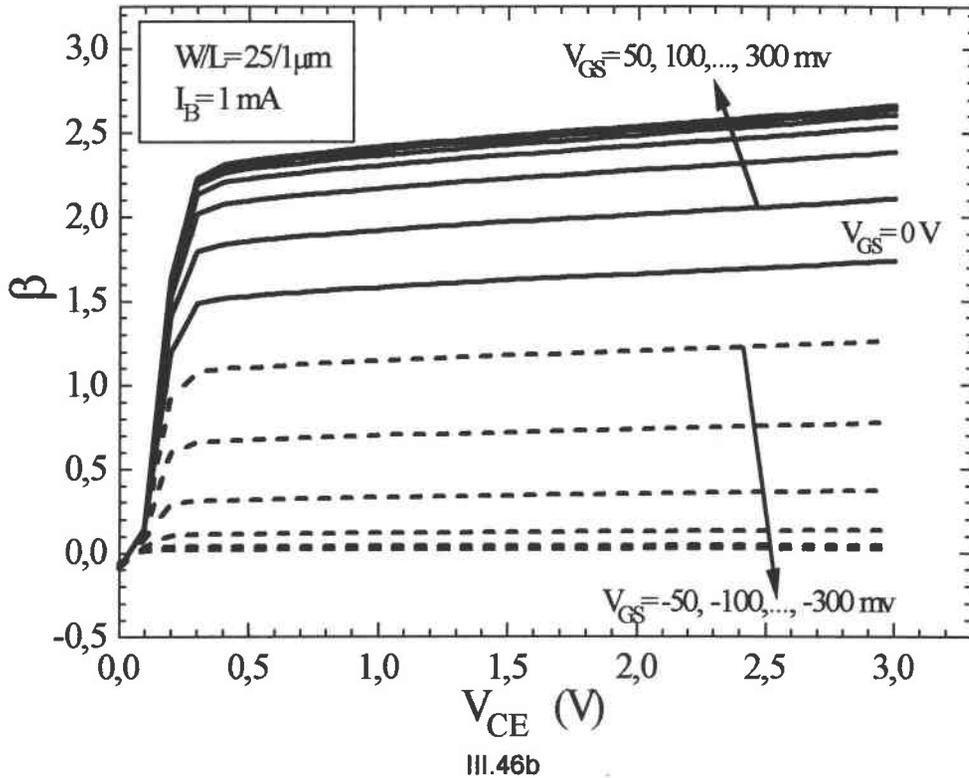


Figure III.46 : Caractéristiques du transistor bipolaire pour divers valeurs de tension de grille.

III.5.4 Détermination de la résistance de base

La figure III.47 présente les caractéristiques de sortie des deux transistors ($W/L=25/1$ et $25/0,4\mu\text{m}$). ces composants présentent la même valeur de I_B . L'évolution de cette tension en fonction de I_B permet de remonter à la résistance de base (Figure III.48) par l'intermédiaire de la pente

$$V_{\text{ext}} = V - R_B I_B$$

$$\text{soit } R_B = 1,6 \text{ k}\Omega$$

La tension obtenue pour $I_B=0$ est de $+0,3 \text{ V}$, cependant nos transistors présentent une anomalie autour de $V_{CE} = 0 \text{ V}$. En effet un courant de fuite négatif est présent pour $V_{CE}=0 \text{ V}$. Ce problème ne permet pas de remonter à la tension d'Early.

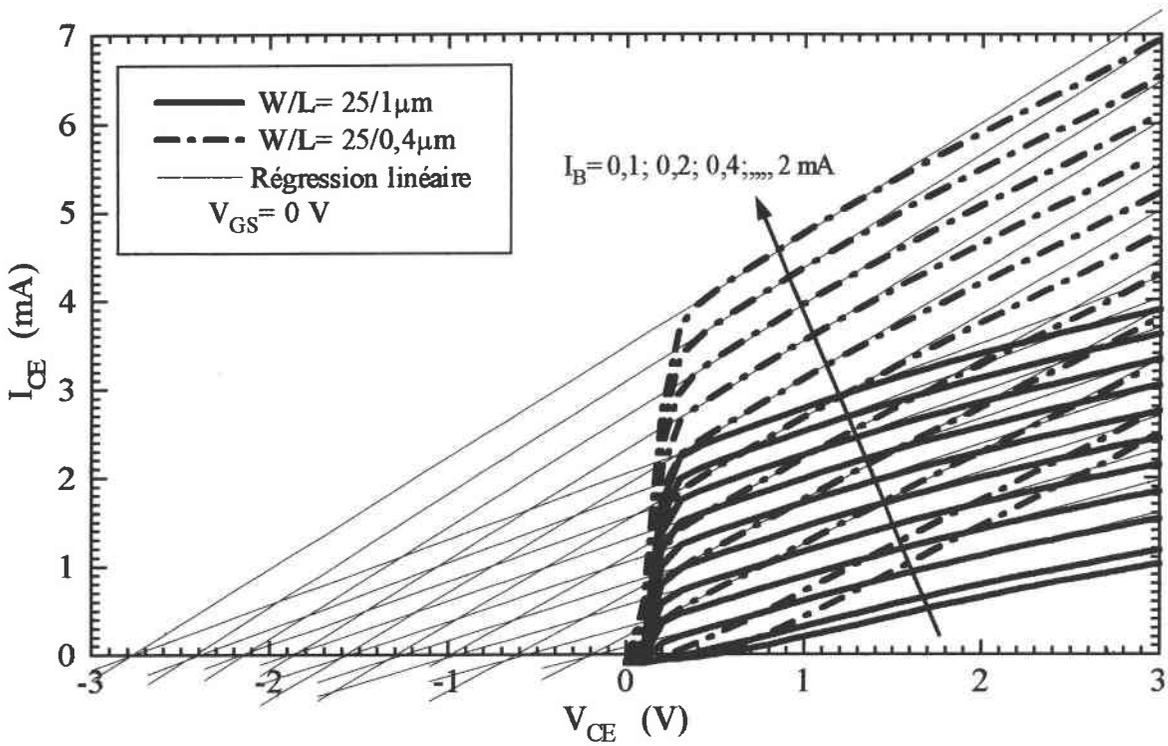
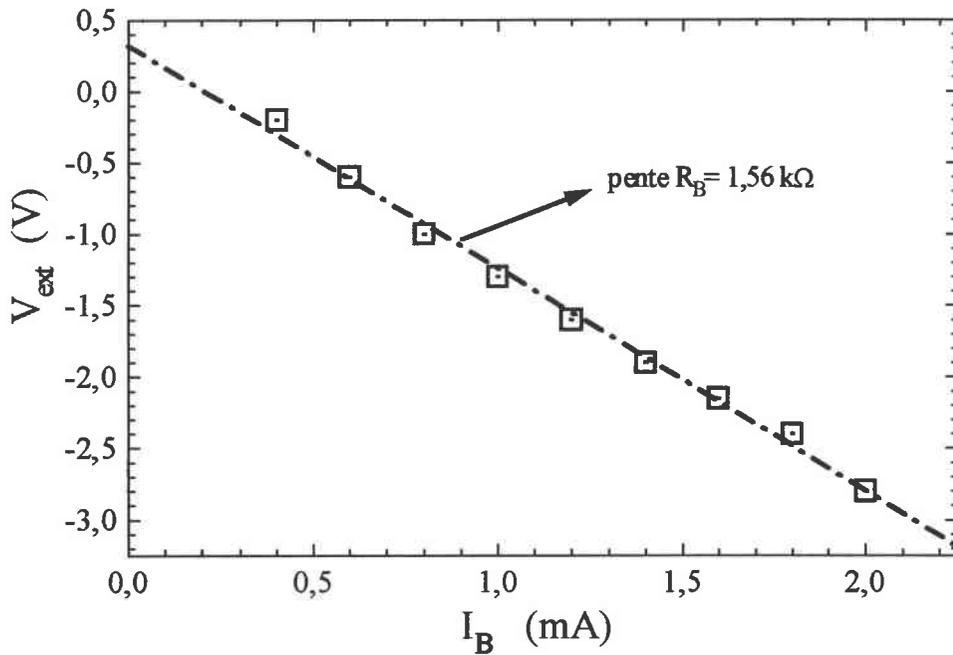


Figure III.47 : Caractéristiques de fonctionnement normal $I_{CE}-V_{CE}$ à différentes valeurs de I_B en vue de déterminer les tensions extrapolées V_{ext}



III.48 : Caractéristiques de fonctionnement $V_{ext}-I_B$ en vue de déterminer la résistance de base R_B .

III.6 SYNTHÈSE

Le chapitre III a été consacré à l'étude expérimentale avant irradiation. Il permet d'observer et d'analyser l'évolution des paramètres de conduction, des paramètres de la jonction drain-substrat et ainsi que les variations du gain en courant associé au transistor bipolaire créé par la structure du MOSFET. En particulier, l'influence des dimensions sur les paramètres de conduction a été analysée. La caractérisation de la jonction drain-substrat du transistor a clairement fait ressortir une dégradation de ces propriétés, plus marquée dans le cas des transistors de faible dimension. Elle a montré que les paramètres de structure résistance série et facteur de qualité sont reliés aux dimensions du transistor (W et L).

Nous avons étudié le rôle joué par la polarisation de la grille sur les mécanismes de conduction de la jonction drain-substrat, et ainsi sur le gain en courant de la jonction bipolaire.

CHAPITRE IV :

ETUDE APRES

IRRADIATION

IONISANTE (γ) Co-60

IV.1 INTRODUCTION

Ce chapitre est consacré à l'étude du comportement des transistors MOS suite à une irradiation ionisante (γ) Co-60, afin d'évaluer leur dégradation. Pour cela il a été procédé à une analyse systématique des paramètres de conduction du transistor, à celles des paramètres caractéristiques des jonctions drain-substrat et du transistor bipolaire npn avant et après irradiation.

Ces irradiations ont été effectuées avec la collaboration du **CEA-LETI**, Saclay. Pour les études de conduction du transistor et des jonctions drain-substrat, deux doses d'irradiation ont été réalisées sur nos transistors : 25 krad(Si) et 50 krad(Si) avec un débit de dose 2,78 rad(Si)/s. Quant aux jonctions bipolaires, la dose était de 25 krad(Si) avec un débit de dose 1,39 rad(Si)/s. Tous les composants ont été irradiés avec leurs pattes reliées à la masse ($V_{GS} = 0$ V, sans polarisation de grille). Les dégradations des performances du MOSFET suite à une irradiation ionisante sont dues essentiellement aux effets des charges piégées dans les oxydes et à l'interface Si-SiO₂. Une densité de défaut importante provoque une dérive de la tension de seuil, dégrade la mobilité des porteurs dans le canal et change la pente de la caractéristique de transfert en régime de conduction sous le seuil [MA.D 89]. Dans le cas des transistors MOS c'est en particulier l'évolution de la tension de seuil qui permet d'apprécier la fonctionnalité du composant irradié. Un autre effet de dégradation peut être mis en évidence par l'évolution des paramètres caractéristiques de la jonction drain-substrat du transistor MOS.

Dans cette perspective, l'évolution des paramètres de conduction du transistor sous l'effet de l'irradiation a d'abord été analysée, suivie de l'étude des paramètres de la jonction drain-substrat, des jonctions bipolaires du transistor et de leur corrélation avec le fonctionnement du transistor.

IV.2 PRESENTATION DU TYPE D'IRRADIATION

L'étude des effets d'irradiation sur les composants électroniques devient de plus en plus importante vu l'évolution rapide de la technologie et l'intégration croissante de la micro-

électronique (augmentation du nombre de transistors par puce, réduction des dimensions des transistors...). L'effet de l'irradiation sur les composants électroniques dépend du type d'irradiation (gamma, neutrons, ions lourds...) et de l'énergie du flux, des conditions de fonctionnement du composant pendant l'irradiation, de la structure du composant, ainsi que de la technologie du composant. En général, les irradiations peuvent provoquer des dégâts aussi bien temporaires que permanents dans les dispositifs électroniques.

L'irradiation ionisante agit lorsque son énergie est suffisante pour créer des paires électrons/trous par ionisation dans les composants électroniques. Cette irradiation se présente sous la forme de photons avec des énergies plus grandes que celles du gap du matériel concerné (1,1 eV pour le silicium; 9 eV pour l'oxyde SiO₂). Les charges créées dans les semiconducteur disparaissent dès la fin de l'irradiation par contre, dans les oxydes, ces charges restent partiellement piégées, notamment les trous dont la mobilité ($\ll 10^{-4}$ cm²/Vs) est bien inférieure à celle des électrons (≈ 20 cm²/Vs).

Les charges créées par irradiation ionisante dans l'isolant se divisent en deux catégories : les charges piégées dans l'oxyde, et celle à l'interface SiO₂-Si.

Puisque le nombre de paires électron/trou produites est directement proportionnel à la quantité d'énergie absorbée par le matériau, les charges piégées dans l'oxyde ou à l'interface sont également proportionnelles à la dose absorbée par le composant, ceci lorsqu'aucun effet de saturation apparaît. Les processus de génération, de transport et de récupération altèrent fortement ces proportionnalités et justifient les études entreprises. L'unité de la dose totale est habituellement le rad(Si) ou le rad(SiO₂) (une unité égale à 100 ergs absorbés par gramme du matériau indiqué). L'unité SI est le gray : 1 rad = 100 gray.

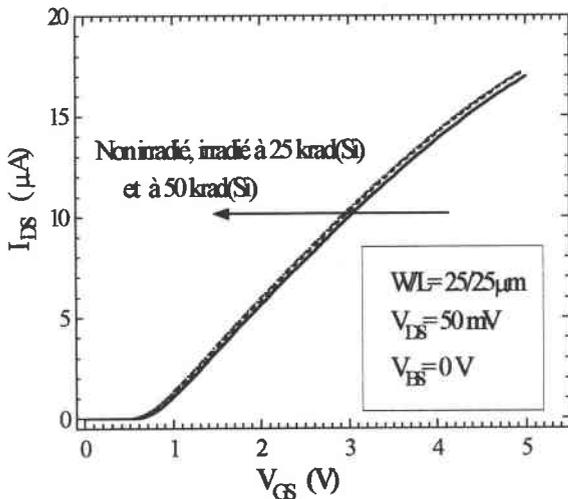
IV.3 EFFET SUR LES MOSFETs

Les transistors MOS ont été initialement considérés comme étant résistants à l'irradiation ionisante parce que leurs caractéristiques de transfert ne dépendent pas de la durée de vie des porteurs minoritaires. Cependant, il s'est avéré que cet optimisme initial pour les applications

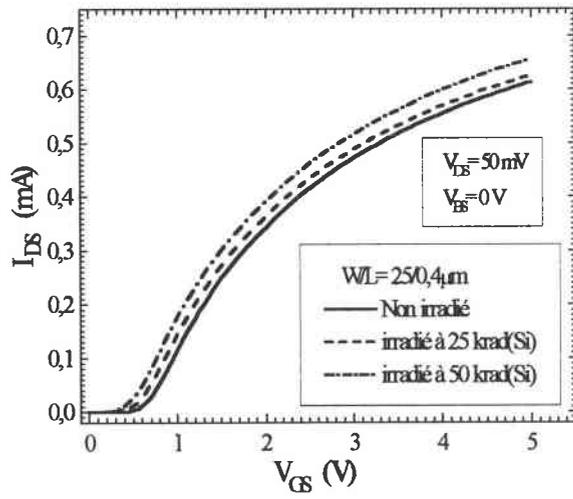
spatiales s'est trouvé altéré par le travail expérimental de Hughes et de Giroux [MA.D 89]. Les transistors MOS de canal n et de canal p se sont montrés très sensibles à l'irradiation ionisante. La dégradation des performances du transistor MOS par les radiations ionisantes est essentiellement liée aux charges piégées dans l'oxyde ainsi que celles piégées à l'interface $\text{SiO}_2\text{-Si}$. Une densité de piège importante provoque un décalage de la tension de seuil, dégrade la mobilité des porteurs du canal et change la pente sous seuil.

IV.3.1 Paramètres de conduction

L'étude des caractéristiques courant-tension avant et après irradiation permet d'analyser les causes de variation des grandeurs caractéristiques du fonctionnement des transistors. Nous présentons ici l'évolution des caractéristiques courant-tension dans les différents régimes de fonctionnement. Les évolutions des caractéristiques de transfert mesurées en régime linéaire ($V_{DS} \ll V_{th}$) sont représentées dans la figure IV.1 pour les six transistors de géométries différentes. Pour l'ensemble des structures étudiées, il a été observé qu'un décalage similaire des caractéristiques traduit une diminution de la tension de seuil des transistors MOS.



IV.1(a)



IV.1(b)

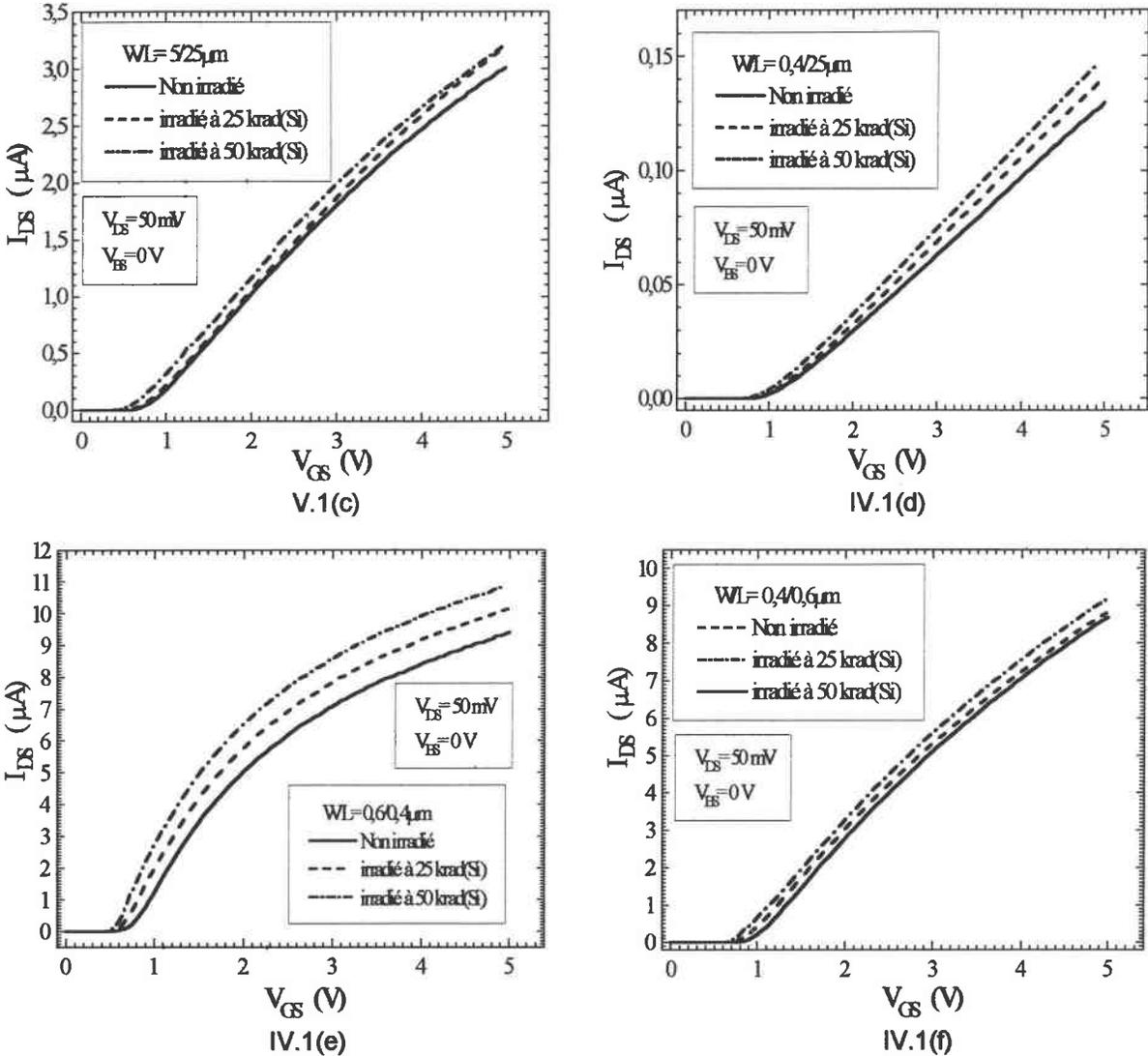
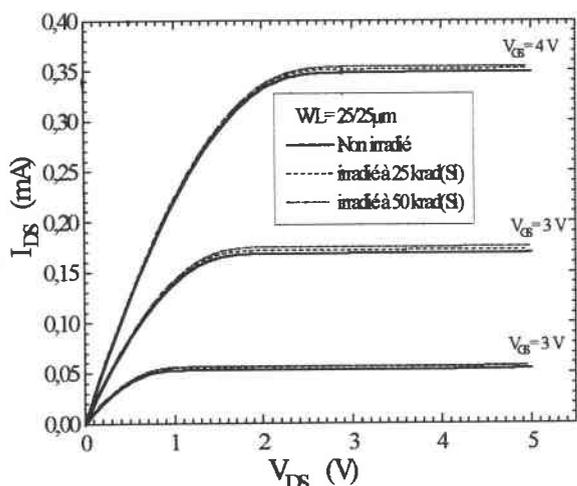


Figure IV.1 : Evolution des caractéristiques de transfert I_{DS} - V_{GS} avant et après irradiation pour six transistors de dimensions différentes (a) $W/L= 25/25\mu m$, (b) $W/L= 25/0,4\mu m$, (c) $W/L= 0,4/25\mu m$, (d) $W/L= 5/25\mu m$, (e) $0,6/0,4\mu m$ et (f) $W/L= 0,4/0,6\mu m$.

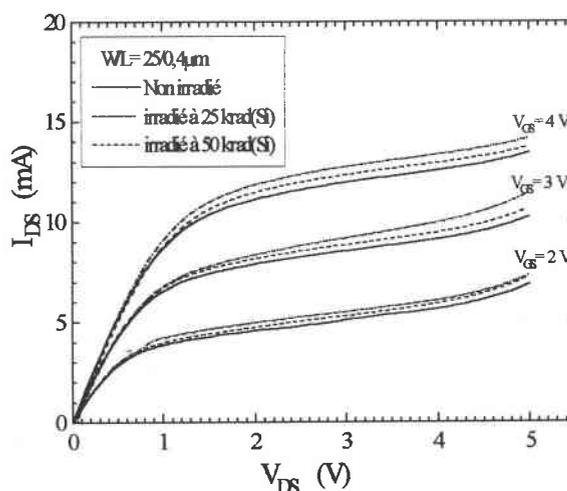
L'augmentation du courant de drain reste faible pour le transistor de grande dimension ($W/L=25/25\mu m$), mais celle des transistors de petite géométrie (surtout pour $W/L=0,6/0,4\mu m$) présente une plus grande sensibilité avec l'irradiation ionisante. Les courbes caractéristiques I_{DS} - V_{GS} sont décalées puisque la valeur de la tension de seuil V_{th} est modifiée par l'irradiation. Ce décalage n'est pas une simple translation. Le déplacement apparent des caractéristiques de transfert I_{DS} - V_{GS} provient du glissement de la tension de seuil. En effet la variation de I_{DS} est la conséquence de la décroissance du champ électrique dans le canal provenant de la présence de charges piégées dans l'oxyde et à l'interface. L'irradiation produit une dégradation du fonctionnement des transistors MOS. Pour le transistor nMOS, la tension de seuil diminue d'abord pour ensuite augmenter sous l'effet des états d'interface,

alors que pour le transistor pMOS, elle ne peut que diminuer avec la dose cumulée [MA.D 89].

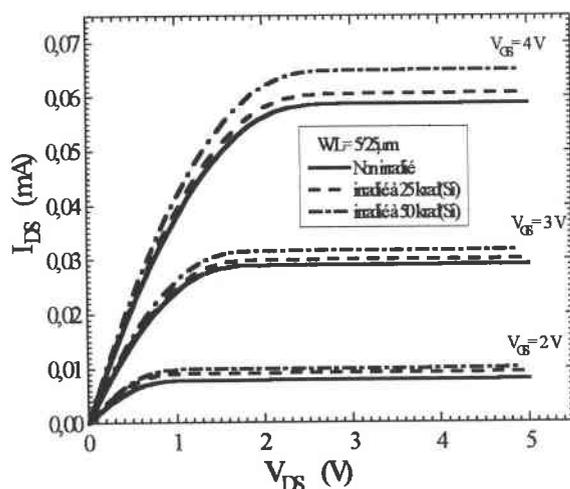
L'évolution des caractéristiques $I_{DS}-V_{DS}$ est dépendante de la dose d'irradiation ce qui est représenté sur les figures IV.2. Même constat que précédemment : l'augmentation du courant de drain présente une plus grande sensibilité avec la dose pour le transistor de petite dimension ($W/L=0,6/0,4\mu\text{m}$).



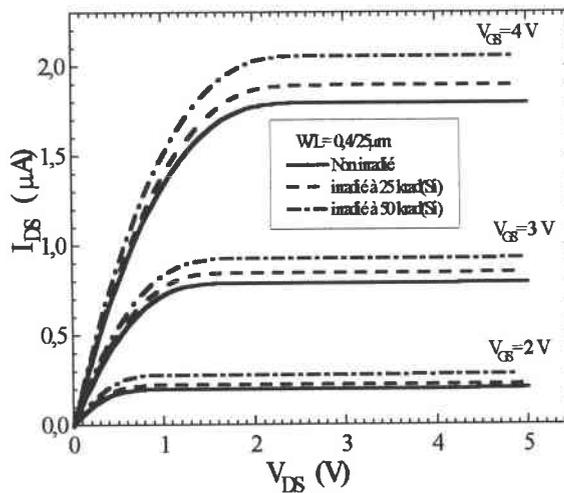
IV.2(a)



IV.2(b)



IV.2(c)



IV.2(d)

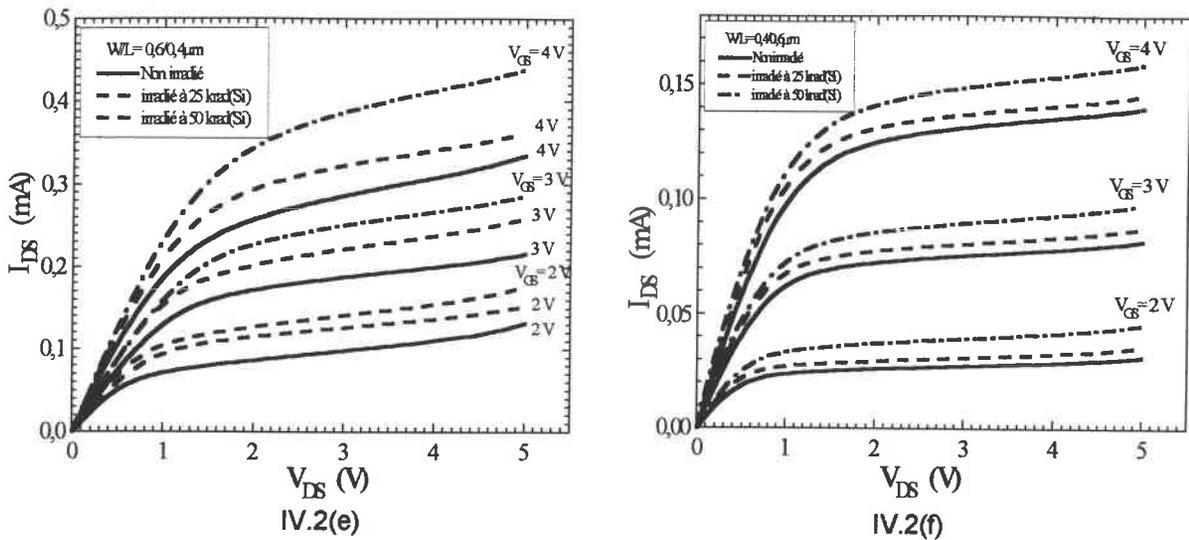
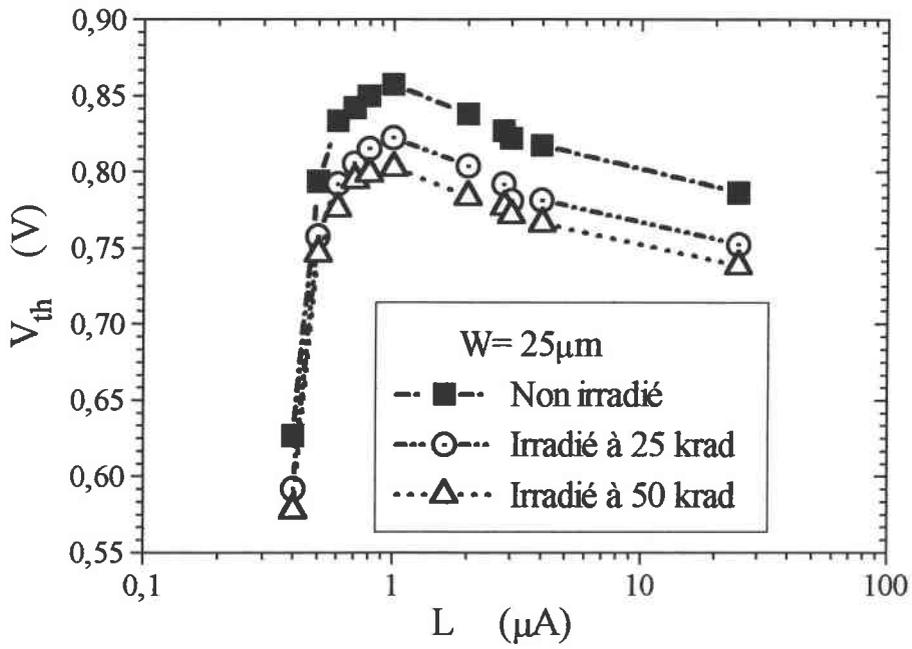
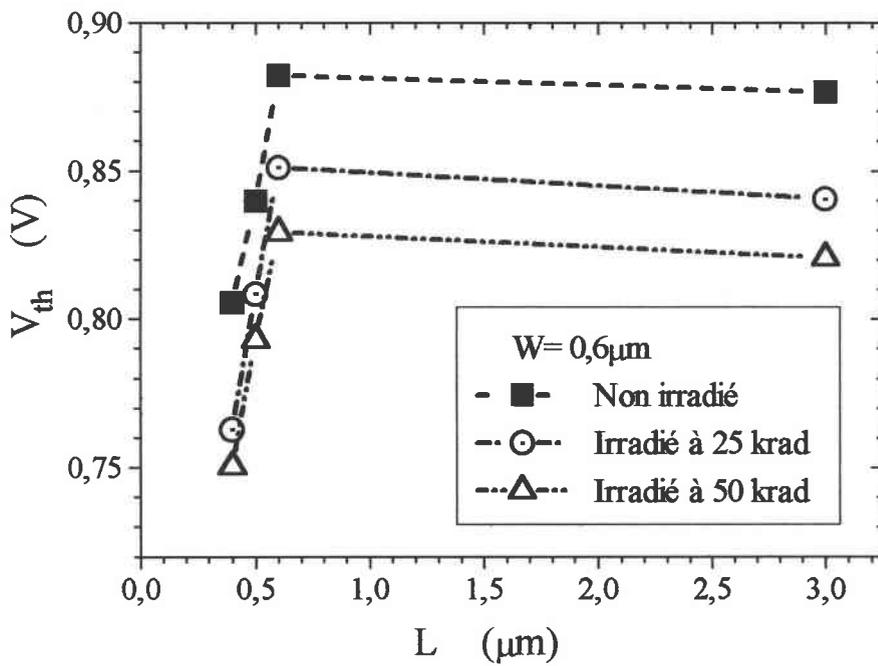


Figure IV.2 : Evolution des caractéristiques de fonctionnement I_{DS} - V_{DS} avant et après irradiation pour six transistors de dimensions différentes (a) $W/L = 25/25\mu\text{m}$, (b) $W/L = 25/0,4\mu\text{m}$, (c) $W/L = 0,4/25\mu\text{m}$, (d) $W/L = 5/25\mu\text{m}$, (e) $0,6/0,4\mu\text{m}$ et (f) $W/L = 0,4/0,6\mu\text{m}$.

La détermination de l'ensemble des paramètres de conduction pour chacune des géométries étudiées a été obtenue de façon semblable à celle déjà mentionnée au chapitre III. L'évolution de ces paramètres est montrée sur les figures IV.3, IV.4, et IV.5. Pour l'ensemble de ces transistors, nous constatons une diminution de la tension de seuil, de la mobilité à faible champ et du coefficient d'atténuation de mobilité avec la dose cumulée. L'évolution géométrique de ces paramètres après irradiation montre la même tendance que celle non irradiée



IV.3(a)



IV.3(b)

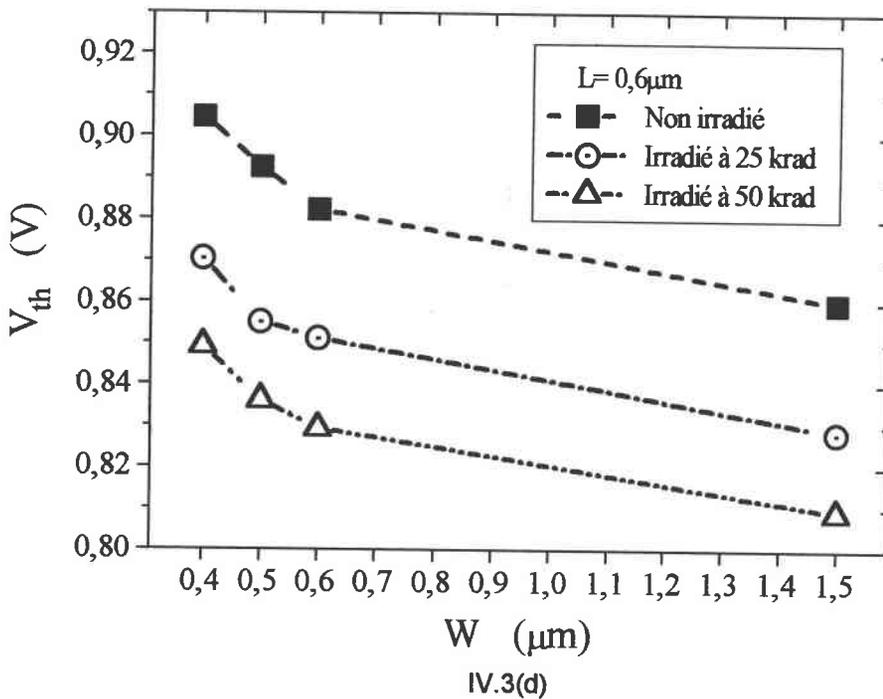
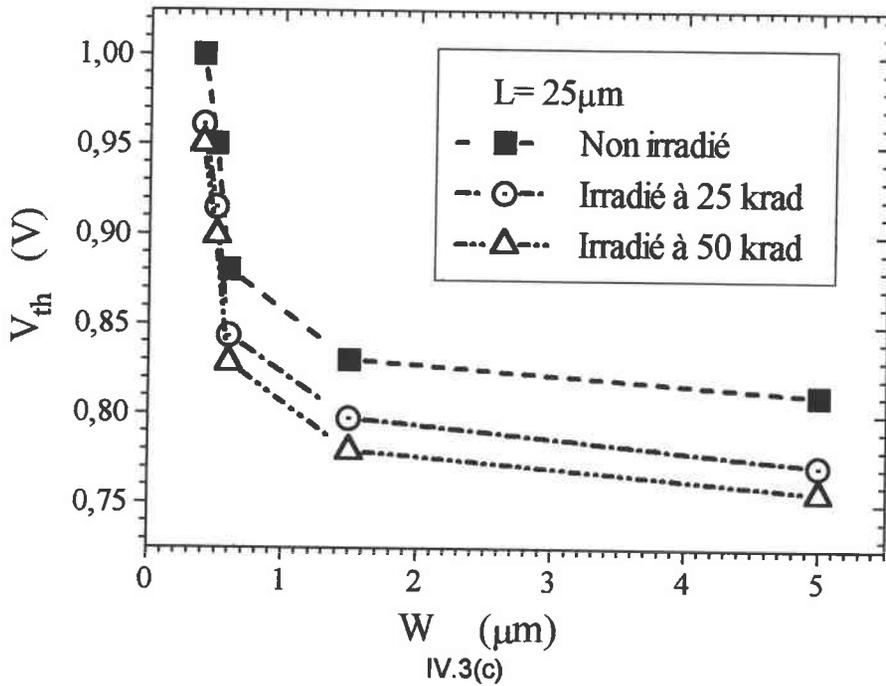
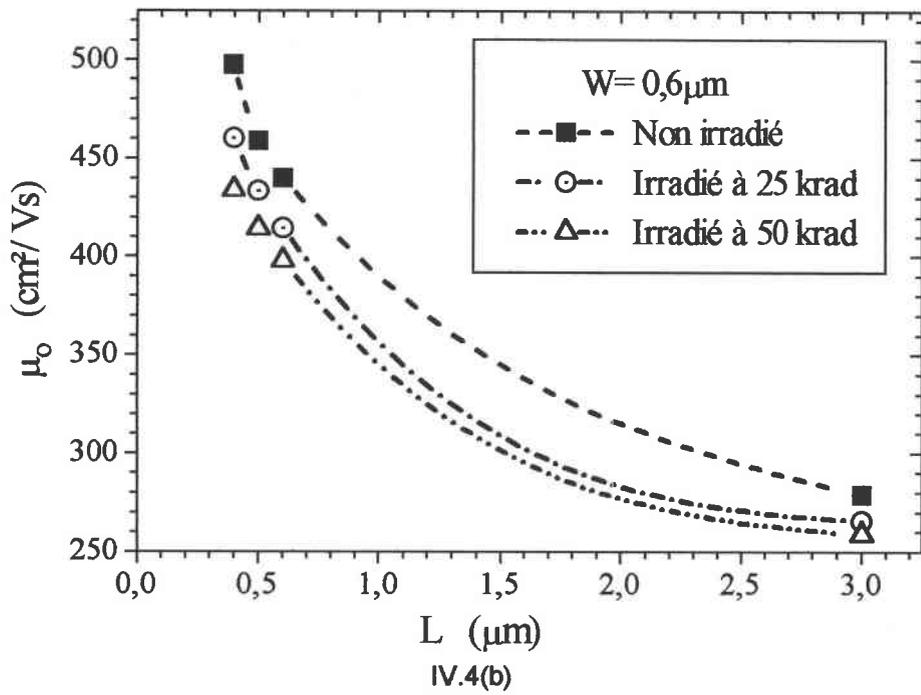
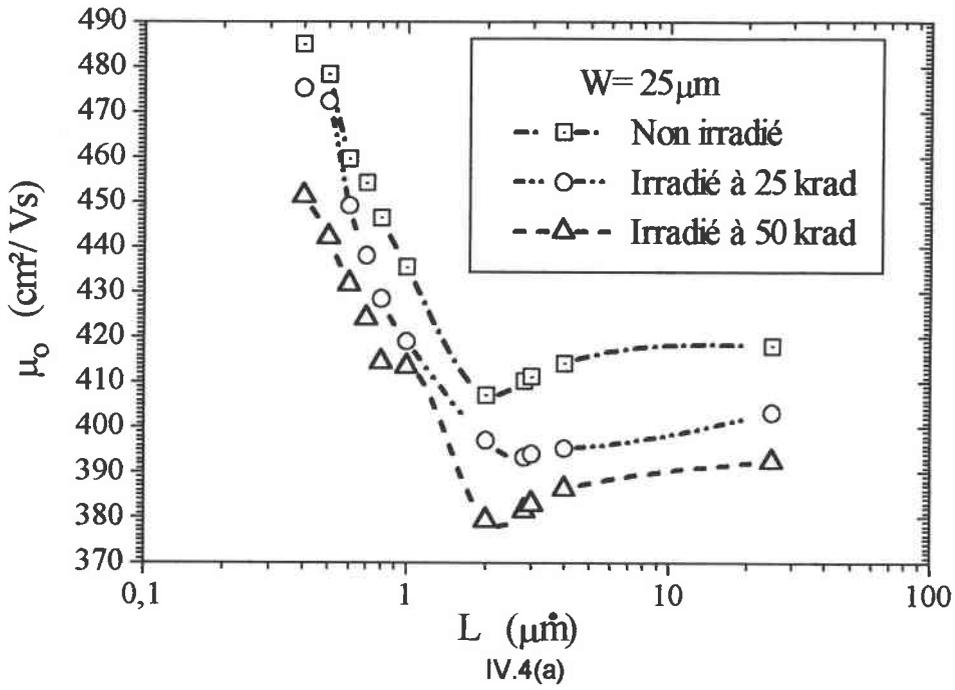


Figure IV.3 : Evolution de la tension de seuil avec la géométrie, avant et après irradiation pour V_{DS} fixé à 50 mV ; (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

La mobilité est l'une des grandeurs électriques affectées par la dose cumulée (Figure VI.4). Sa diminution est liée à l'augmentation des états d'interface et/ou des pièges dans l'oxyde. Notons que l'évolution de la mobilité à faible champ est l'inverse de celle de la tension de seuil V_{th} pour les transistors dont les largeurs W sont fixées à 25 et $0,6\mu\text{m}$.



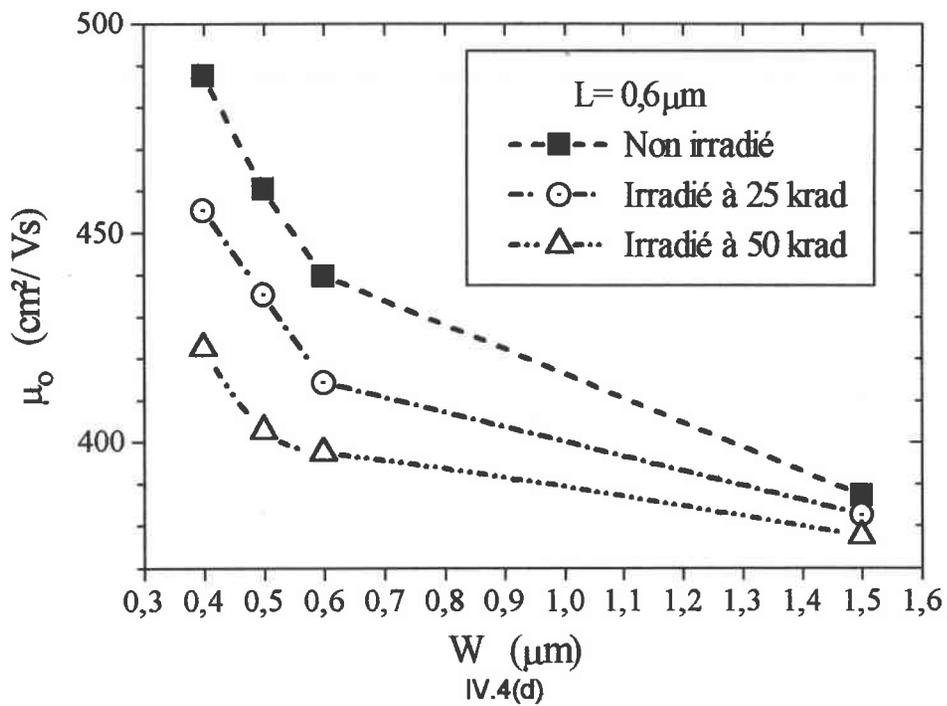
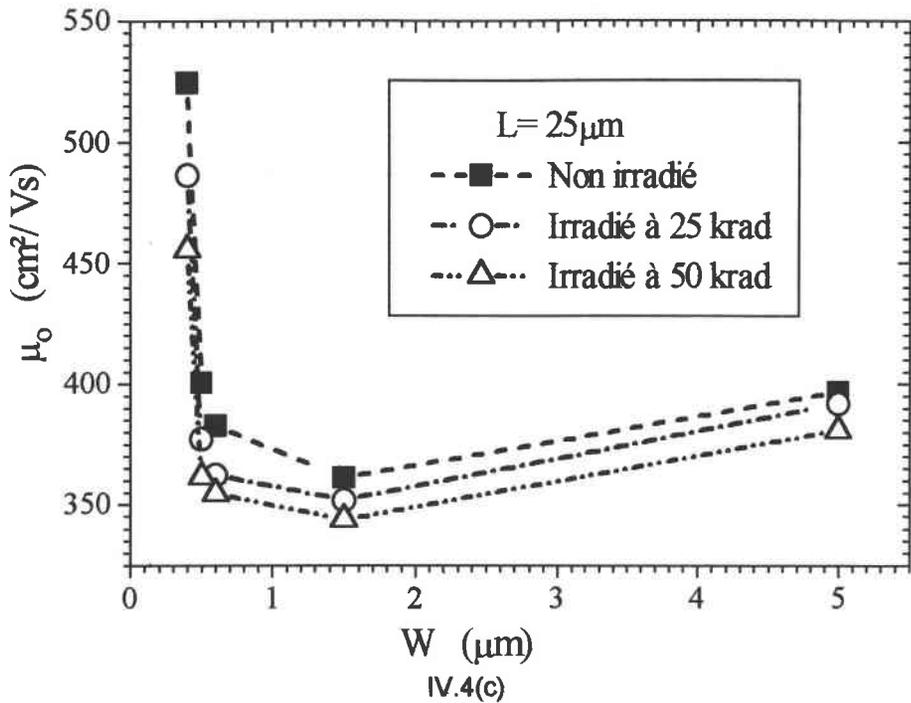
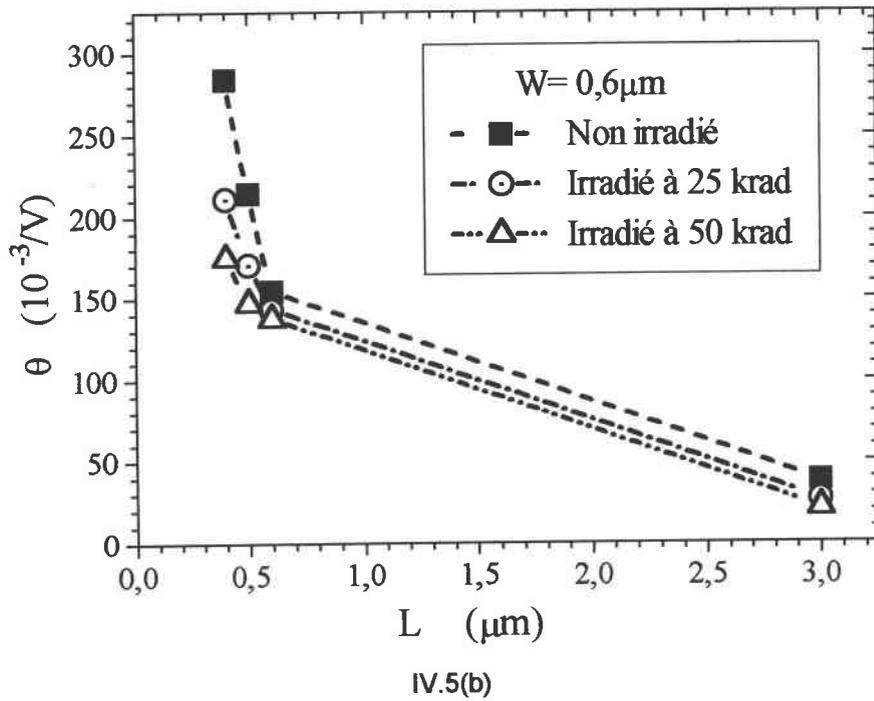
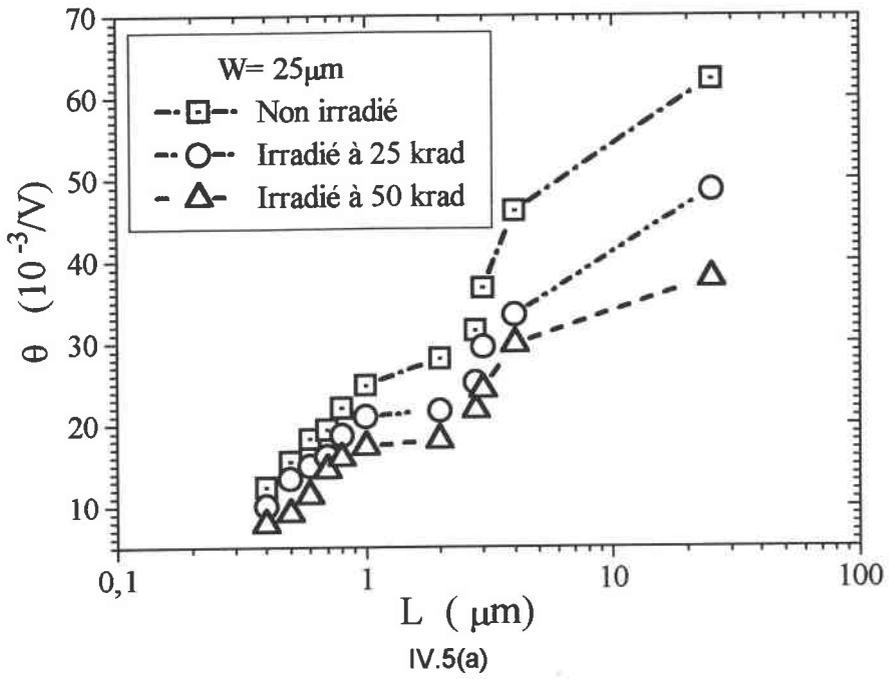
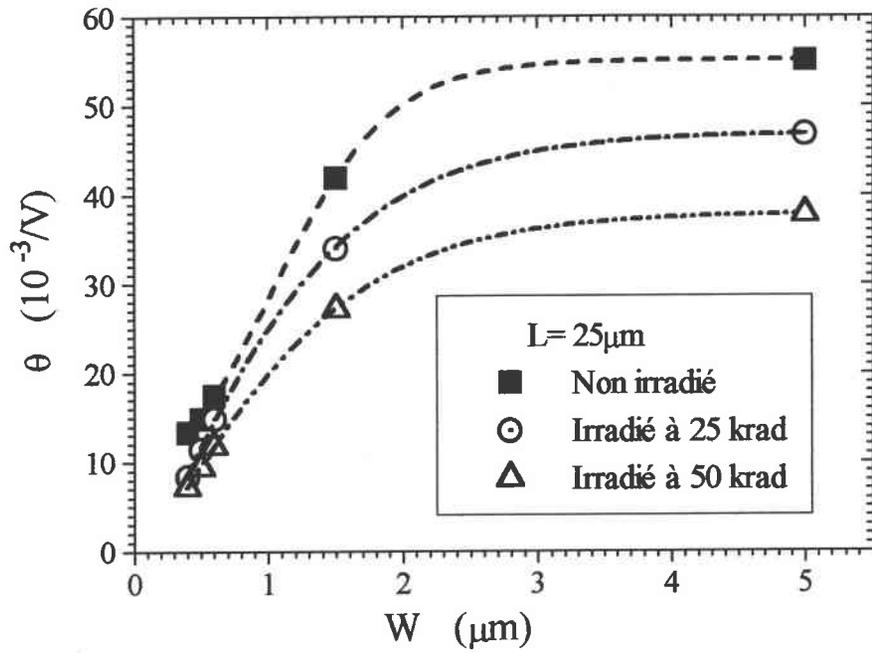


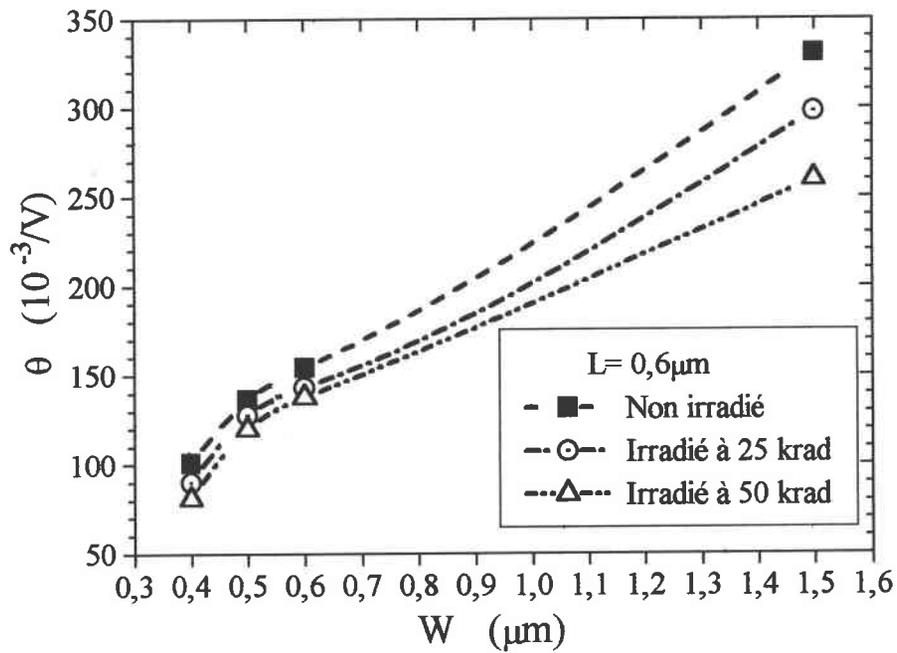
Figure IV.4 : Evolution de la mobilité à faible champ avec la géométrie, avant et après irradiation pour (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$.

L'évolution du paramètre de dégradation θ avant et après irradiation est présentée sur la figure IV.5. Le coefficient d'atténuation diminue avec la dose cumulée.





IV.5(c)



IV.5(d)

Figure IV.5 : Evolution du coefficient d'atténuation de mobilité avec la géométrie, avant et après irradiation pour (a) $W=25\mu m$, (b) $W=0,6\mu m$, (c) $L=25\mu m$ et (d) $L=0,6\mu m$.

IV.3.2 Charges piégées suite à une irradiation ionisante

Suite à une irradiation ionisante, les dégradations observées sur des transistors MOS dépendent de la polarisation de l'oxyde de grille par rapport au substrat durant l'irradiation. L'étude de la fonction de transfert en régime de conduction sous le seuil permet de déterminer la densité de charges piégées dans l'oxyde et à l'interface oxyde-semiconducteur [McW.W 86].

La modification de la tension de seuil avec la dose d'irradiation est due essentiellement à la création d'états de surface à l'interface $\text{SiO}_2\text{-Si}$ (ΔQ_{it}) et aux charges piégées dans l'oxyde (ΔQ_{ox}) qui modifient la chute de potentiel à travers la couche d'oxyde de grille.

Nous nous sommes intéressés à la méthode proposée par McWorther [McW.W 86], basée sur des mesures $I_{DS}\text{-}V_{GS}$ en régime de saturation ($V_{DS} \gg V_{GS} - V_{th}$) et en conduction sous le seuil. Cette méthode consiste à déterminer la variation de la tension de seuil et de la tension de middle-gap suite à une irradiation. La variation de la tension de seuil ΔV_{th} est déterminée à partir de la fonction de transfert $I_{DS}\text{-}V_{GS}$ mesurée en régime de saturation, avec :

$$\Delta V_{th} = V_{thIR} - V_{th0} \quad \text{IV.1}$$

où V_{thIR} et V_{th0} sont respectivement les tensions de seuil après et avant irradiation.

La valeur de la tension de middle-gap est obtenue à partir de la caractéristique de transfert $I_{DS}\text{-}V_{GS}$ mesurée en régime de conduction sous le seuil à forte tension de drain au point où le courant $I_{DS}=I_{mg}$. Le courant de drain sous le seuil d'un transistor MOS en régime de saturation est donné par la relation [McW.W 86] :

$$I_{DS} = \sqrt{2}C_m (qN_A L_B / \beta)(n_i / N_A)^2 \exp(\beta\phi_s)(\beta\phi_s)^{1/2} \quad \text{IV.2}$$

où N_A : le niveau de dopage dans le canal

L_B : longueur de Debye extrinsèque ; $L_B = \sqrt{\epsilon_{Si} / (\beta q N_A)}$

ϕ_s : potentiel de surface

$$\beta = \frac{q}{kT} \quad \text{et} \quad C_m = \frac{\mu W}{2L}$$

Le courant de middle-gap est obtenu pour un potentiel de surface tel que $U_S=U_F$, soit :

$$\phi_s = \frac{kT}{q} \text{Ln} \left(\frac{N_A}{n_i} \right) \quad \text{IV.3}$$

En simplifiant la relation IV.2, l'expression I_{mg} peut s'exprimer sous la forme :

$$I_{mg} = \sqrt{2} C_m \frac{kT}{q} \sqrt{\frac{kT \epsilon_{Si} n_i^2}{N_A \text{Ln} \left(\frac{N_A}{n_i} \right)}} \quad \text{IV.4}$$

C_m se déduit de la pente de la caractéristique $I_{DS}=F((V_{GS}-V_{th})^2)$ en régime de saturation puisque $I_{DS} = C_m C_{ox} (V_{GS} - V_{thex})^2$. V_{thex} étant la tension de seuil extrapolée directement de la courbe caractéristique $I_{DS}-V_{GS}$. La tension de middle-gap V_{mg} est donc obtenue par extrapolation graphique à partir de la caractéristique de transfert $I_{DS}-V_{GS}$ à $I_{DS}=I_{mg}$ (Figure IV.6).

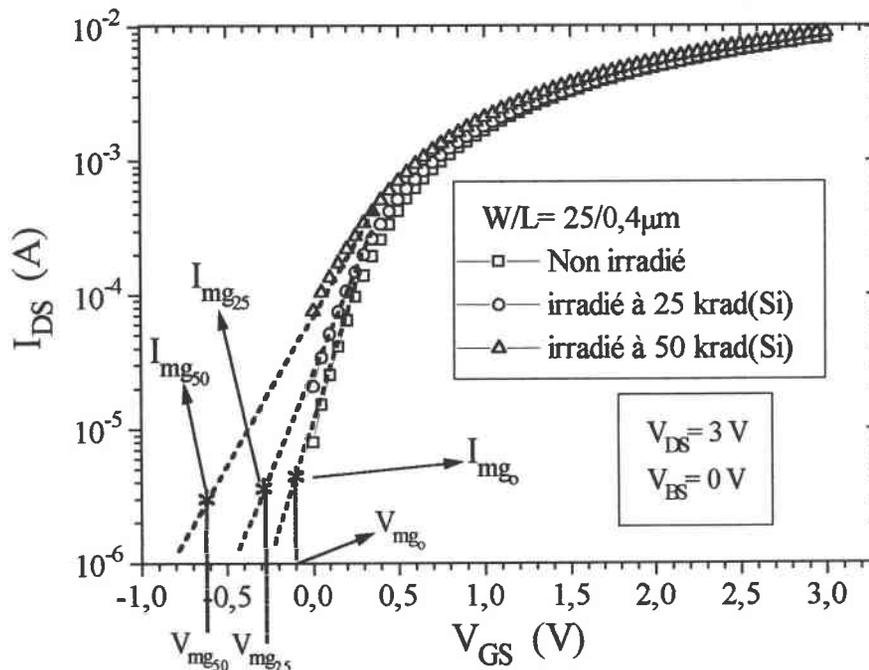


Figure IV.6: Caractéristiques de transfert en conduction sous seuil et en régime de saturation pour $W/L=25/0,4\mu\text{m}$.

La variation de la tension due aux charges dans l'oxyde est la différence entre les tension de middle gap avant et après irradiation :

$$\Delta V_{N_{ot}} = V_{mgIR} - V_{mg0} \quad \text{IV.5}$$

La contribution de la variation du nombre de pièges à l'interface est alors déterminée par la différence :

$$\Delta V_{N_{it}} = \Delta V_{th} - \Delta V_{N_{ot}} \quad \text{IV.6}$$

La densité des pièges dans l'oxyde ΔN_{ot} et à l'interface ΔN_{it} par unité de surface peuvent être extraites par l'emploi des relations :

$$\left\{ \begin{array}{l} \Delta N_{ot} = \frac{\Delta Q_{ot}}{q} = -\frac{\Delta V_{ot} C_{ox}}{q} \\ \text{et} \\ \Delta N_{it} = \frac{\Delta Q_{it}}{q} = \frac{\Delta V_{it} C_{ox}}{q} \end{array} \right. \quad \text{IV.7}$$

Nous constatons l'apparition de courants de fuite sur les structures étudiées de grande dimensions, en revanche pour les transistors MOS de petites dimensions ($W/L=25/0,4\mu\text{m}$, $0,6/0,4\mu\text{m}$ et $0,4/0,6\mu\text{m}$) aucun courant de fuite mesurable n'a été observé (Figure IV.7). Ces courants de fuite sont perceptibles dans le tracé semilogarithmique de la caractéristique de transfert en régime de conduction sous le seuil et à la saturation. Ces courants de fuite sont dus à la limitation du canal par des oxydes. En effet, l'irradiation crée des charges positives dans les oxydes et l'accumulation de ces charges positives dans ces région peut induire des charges négatives en bord de grille dans le cas d'un substrat de type p. Ces charges négatives constituent des canaux parasites normalement conducteur et insensibles à la polarisation de grille appliquée pour bloquer le transistor. Elles engendrent ainsi des courants parasites qui sont beaucoup plus importants lorsque la grille est polarisée pendant l'irradiation [BAR. 96], ce qui n'est pas notre cas.

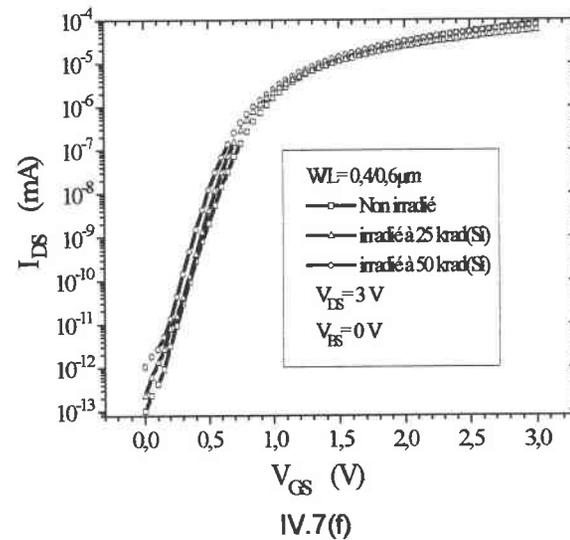
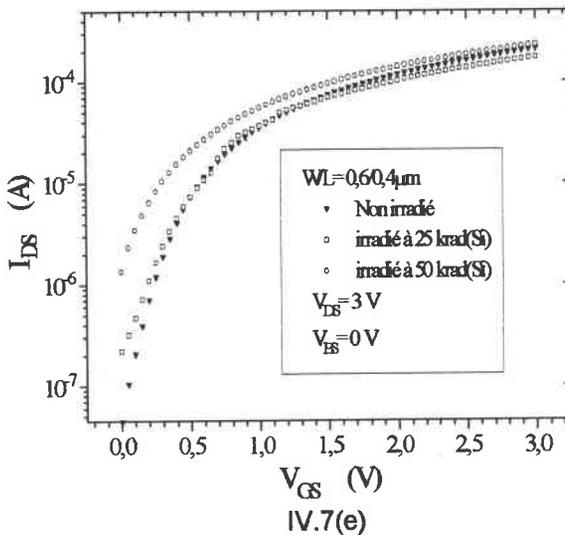
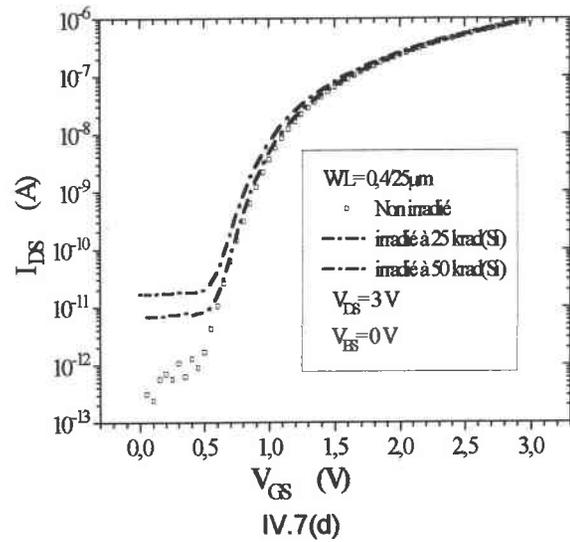
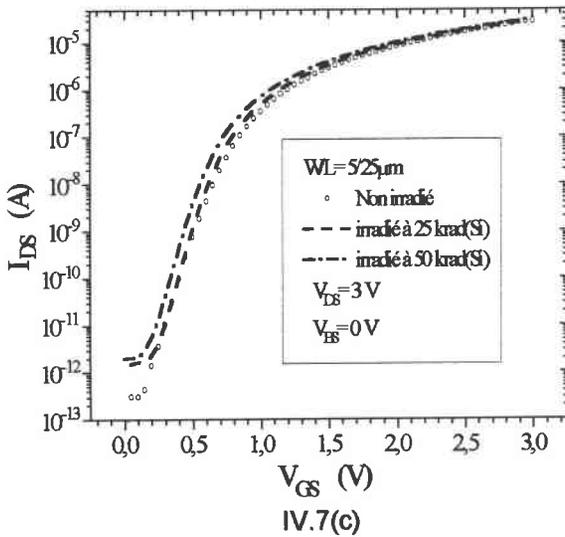
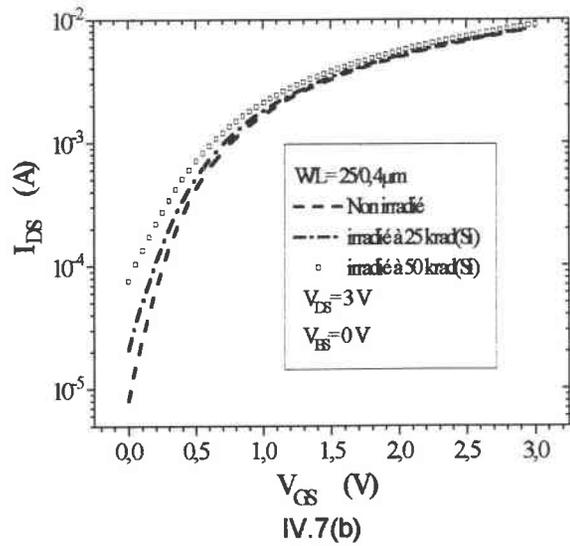
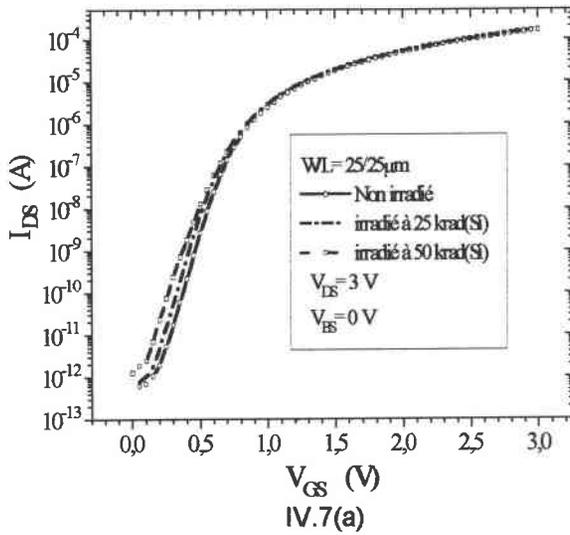


Figure IV.7 : Evolution des caractéristiques de transfert en régime de conduction sous le seuil à la saturation pour (a) $WL=25/25\mu\text{m}$, (b) $WL=25/0,4\mu\text{m}$, (c) $WL=5/25\mu\text{m}$, (d) $WL=0,4/25\mu\text{m}$, (e) $WL=0,6/0,4\mu\text{m}$ et (f) $WL=0,4/0,6\mu\text{m}$.

Nous avons appliqué cette technique permettant de séparer les effets des charges piégées dans l'oxyde de ceux dus à la charge piégée à l'interface oxyde-semiconducteur sur un transistor de chaque géométrie. Sur le tableau IV.1, sont regroupées les valeurs des paramètres calculés pour chacune des géométries étudiées.

Géométrie (μm)	ΔV_{th25} (mV)	$\Delta V_{N_{ot}25}$ (mV)	$\Delta V_{N_{it}25}$ (mV)	ΔN_{ot25} (cm^{-2})	ΔN_{it25} (cm^{-2})
25/25	-6	-12	6	$1,84 \times 10^{10}$	$1,01 \times 10^{10}$
25/4	-7	-16	9	$2,42 \times 10^{10}$	$1,4 \times 10^{10}$
25/3	-8	-17	9	$2,61 \times 10^{10}$	$1,5 \times 10^{10}$
25/2,8	-7	-17	10	$2,62 \times 10^{10}$	$1,54 \times 10^{10}$
25/2	-6	-18	12	$2,82 \times 10^{10}$	$1,81 \times 10^{10}$
25/1	-15	-40	25	$6,21 \times 10^{10}$	$3,9 \times 10^{10}$
25/0,8	-18	-43	30	$7,43 \times 10^{10}$	$4,64 \times 10^{10}$
25/0,7	-29	-64	35	$9,36 \times 10^{10}$	$5,43 \times 10^{10}$
25/0,6	-30	-75	45	$1,16 \times 10^{11}$	$6,33 \times 10^{10}$
25/0,5	-31	-140	109	$2,16 \times 10^{11}$	$1,68 \times 10^{11}$
25/0,4	-34	-298	264	$4,6 \times 10^{11}$	$4,08 \times 10^{11}$

0,6/3	-28	-30	2	$4,63 \times 10^{10}$	$3,09 \times 10^9$
0,6/0,6	-64	-112	48	$1,72 \times 10^{11}$	$7,41 \times 10^{10}$
0,6/0,5	-144	-500	356	$7,72 \times 10^{11}$	$5,49 \times 10^{11}$
0,6/0,4	-182	-1121	939	$1,73 \times 10^{12}$	$1,45 \times 10^{12}$

0,4/25	-63	-284	221	$4,39 \times 10^{11}$	$3,41 \times 10^{11}$
0,5/25	-52	-139	87	$2,15 \times 10^{11}$	$1,35 \times 10^{11}$
0,6/25	-34	-80	46	$1,23 \times 10^{11}$	$7,09 \times 10^{10}$
1,5/25	-15	-20	5	$3,09 \times 10^{10}$	$7,18 \times 10^9$
5/25	-9	-11	2	$1,62 \times 10^{10}$	$2,57 \times 10^9$

0,4/0,6	-157	-986	829	$1,52 \times 10^{12}$	$1,28 \times 10^{12}$
0,5/0,6	-93	-424	331	$6,54 \times 10^{11}$	$5,11 \times 10^{11}$
0,6/0,6	-64	-112	48	$1,72 \times 10^{11}$	$7,41 \times 10^{10}$
1,5/0,6	-34	-60	26	$9,26 \times 10^{10}$	$4,01 \times 10^{10}$

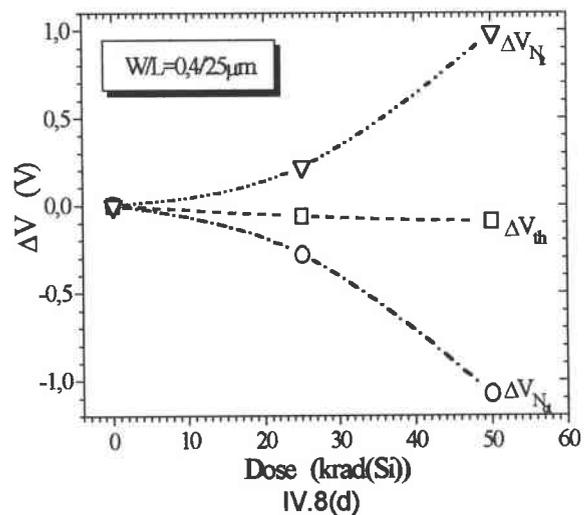
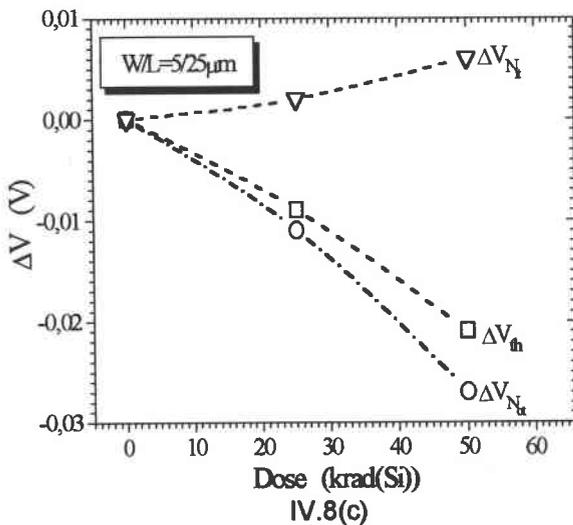
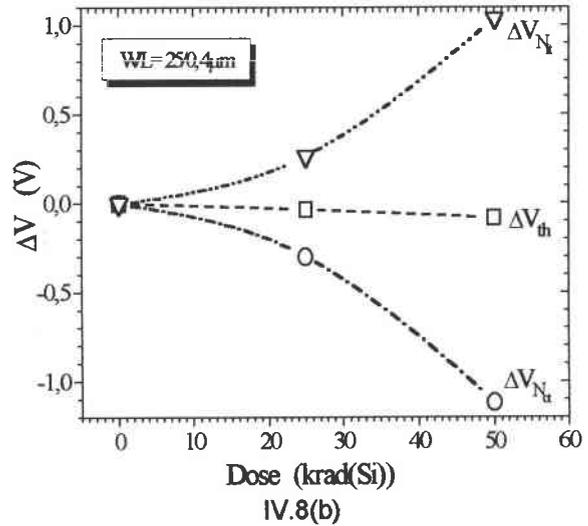
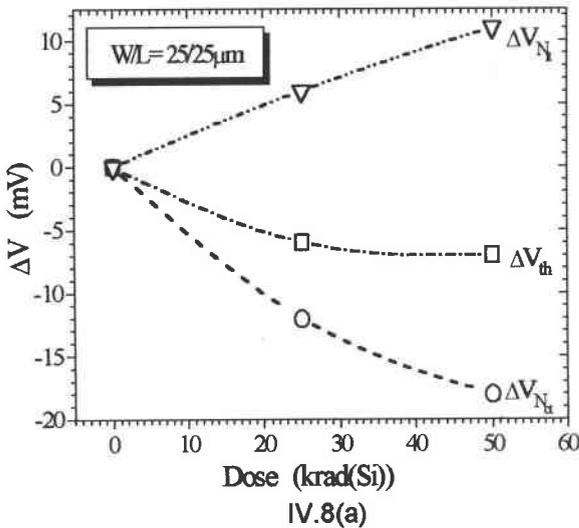
Tableau IV.1(a)

Géométrie (μm)	$\Delta V_{\text{th}50}$ (mV)	$\Delta V_{\text{Not}50}$ (mV)	$\Delta V_{\text{Nit}50}$ (mV)	$\Delta N_{\text{ot}50}$ (cm^{-2})	$\Delta N_{\text{it}50}$ (cm^{-2})
25/25	-7	-18	11	$2,79 \times 10^{10}$	$1,76 \times 10^{10}$
25/4	-9	-22	13	$3,82 \times 10^{10}$	$2,01 \times 10^{10}$
25/3	-11	-29	18	$4,51 \times 10^{10}$	$2,31 \times 10^{10}$
25/2,8	-11	-30	19	$4,62 \times 10^{10}$	$2,97 \times 10^{10}$
25/2	-11	-35	24	$5,36 \times 10^{10}$	$3,73 \times 10^{10}$
25/1	-23	-60	37	$9,3 \times 10^{10}$	$5,71 \times 10^{10}$
25/0,8	-32	-93	61	$1,49 \times 10^{11}$	$9,4 \times 10^{10}$
25/0,7	-41	-124	83	$1,92 \times 10^{11}$	$1,23 \times 10^{11}$
25/0,6	-73	-207	134	$3,21 \times 10^{11}$	$2,08 \times 10^{11}$
25/0,5	-77	-408	331	$6,3 \times 10^{11}$	$5,11 \times 10^{11}$
25/0,4	-81	-1117	1036	$1,72 \times 10^{12}$	$1,61 \times 10^{12}$
0,6/3	-33	-45	8	$6,98 \times 10^{10}$	$1,29 \times 10^{10}$
0,6/0,6	-108	-359	251	$5,54 \times 10^{11}$	$3,88 \times 10^{11}$
0,6/0,5	-194	-664	470	$1,02 \times 10^{12}$	$7,25 \times 10^{11}$
0,6/0,4	-229	-1816	1587	$2,8 \times 10^{12}$	$2,45 \times 10^{12}$
0,4/25	-93	-1078	985	$1,66 \times 10^{12}$	$1,52 \times 10^{12}$
0,5/25	-81	-424	343	$6,54 \times 10^{11}$	$5,3 \times 10^{11}$
0,6/25	-47	-139	99	$2,14 \times 10^{11}$	$1,42 \times 10^{11}$
1,5/25	-29	-50	21	$7,75 \times 10^{10}$	$3,19 \times 10^{10}$
5/25	-21	-27	6	$4,23 \times 10^{10}$	$9,98 \times 10^9$
0,4/0,6	-194	-1561	1367	$2,41 \times 10^{12}$	$2,11 \times 10^{12}$
0,5/0,6	-161	-634	473	$9,79 \times 10^{11}$	$7,31 \times 10^{11}$
0,6/0,6	-108	-359	251	$5,54 \times 10^{11}$	$3,88 \times 10^{11}$
1,5/0,6	-50	-99	49	$1,53 \times 10^{11}$	$7,55 \times 10^{10}$

Tableau IV.1(b)

Tableau IV.1 : Tableau récapitulatif des différentes grandeurs après irradiation (a) 25 krad(Si) et (b) 50 krad(Si) pour les différentes dimensions de transistors nLDD-MOS étudiés.

L'évolution de la variation de la tension et du nombre de pièges avec la dose d'irradiation pour le transistor nLDD-MOS est reproduite sur les figures IV.8 et IV.9. On constate que l'effet dû aux charges d'oxyde est prépondérant sur la variation globale de la tension de seuil. Sur nos résultats, la variation de la tension de seuil ΔV_{th} est négative à cause de la quantité suffisante de charges piégées dans l'oxyde par rapport aux charges piégées à l'interface. Nous constatons la décroissance de la variation de la tension seuil ΔV_{th} en fonction de la dose. Cette décroissance peut être interprétée comme une conséquence de la dominance des charges piégées dans l'oxyde par rapport aux états interface [SCH.WAC 88]. La comparaison des variations de la tension de seuil avec la charges à l'interface et dans l'oxyde nous montre que les transistors de petites dimensions sont plus affectés ($W/L=0,6/0,4$ et $0,4/0,6\mu m$) par la dose (Co-60) que ceux de grandes dimensions.



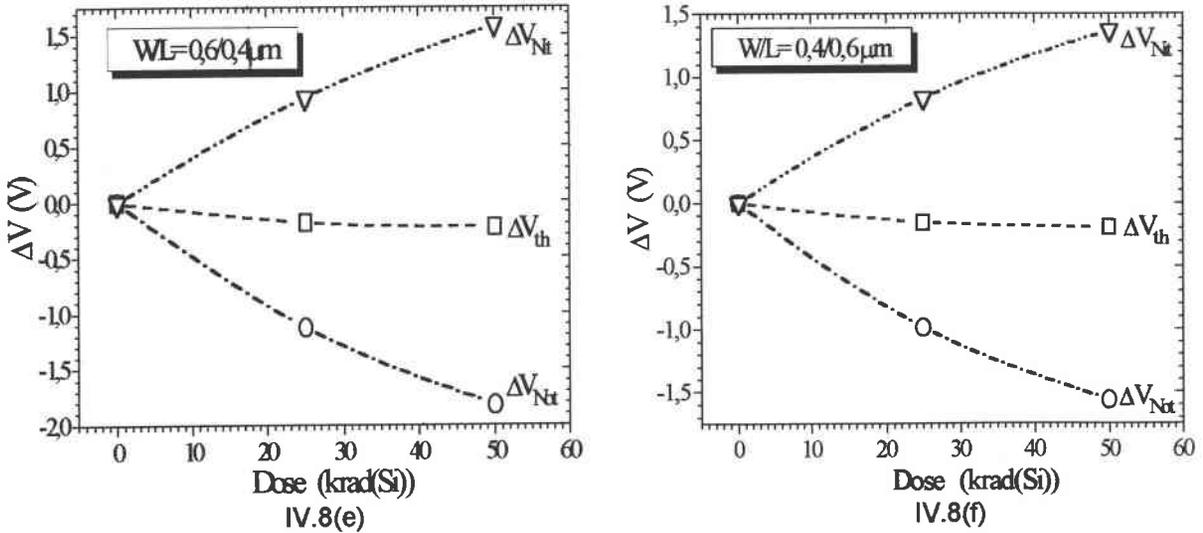
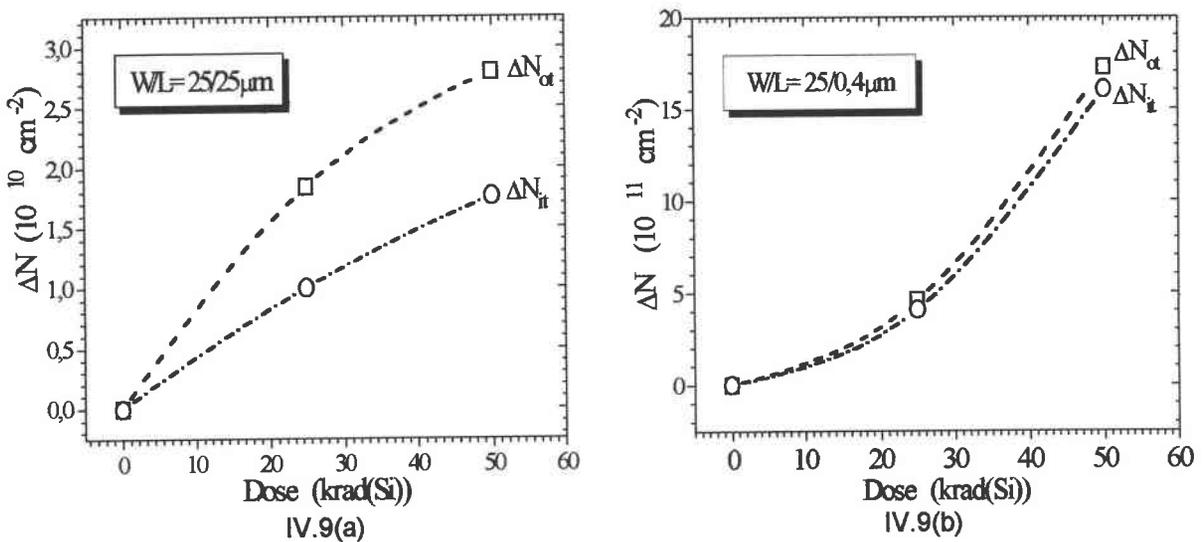


Figure IV.8: Evolution de la variation de la tension de seuil (ΔV_{th}) et ses contributions dans l'oxyde (ΔV_{ox}) et à l'interface (ΔV_{it}) avec la dose reçue pour (a) W/L=25/25 μm , (b) W/L=25/0,4 μm , (c) W/L=5/25 μm , (d) W/L=0,4/25 μm , (e) W/L=0,6/0,4 μm et (f) W/L=0,4/0,6 μm

La création et l'augmentation de la charge piégée dans l'oxyde et dans les états d'interface sont liées à la dose absorbée. L'évolution de la densité d'états d'interface avec la dose ne correspond pas forcément à une évolution semblable de la densité des pièges dans l'oxyde. Les valeurs de ΔN_{ox} sont plus grandes que ΔN_{it} . La cause première de cette dissymétrie est l'accumulation des charges positives dans l'oxyde, dues aux trous piégés. Cette accumulation est due essentiellement, comme nous l'avons expliqué précédemment, à la plus faible mobilité des trous par rapport à celle des électrons qui quittent instantanément l'oxyde.



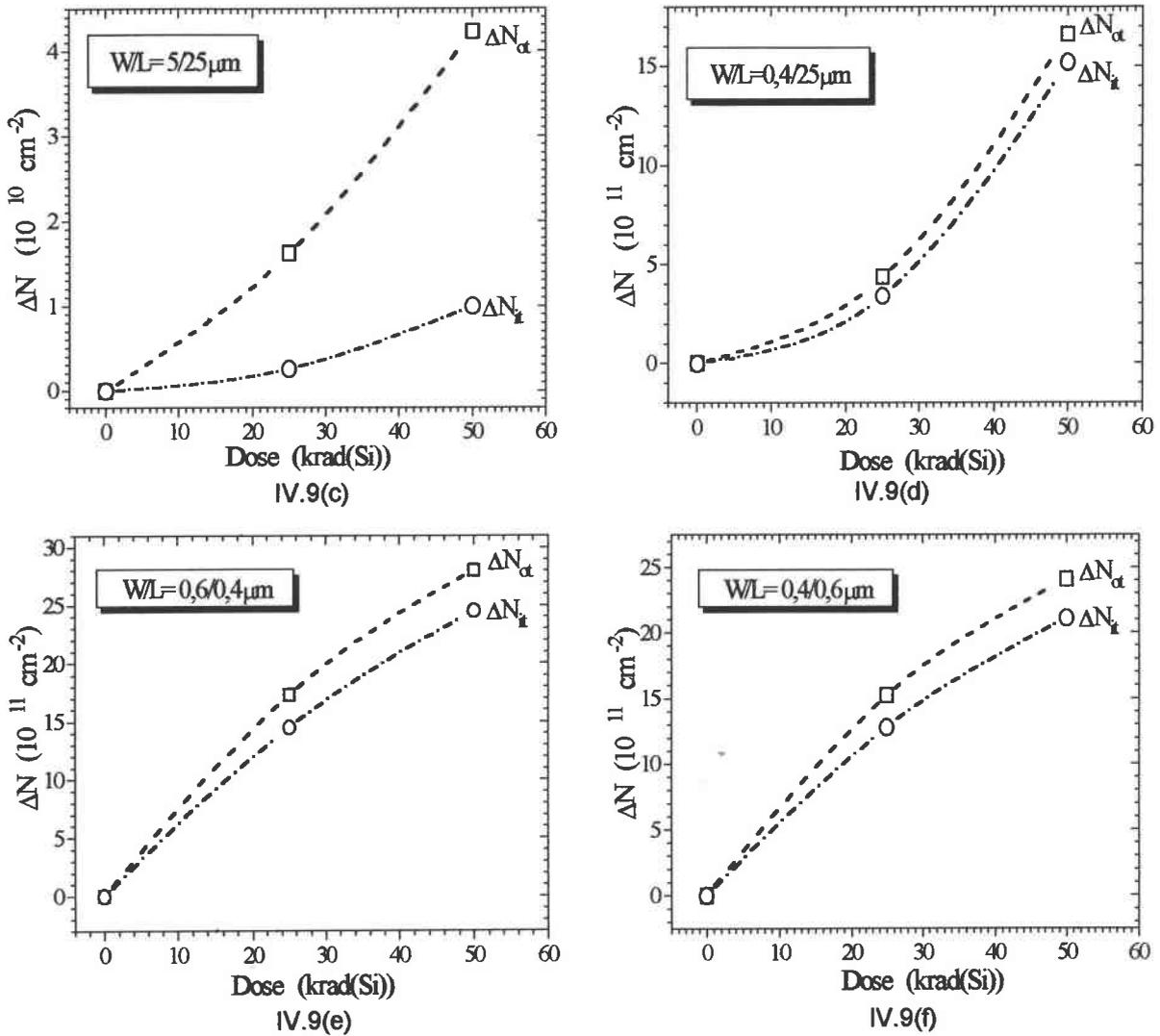
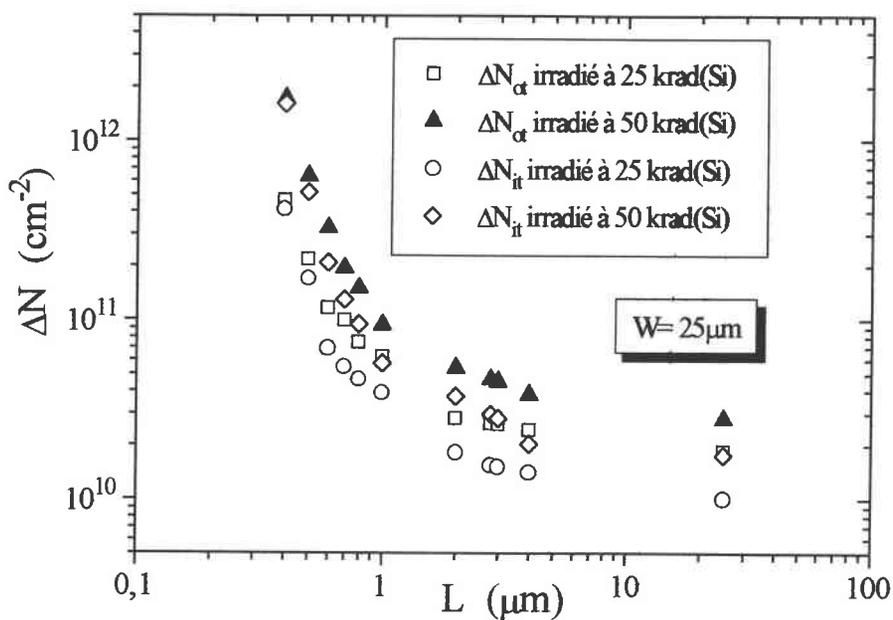
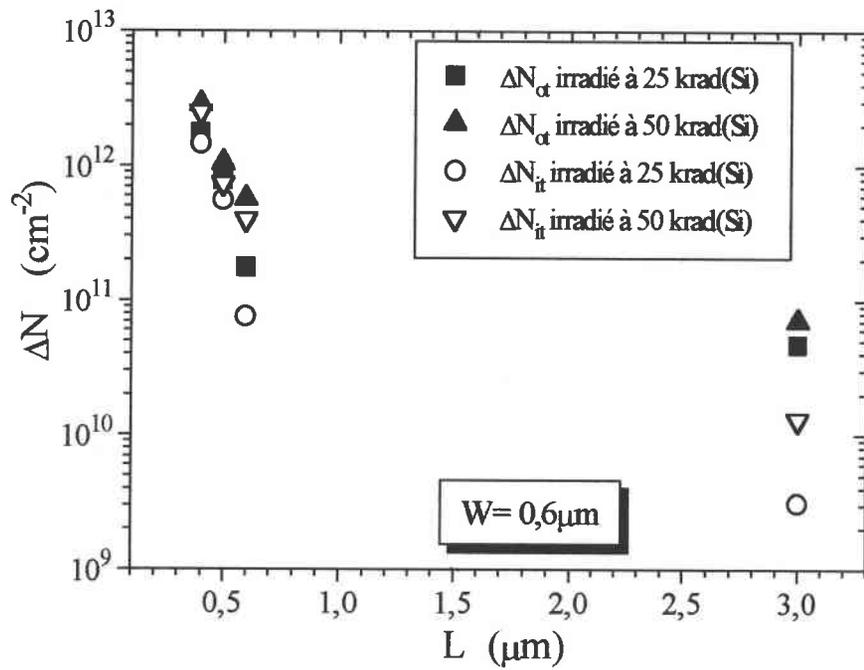


Figure IV.9 : Densité des charges piégées dans l'oxyde (ΔN_{α}) et à l'interface (ΔN_{it}) en fonction de la dose reçue pour (a) $W/L=25/25\mu\text{m}$, (b) $W/L=25/0,4\mu\text{m}$, (c) $W/L=5/25\mu\text{m}$, (d) $W/L=0,4/25\mu\text{m}$, (e) $W/L=0,6/0,4\mu\text{m}$ et (f) $W/L=0,4/0,6\mu\text{m}$.

Nous constatons que le nombre de charges piégées dans l'oxyde (ΔN_{α}) et à l'interface (ΔN_{it}) augmente avec la diminution de la longueur du canal L (W est fixe) et la largeur de grille W (L est fixe) (Figure IV.10). Ceci peut être attribué au confinement de charges piégées par unité de surface. Nous supposons que la surface de l'oxyde correspond à $W \times L$. À mesure que la surface diminue, le nombre de charges piégées dans l'oxyde et à l'interface augmentent.



IV.10(a)



IV.10(b)

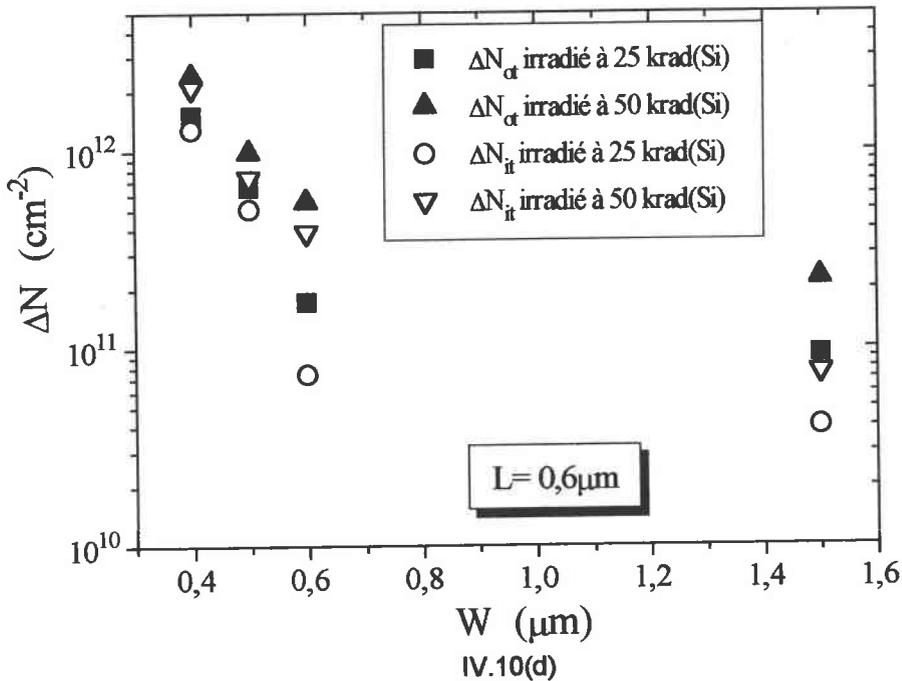
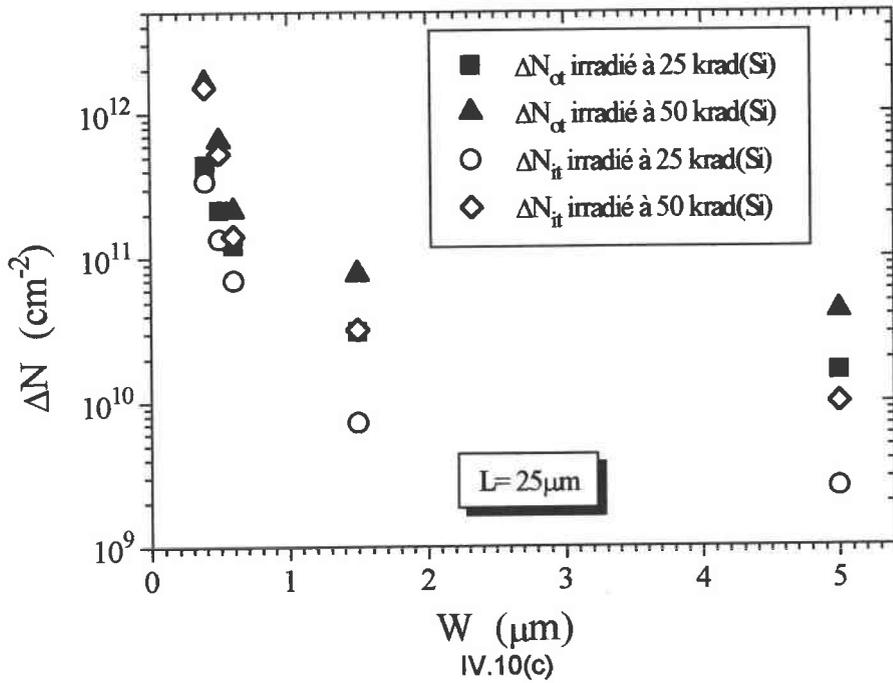
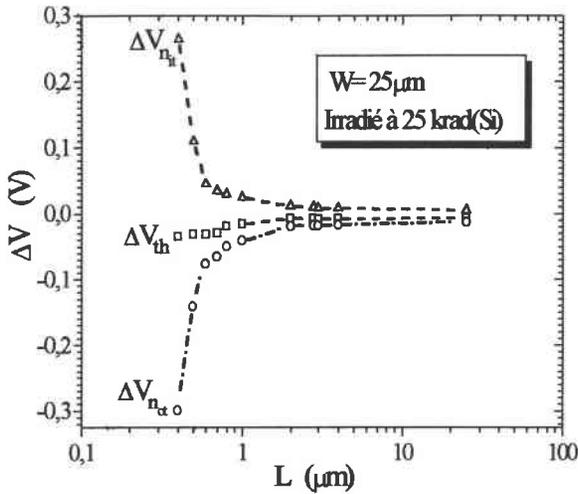
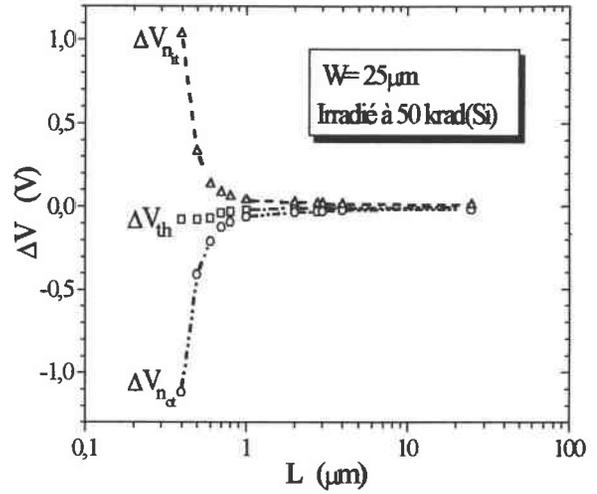


Figure IV.10 : Densité des charges piégées dans l'oxyde (ΔN_{ox}) et à l'interface (ΔN_{it}) en fonction des dimensions L et W pour (a) $W=25\mu m$, (b) $W=0,6\mu m$, (c) $L=25\mu m$ et (d) $L=0,6\mu m$.

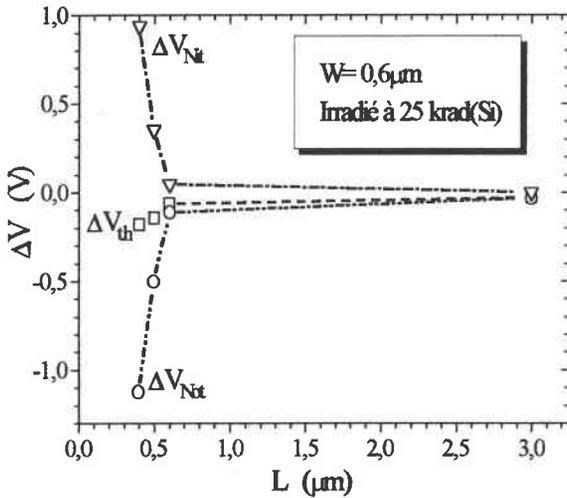
L'évolution de la variation de la tension de seuil (ΔV_{th}) et ses contributions dans l'oxyde (ΔV_{ox}) et à l'interface (ΔV_{it}) est présentée sur la figure IV.11. Nous constatons la décroissance de la variation de la tension seuil ΔV_{th} et de la tension due aux charges dans l'oxyde avec la réduction des dimensions. Tandis que la variation de la tension due aux charges à l'interface augmente avec la diminution des dimensions.



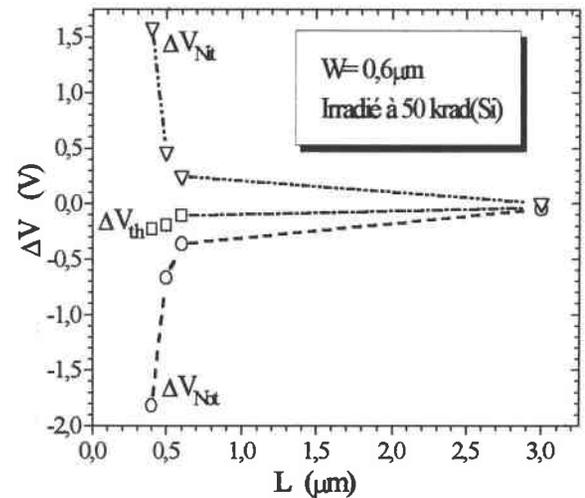
IV.11(a)



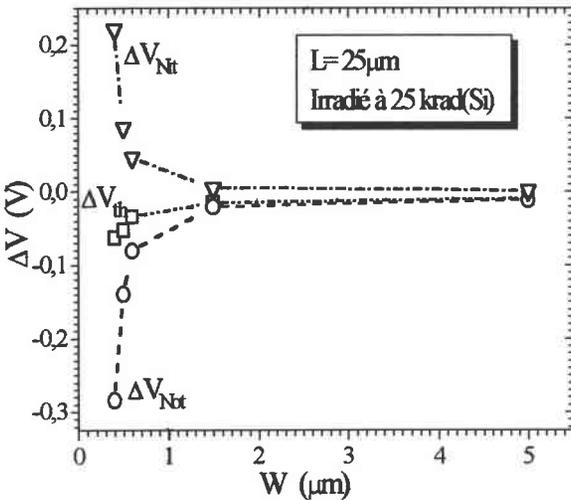
IV.11(b)



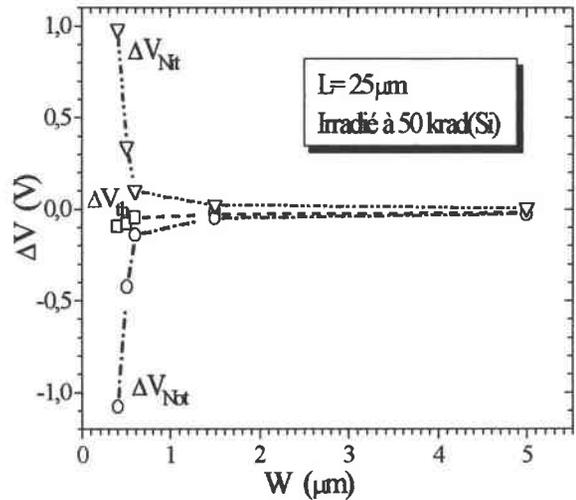
IV.11(c)



IV.11(d)



IV.11(e)



IV.11(f)

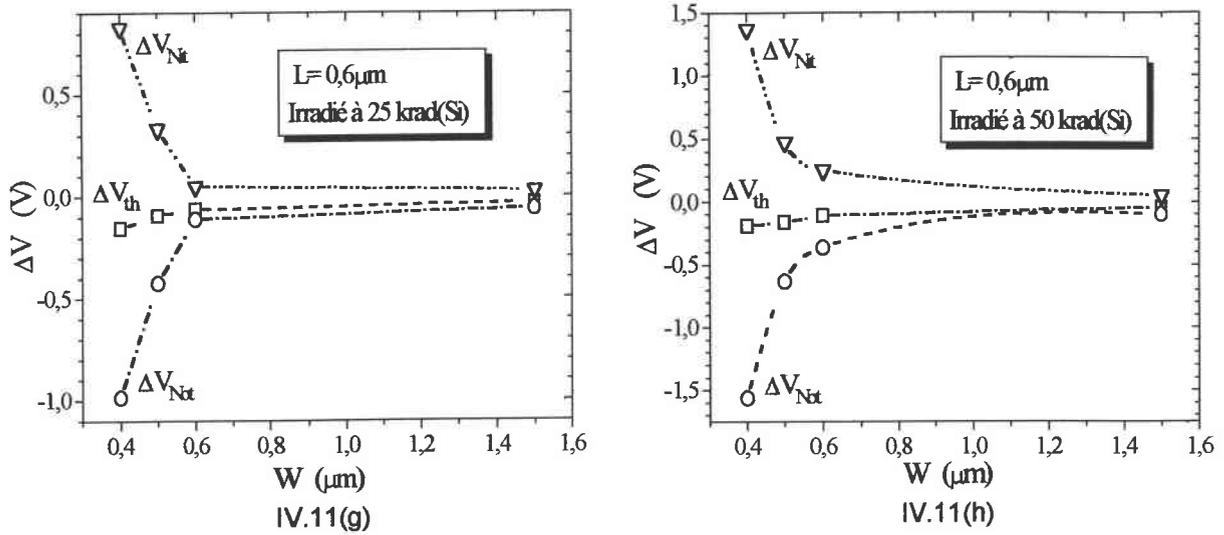


Figure IV.11 : Evolution de la variation de la tension de seuil (ΔV_{th}) et ses contributions dans l'oxyde (ΔV_{ot}) et à l'interface (ΔV_{it}) en fonction des dimensions et de la dose reçue pour (a) $W=25\mu\text{m}$ irradié à 25 krad(Si), (b) $W=25\mu\text{m}$ irradié à 50 krad(Si), (c) $W=0,6\mu\text{m}$ irradié à 25 krad(Si), (d) $W=0,6\mu\text{m}$ irradié à 50 krad(Si), (e) $L=25\mu\text{m}$ irradié à 25 krad(Si), (f) $L=25\mu\text{m}$ irradié à 50 krad(Si), (g) $L=0,6\mu\text{m}$ irradié à 25 krad(Si) et (h) $L=0,6\mu\text{m}$ irradié à 50 krad(Si)

IV.4 EFFET SUR LES JONCTIONS DRAIN-SUBSTRAT

L'objet de ce paragraphe est de montrer que les caractéristiques courant-tension de la jonction substrat-drain sont modifiées par l'irradiation ionisante. Nous avons analysé les caractéristiques courant-tension de la jonction drain-substrat après irradiation afin de suivre l'évolution des dégradations. Sans polarisations de grille, les évolutions des caractéristiques courant-tension de la jonction drain-substrat des transistors de différentes géométries sont représentées sur la figure IV.12. On constate bien, sur ces caractéristiques, les déformations engendrées par l'irradiation. Ces déformations sont davantage visibles dans le cas des transistors de largeur de grille $W=25\mu\text{m}$ (Figures IV.12(a) et (b)) et peuvent être attribuées au fait que les surfaces de jonction sont grandes et donc influencées par la charge plus importante des oxydes d'emballage.

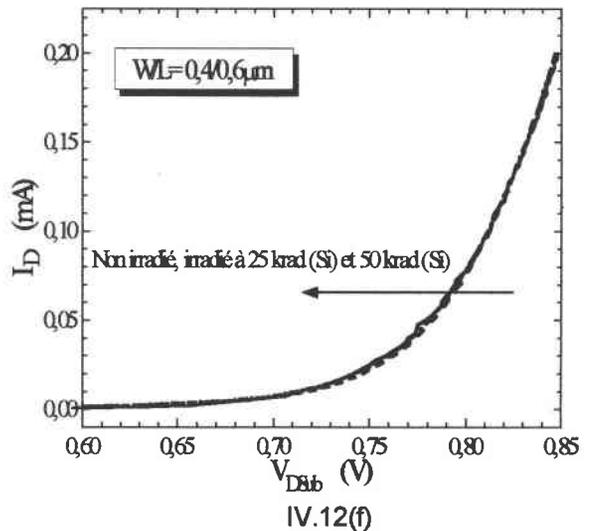
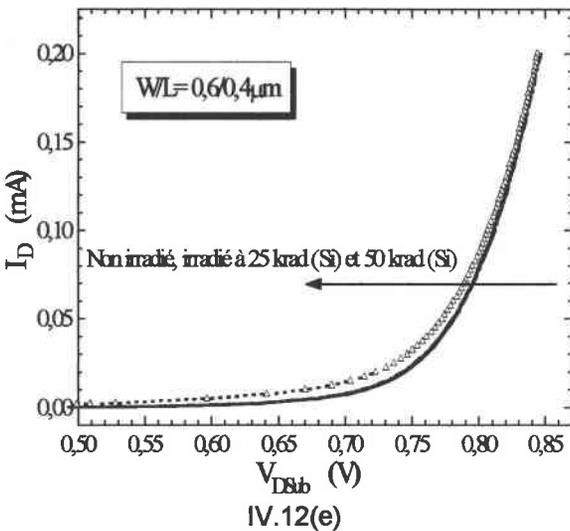
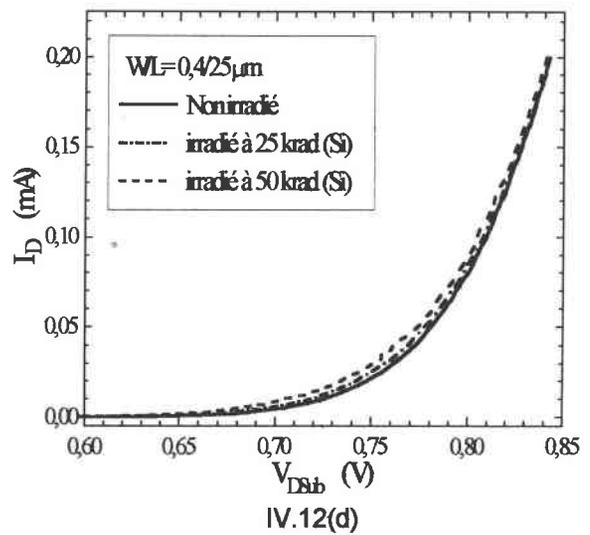
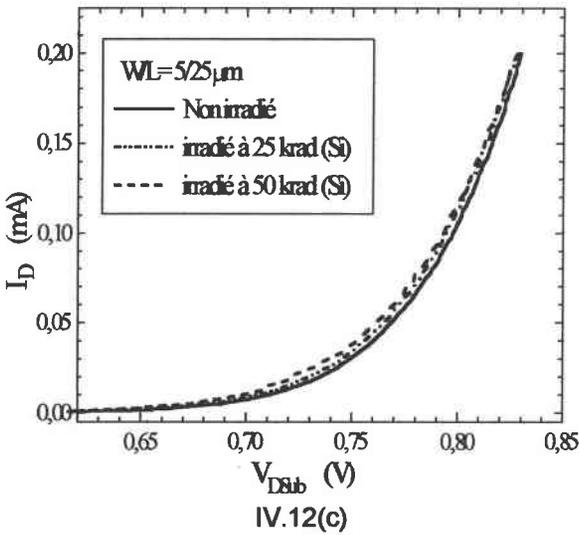
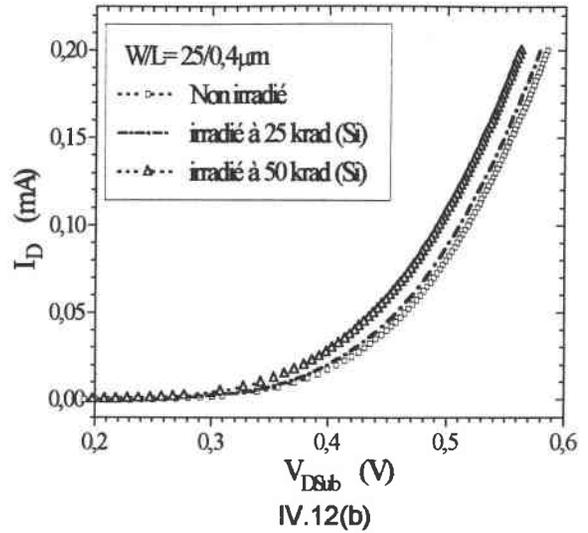
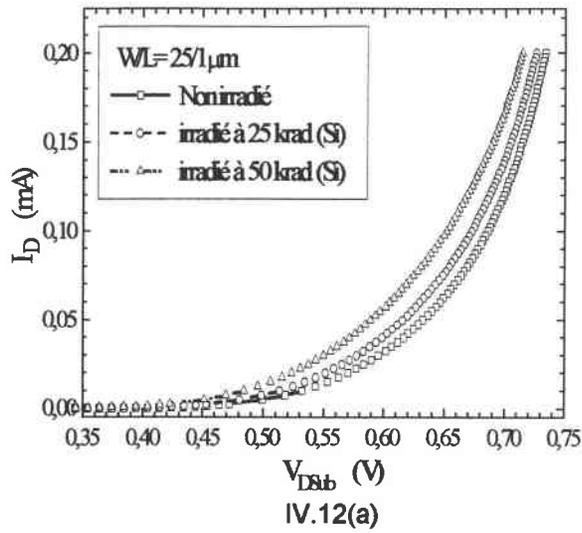
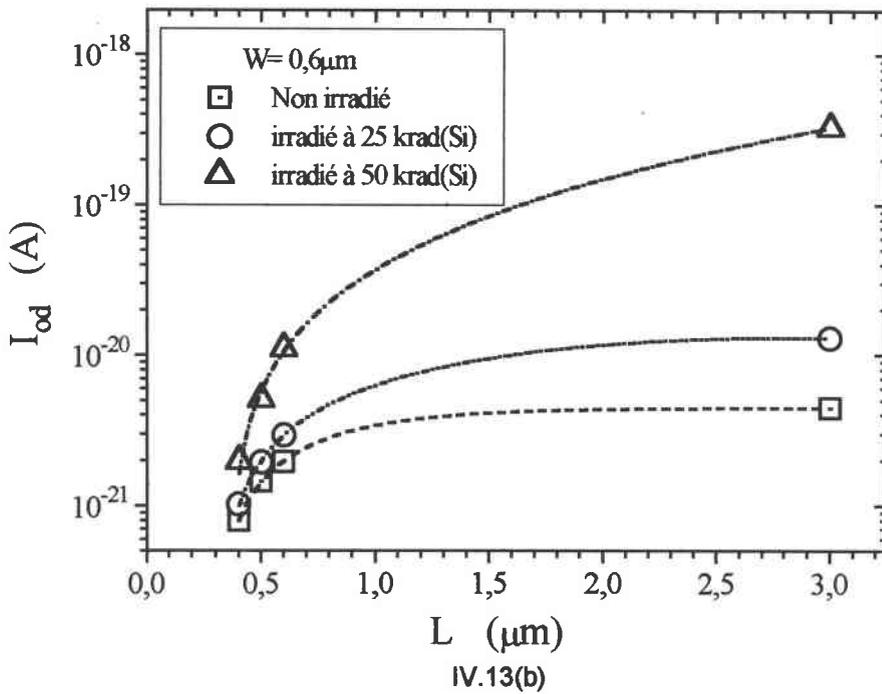
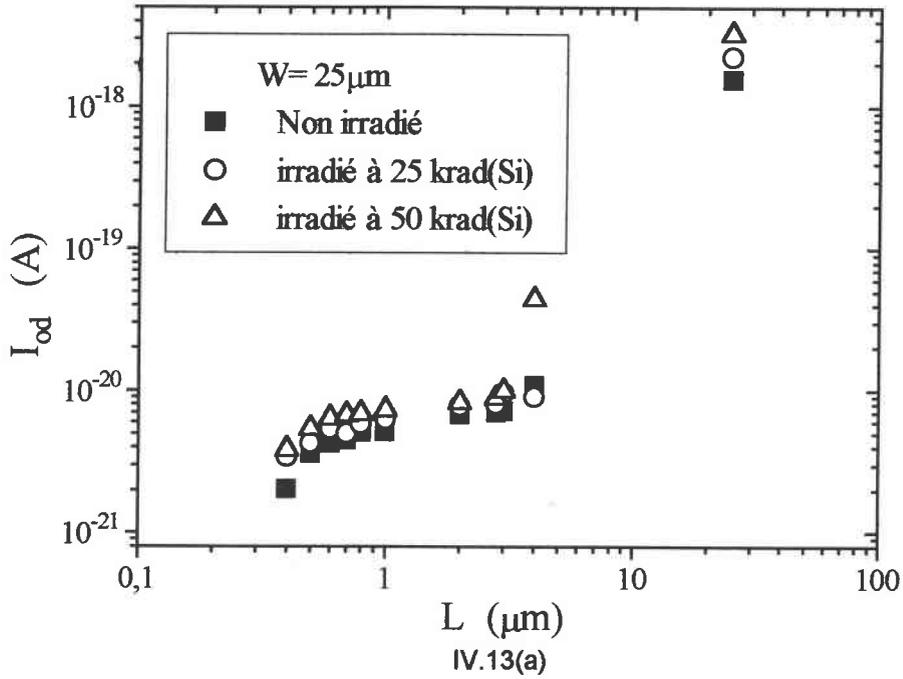


Figure IV.12 : Effet de l'irradiation sur les caractéristiques des jonctions drain-substrat pour (a) $W/L=25/1\mu\text{m}$, (b) $W/L=25/0,4\mu\text{m}$, (c) $W/L=5/25\mu\text{m}$, (d) $W/L=0,4/25\mu\text{m}$, (e) $W/L=0,6/0,4\mu\text{m}$ et (f) $W/L=0,4/0,6\mu\text{m}$.

Notons ici que le courant de saturation inverse dû à la diffusion I_{od} et celui dû à la recombinaison I_{or} augmentent avec la dose absorbée (Figures IV.13 et IV.14) quelles que soient les dimensions. Les valeurs déterminées de la résistance shunt sont très important indiquant qu'aucun courant de fuite ne s'est manifesté dans la jonction suite à l'irradiation.



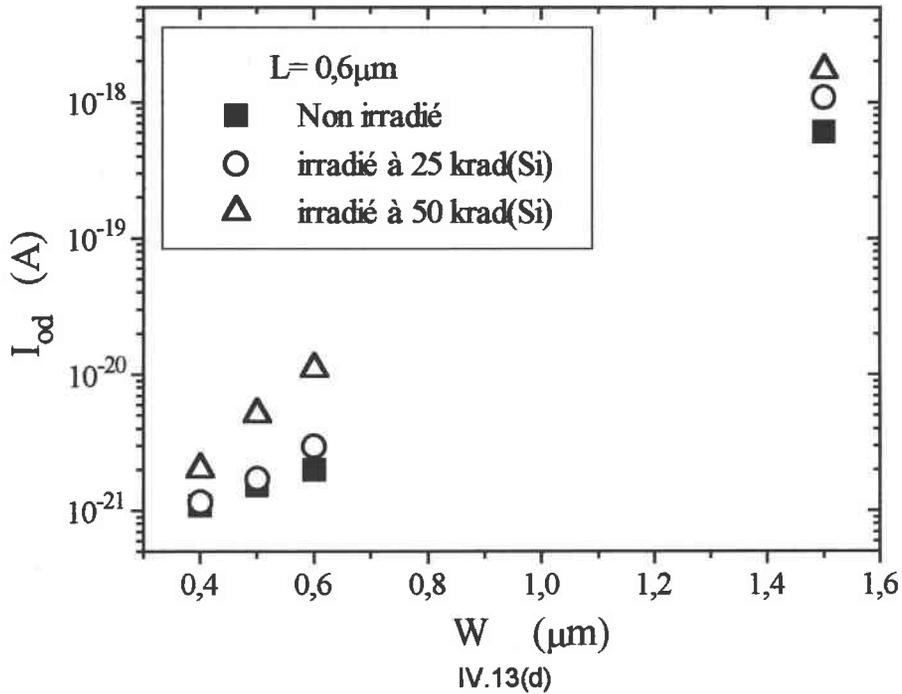
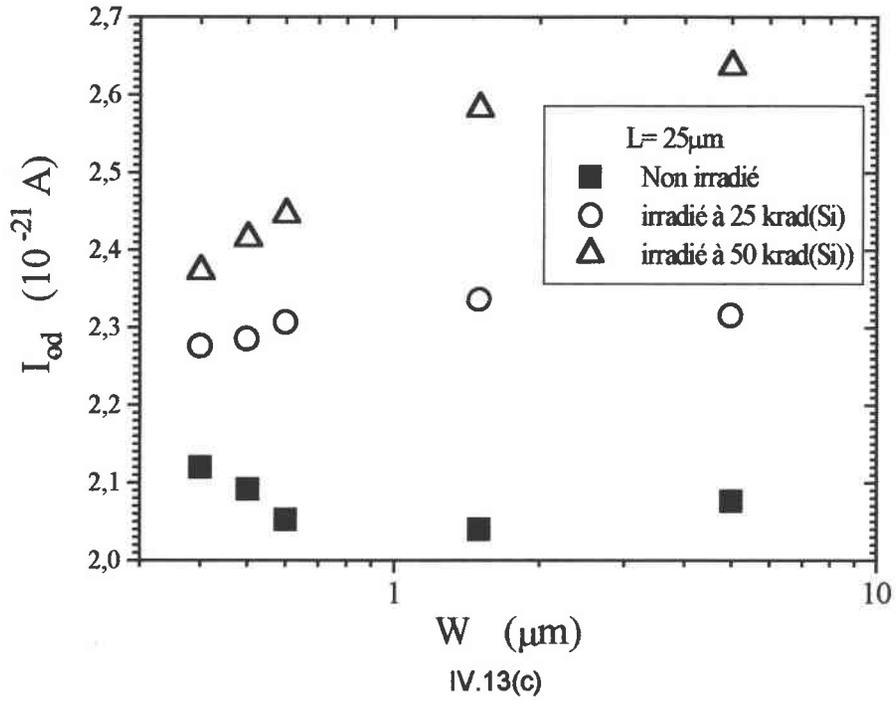
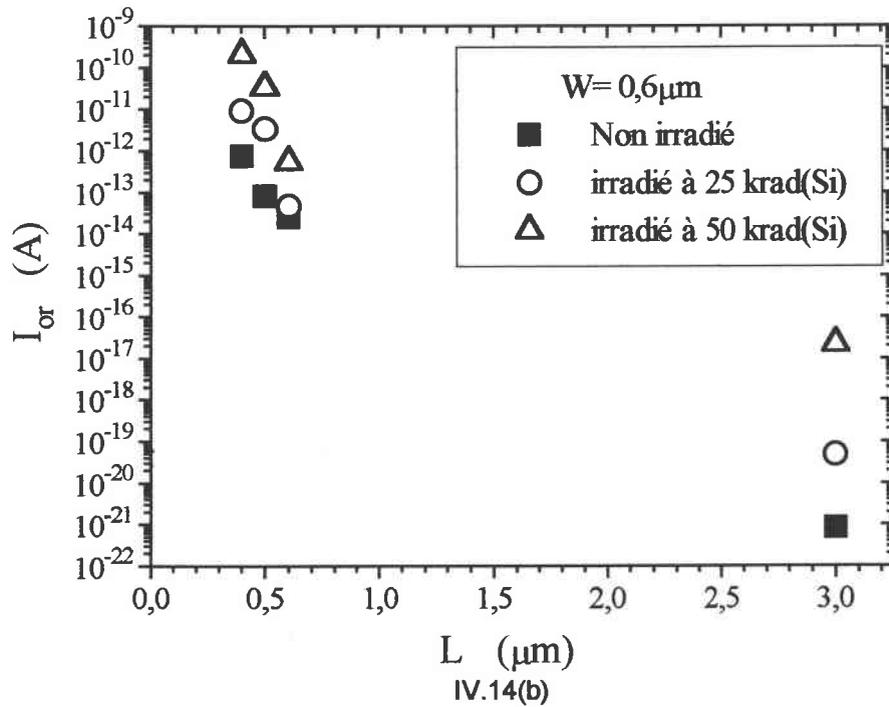
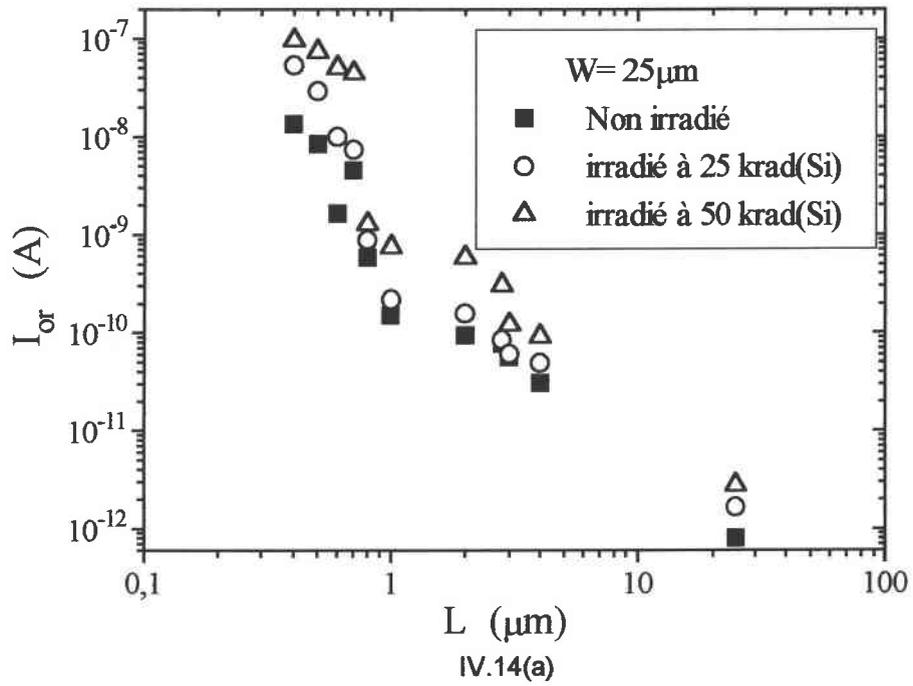


Figure IV.13 : Courant de diffusion I_{od} des jonctions drain-substrat en fonction du L et du W avec (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$, avant et après irradiation ionisante.



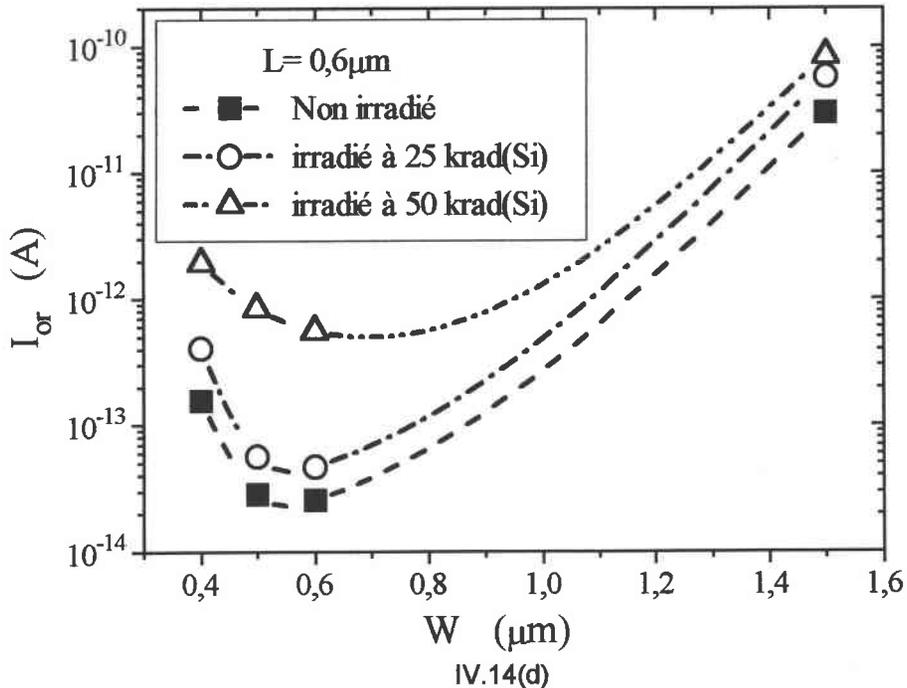
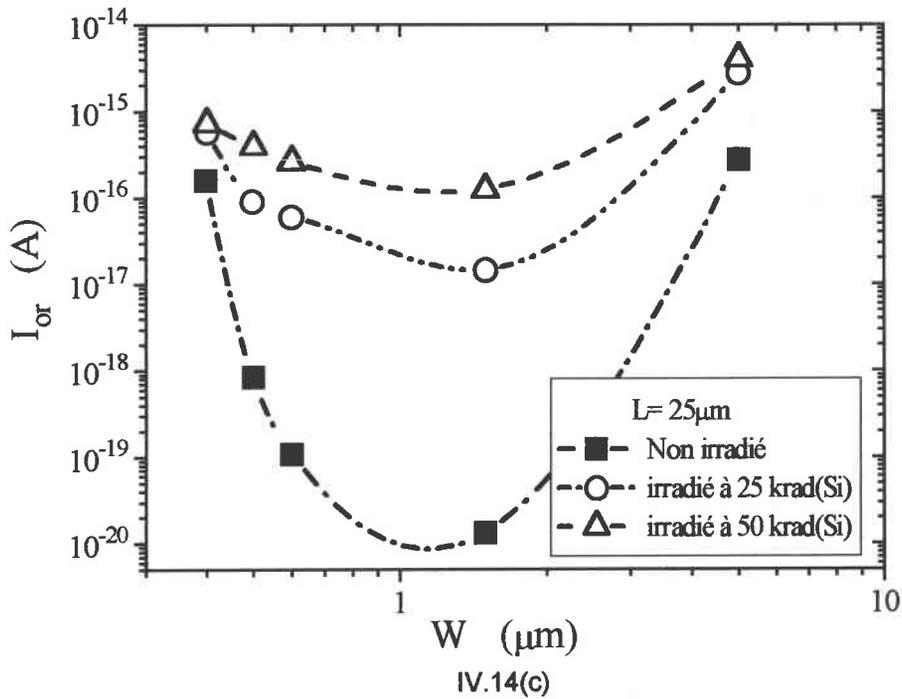
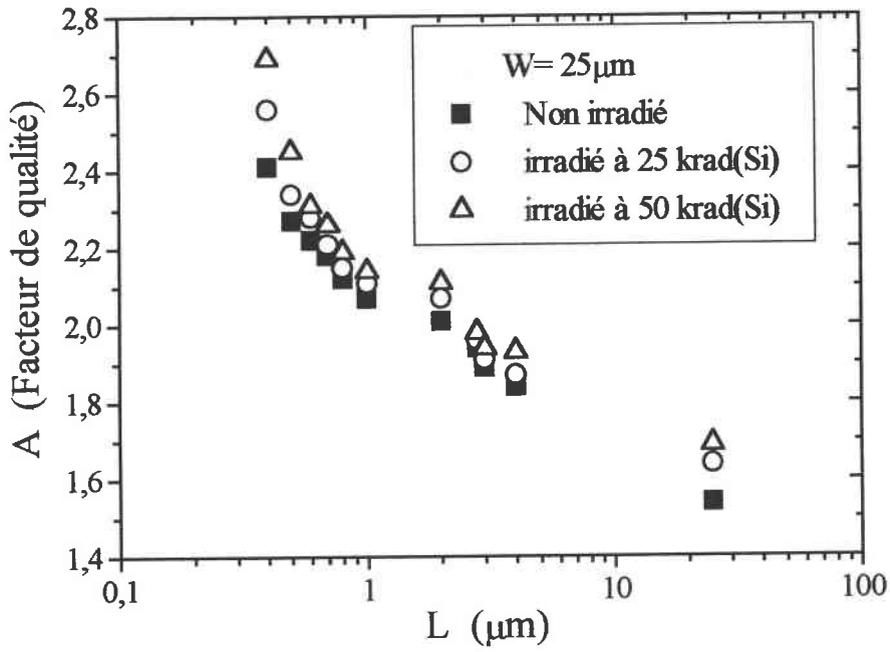


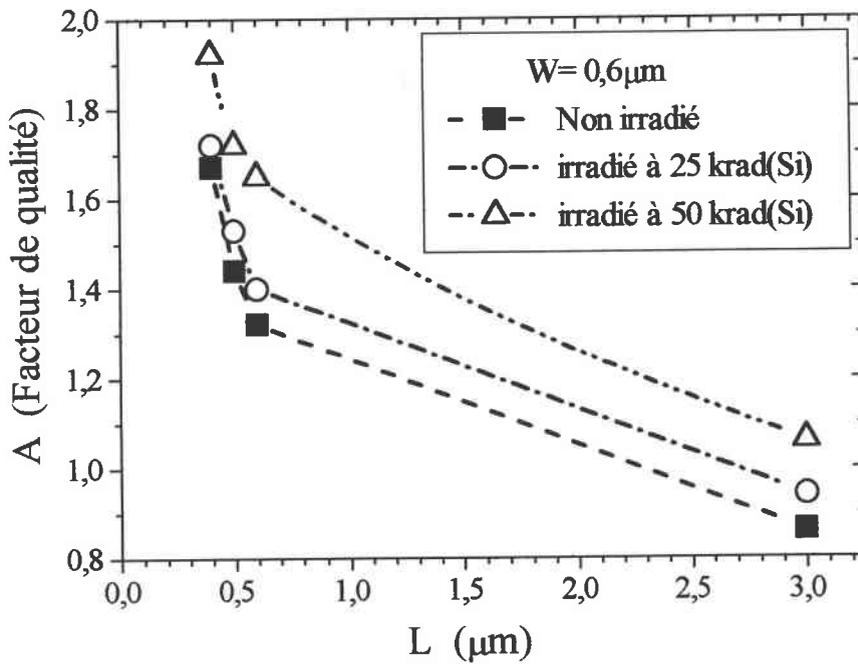
Figure IV.14 : Courant de recombinaison I_{or} des jonctions drain-substrat en fonction du L et du W avec (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$, avant et après irradiation ionisante.

Une augmentation du courant de recombinaison I_{or} (Figure IV.14) est associée à une augmentation du facteur de qualité A (Figure IV.15) suite à l'irradiation. L'accroissement du facteur de qualité et la faible décroissance de la résistance série (Figure IV.16) avec la dose cumulée, impliquent davantage de phénomènes de recombinaison dans la zone de charge d'espace et montrent que la jonction a un comportement apparent dégradé après irradiation.

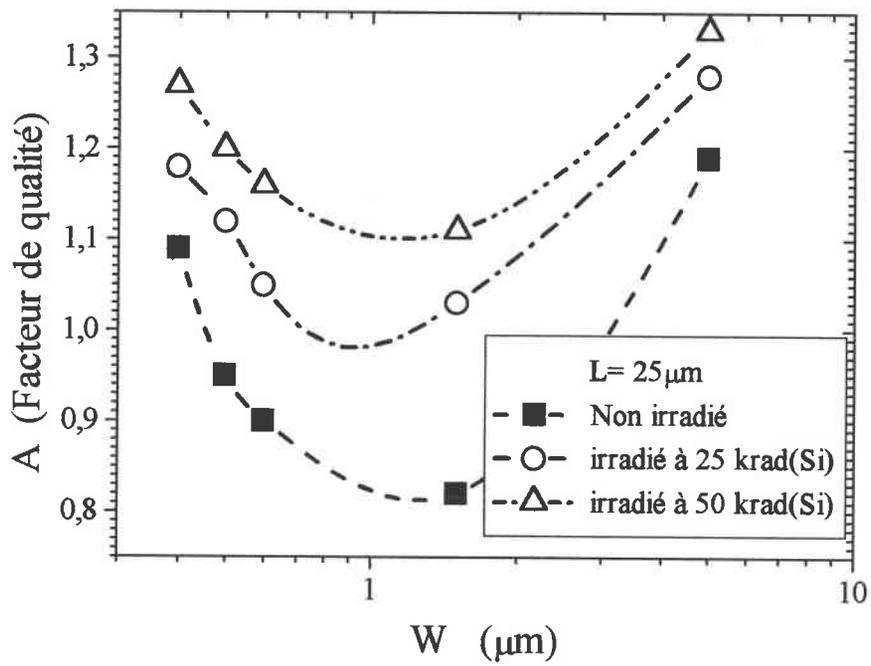
Ceci peut être attribuée à l'influence des charges d'oxydes épais d'isolation sur le potentiel de surface.



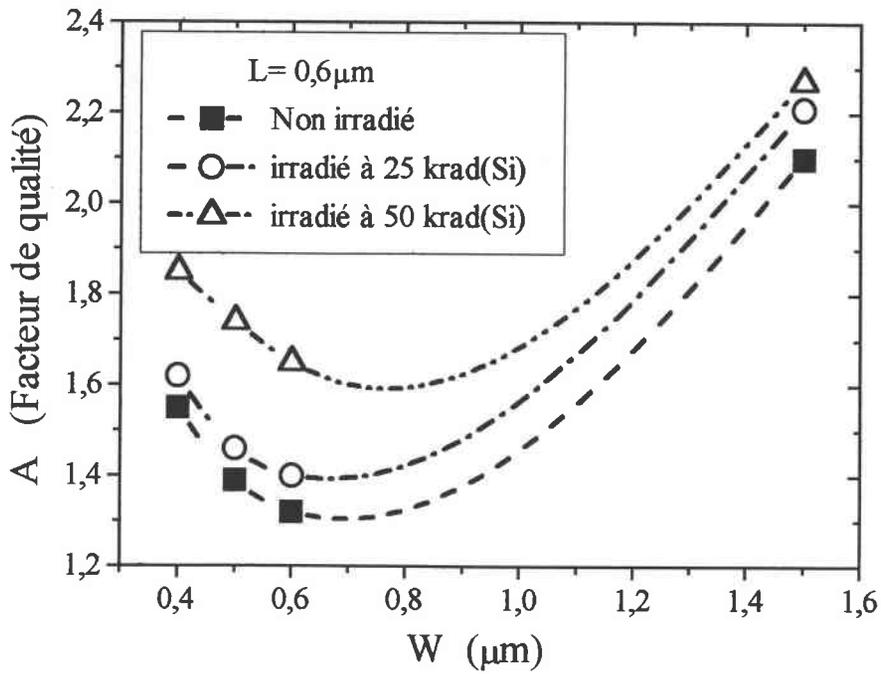
IV.15(a)



IV.15(b)

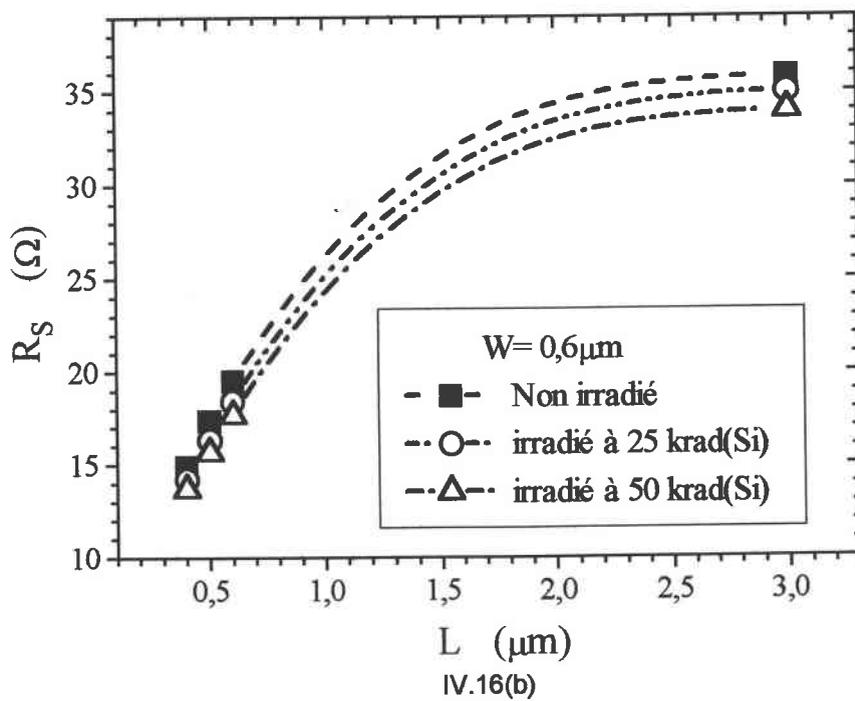
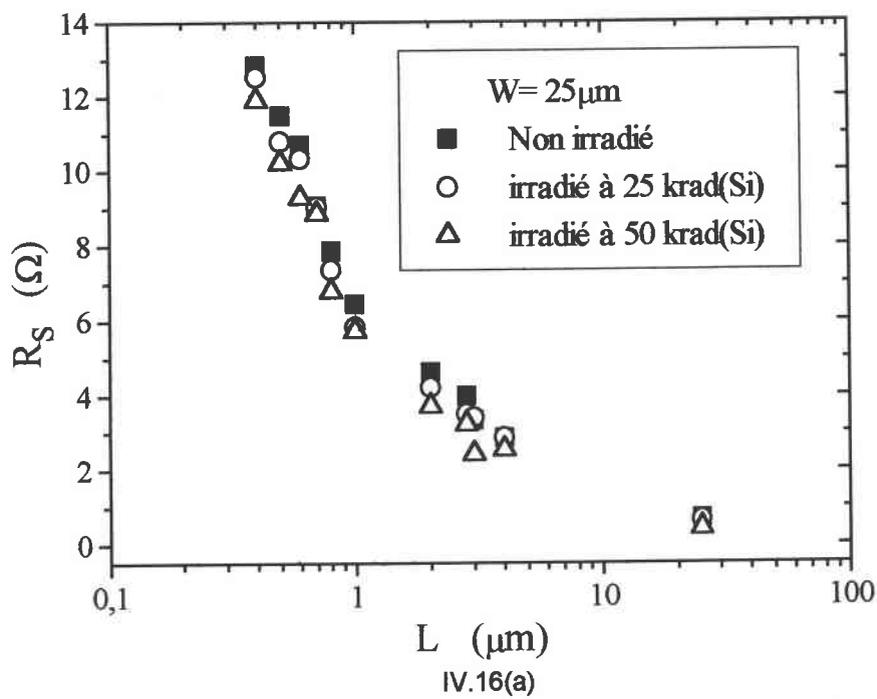


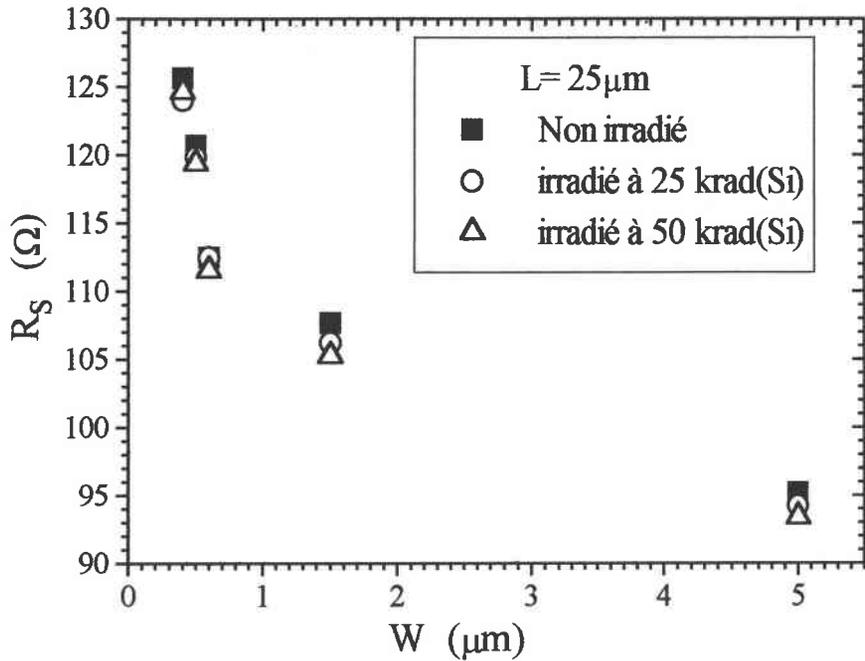
IV.15(c)



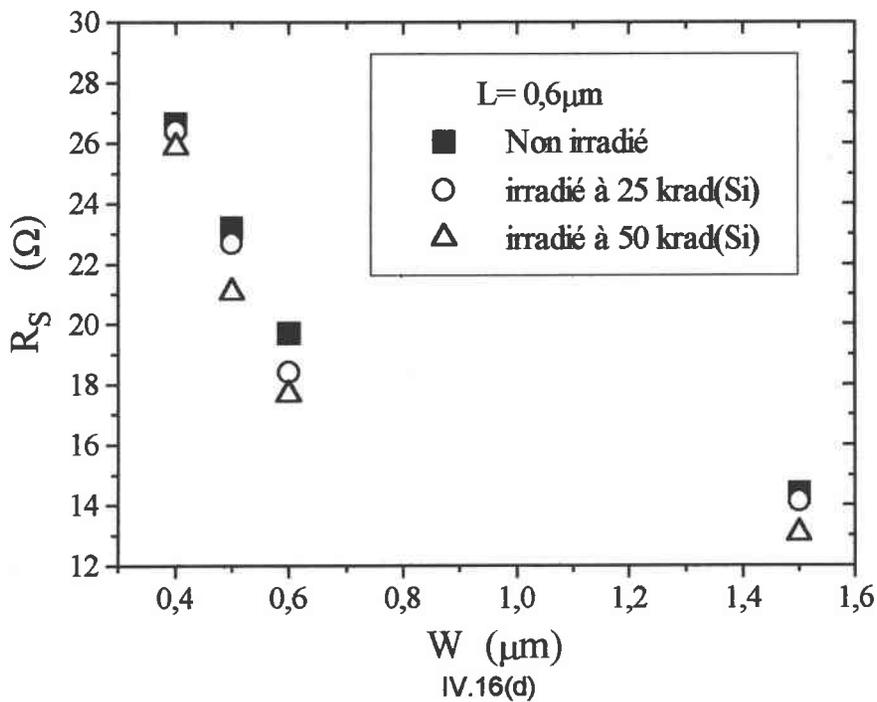
IV.15(d)

Figure IV.15 : Facteur de qualité de la jonction drain-substrat en fonction du W et du L avec (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$, avant et après irradiation ionisante.





IV.16(c)

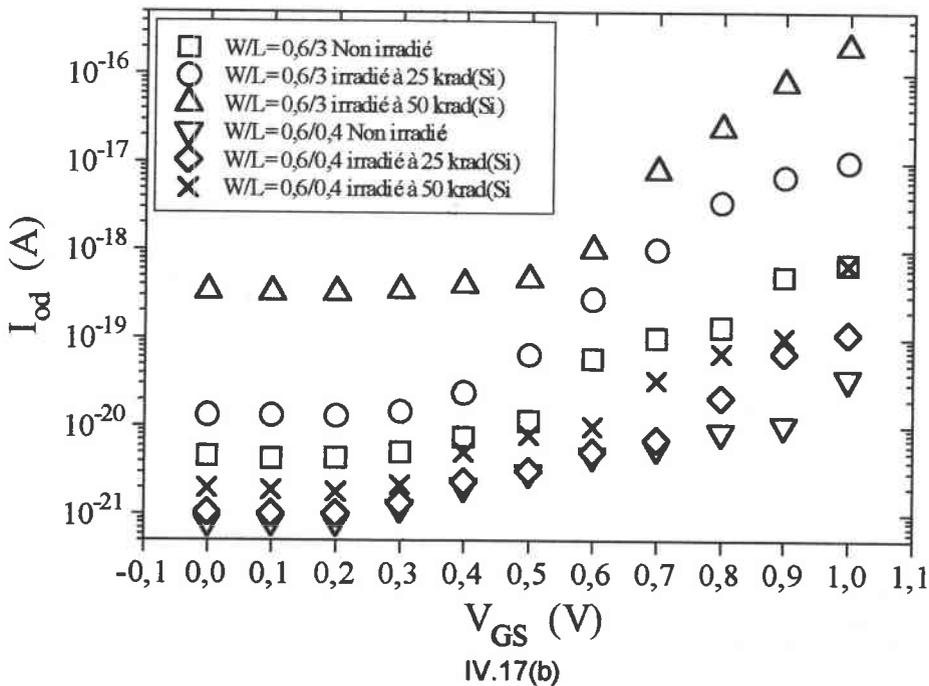
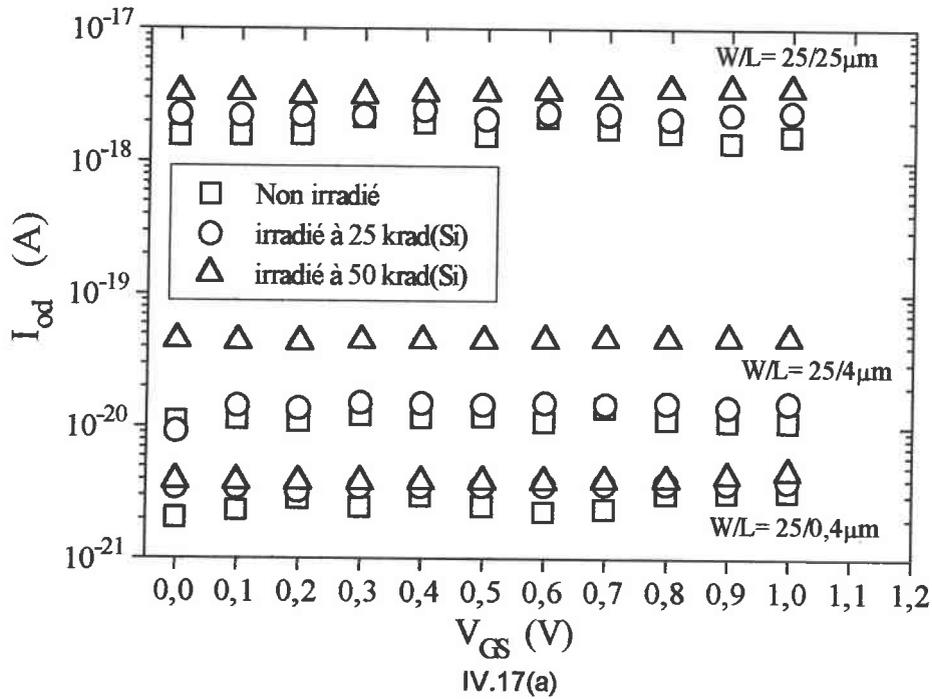


IV.16(d)

Figure IV.16 : Résistance série de la jonction drain-substrat en fonction du L et du W avec (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$, avant et après irradiation ionisante.

Pour montrer l'influence de la tension de grille suite à l'irradiation, nous avons représenté sur les figures IV.17, IV.18, IV.19 et IV.20 pour différentes valeurs de V_{GS} , les caractéristiques courant-tension de la jonction substrat-drain des transistors MOS. L'évolution des différents paramètres caractérisant la jonction est dépendante de la dose d'irradiation. Ainsi nous

pouvons déduire que l'évolution des modifications des mécanismes de transport des porteurs à travers la jonction substrat-drain sont imposées aussi bien par la valeur de la tension de grille V_{GS} que par les effets d'irradiation. Les résultats obtenus montrent une différence de sensibilité à ce type d'agression (Co-60), suivant les dimensions, en particulier une meilleure tenue pour les transistors de plus petite largeur de grille $W=0,6$ et $0,4\mu\text{m}$.



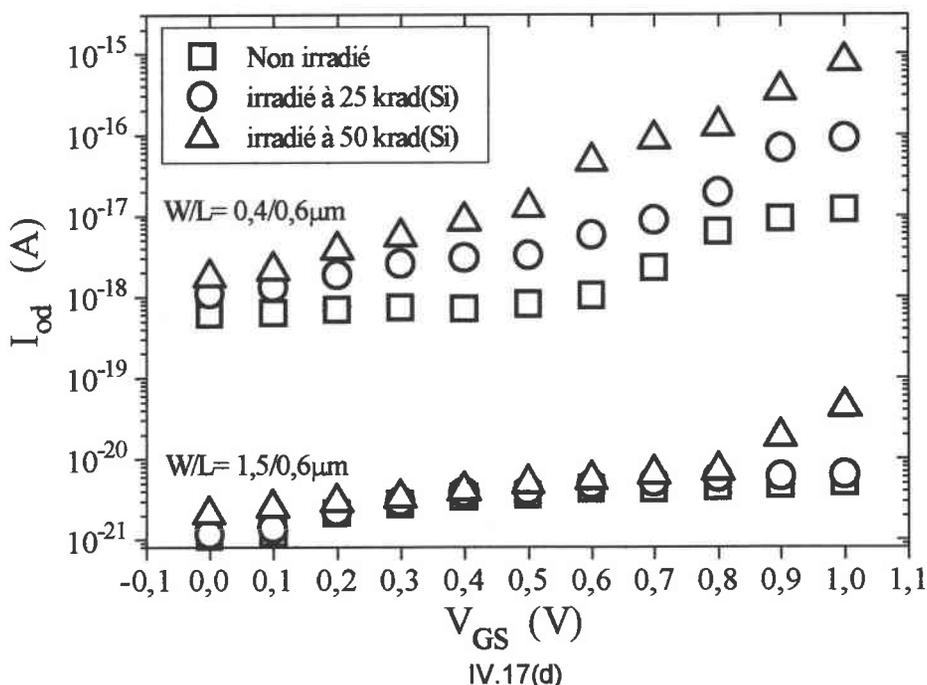
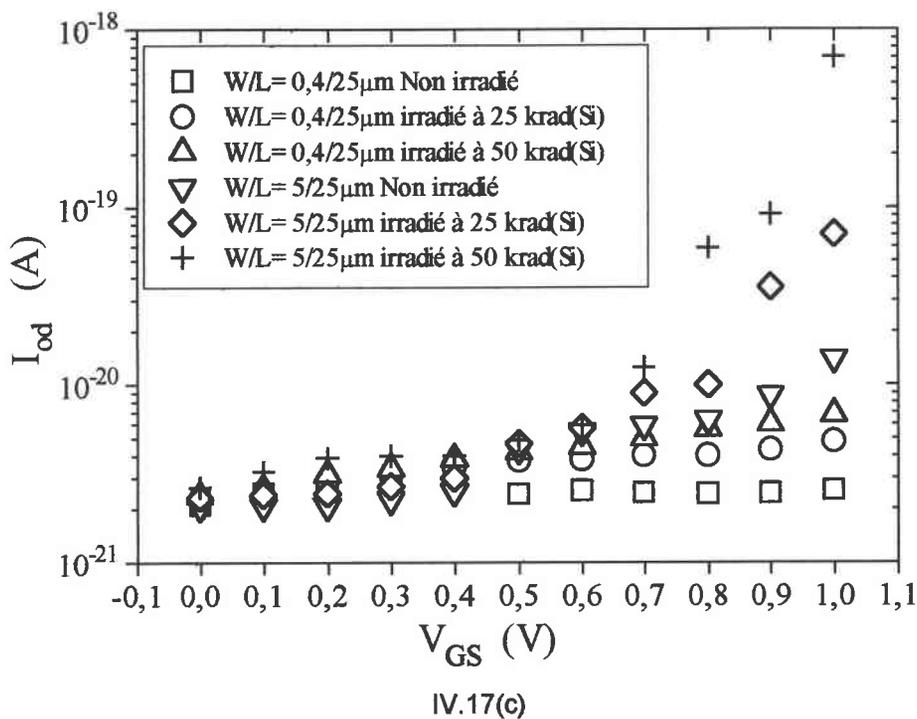
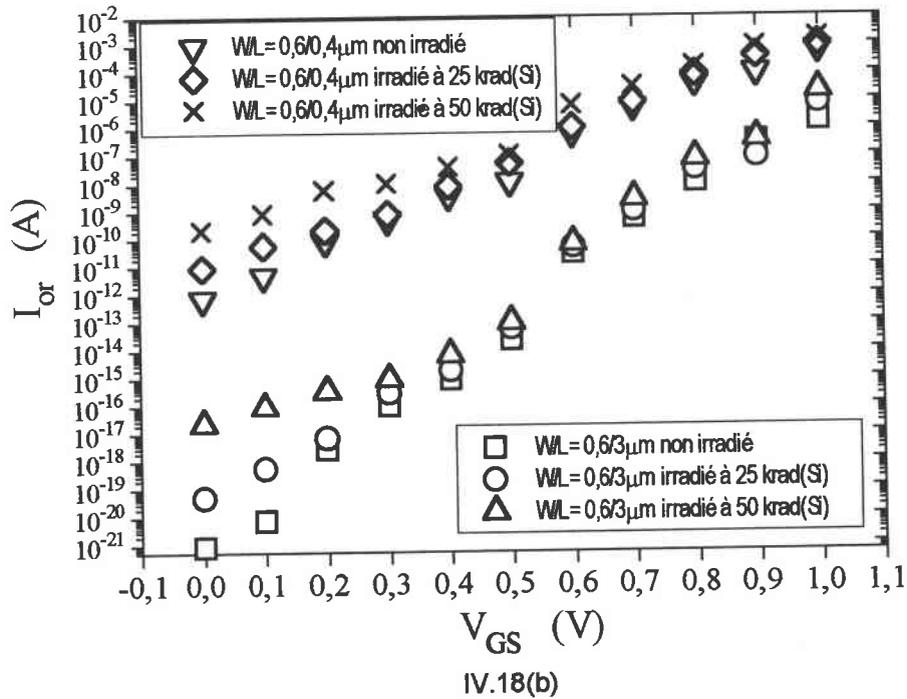
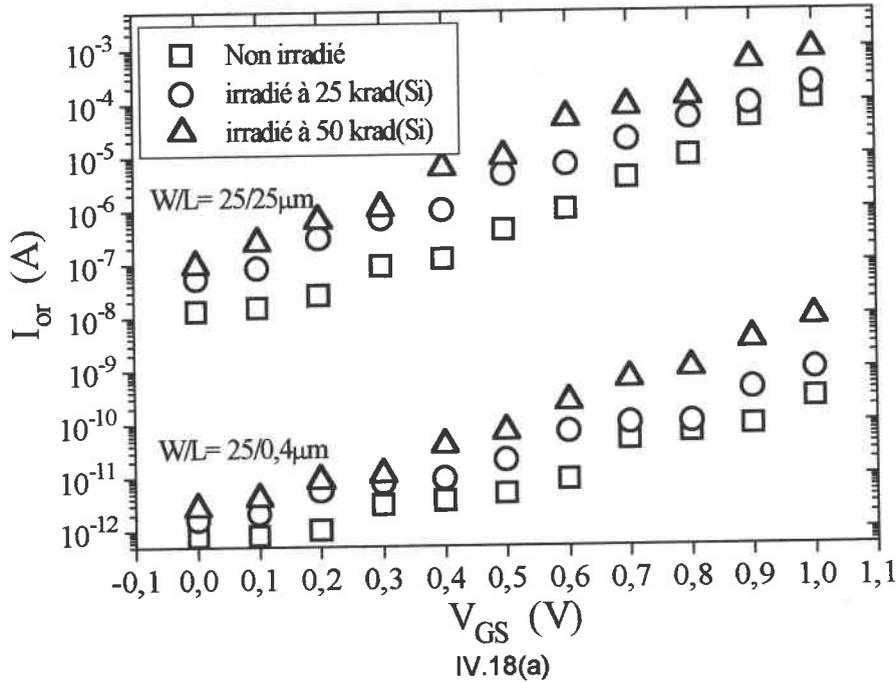
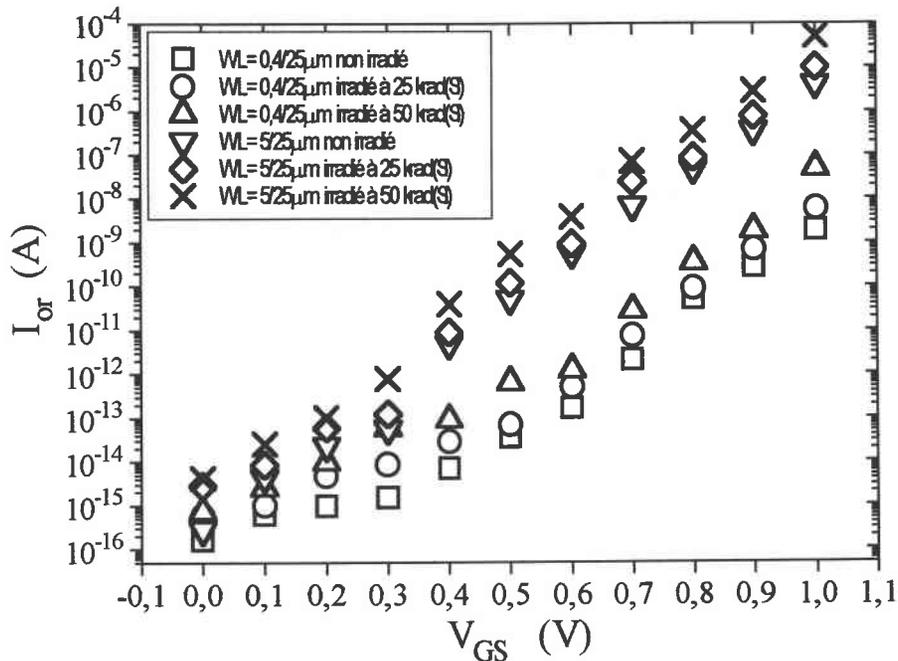


Figure IV.17 : Courant de diffusion en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$ avant et après irradiation.

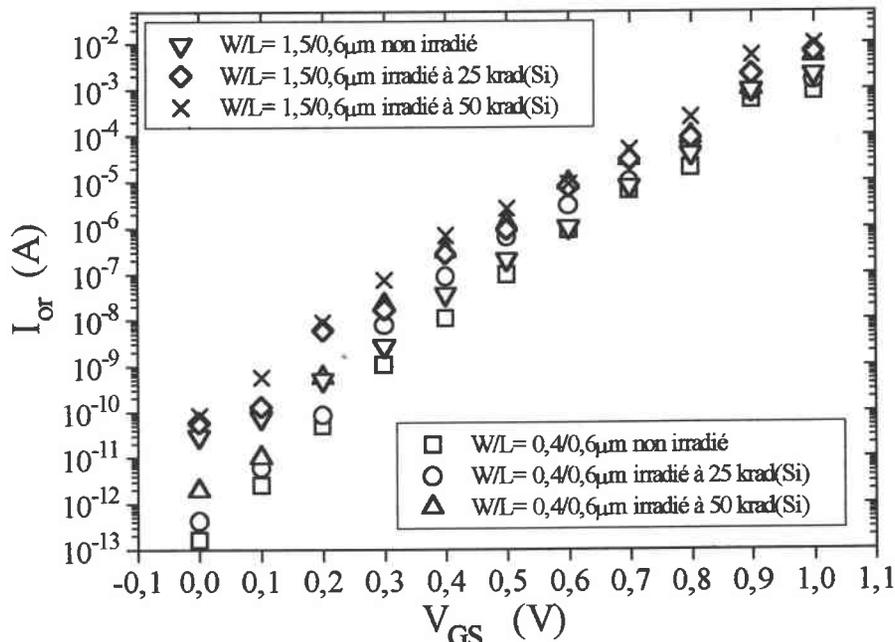
Pour les transistors larges ($W=25\mu\text{m}$, figure IV.17(a)), le courant de diffusion I_{od} n'est pratiquement pas influencé par la tension de grille suite à l'irradiation. Le courant de saturation inverse dû à la recombinaison I_{or} et le facteur de qualité A montrent une influence très nette de la polarisation de grille (Figures IV.18 et IV.19). Ils augmentent avec la tension de grille V_{GS} suite à l'irradiation ionisante, et avec la dose cumulée. L'accroissement de ces

deux quantités est lié à une extension relativement plus grande de la zone de charge d'espace et donc à une plus grande importance de la recombinaison des porteurs. La largeur de la zone de charge d'espace est aussi conditionnée par les charges statiques sur la grille (V_{GS}), et les charges d'oxyde et d'interface (dose) par l'intermédiaire du potentiel de surface.





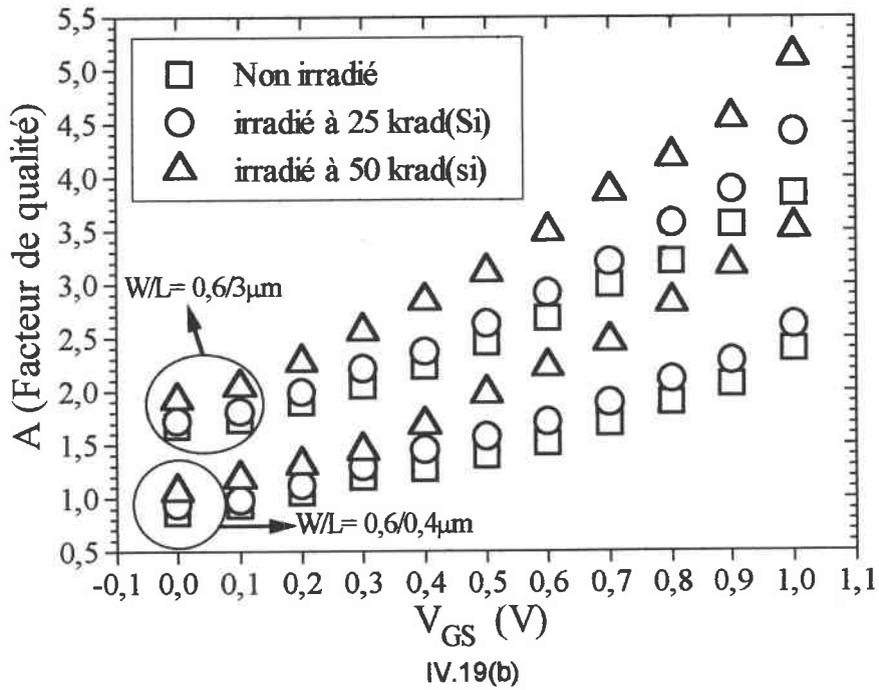
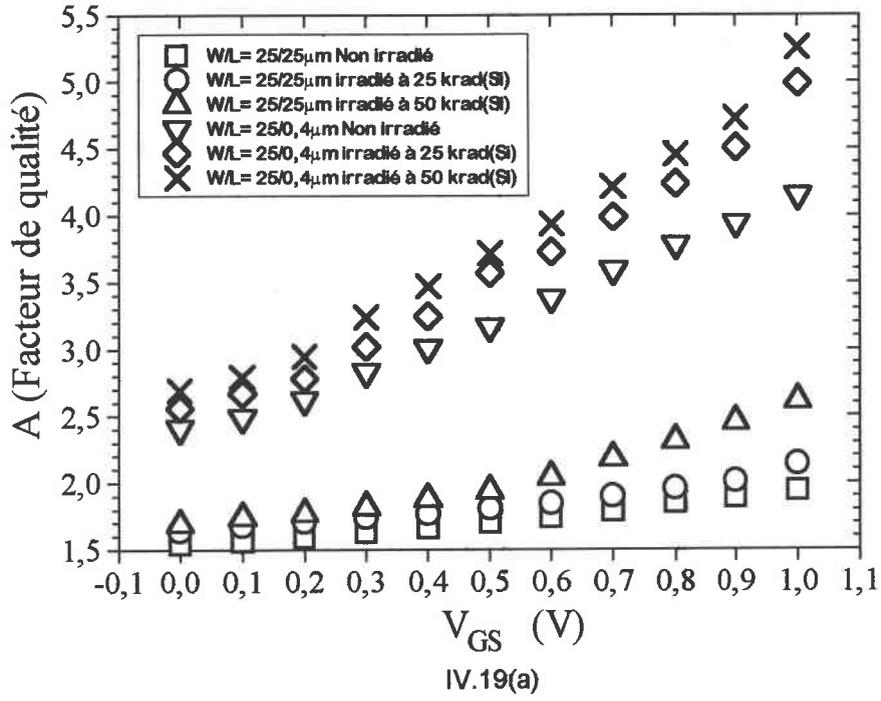
IV.18(c)

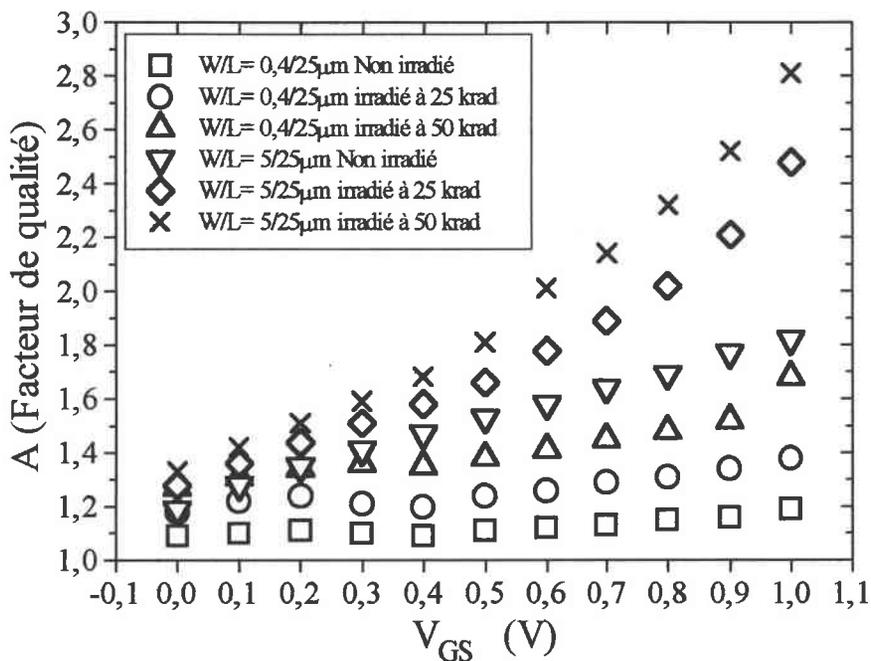


IV.18(d)

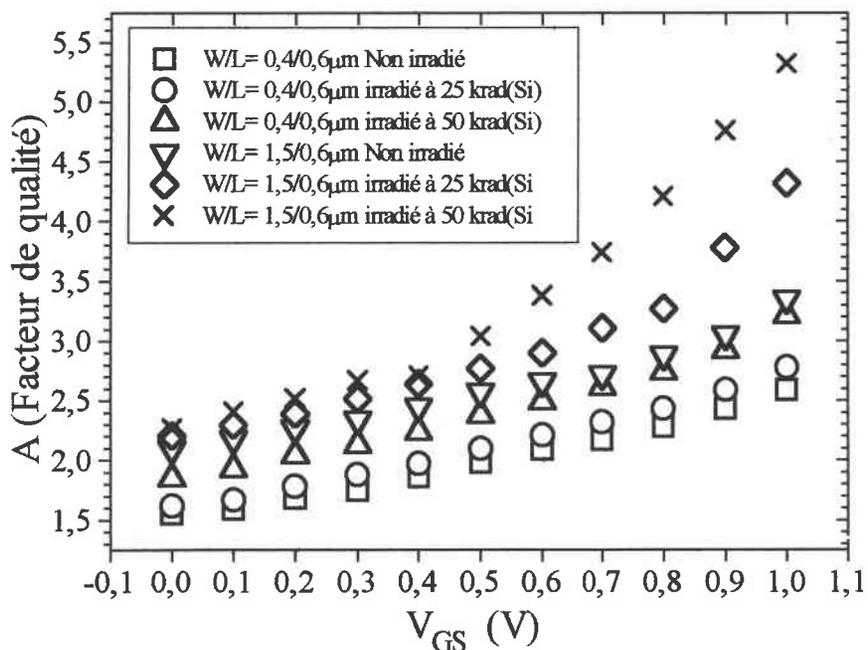
Figure IV.18 : Courant de recombinaison en fonction de la polarisation de grille pour les transistors (a) $W=25\mu\text{m}$, (b) $W=0,6\mu\text{m}$, (c) $L=25\mu\text{m}$ et (d) $L=0,6\mu\text{m}$ avant et après irradiation.

L'augmentation du facteur de qualité montre une grande sensibilité à la dose reçue et signifie que l'irradiation modifie les processus de conduction dans le composant. Son évolution avec la dose d'irradiation permet d'évaluer la dégradation des processus de conduction avec la dose.





IV.19(c)

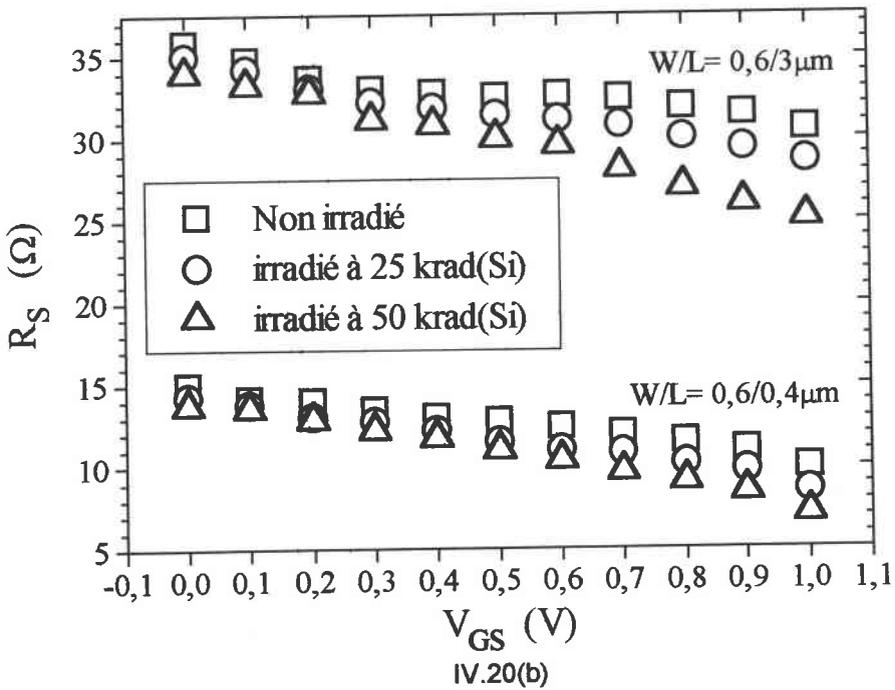
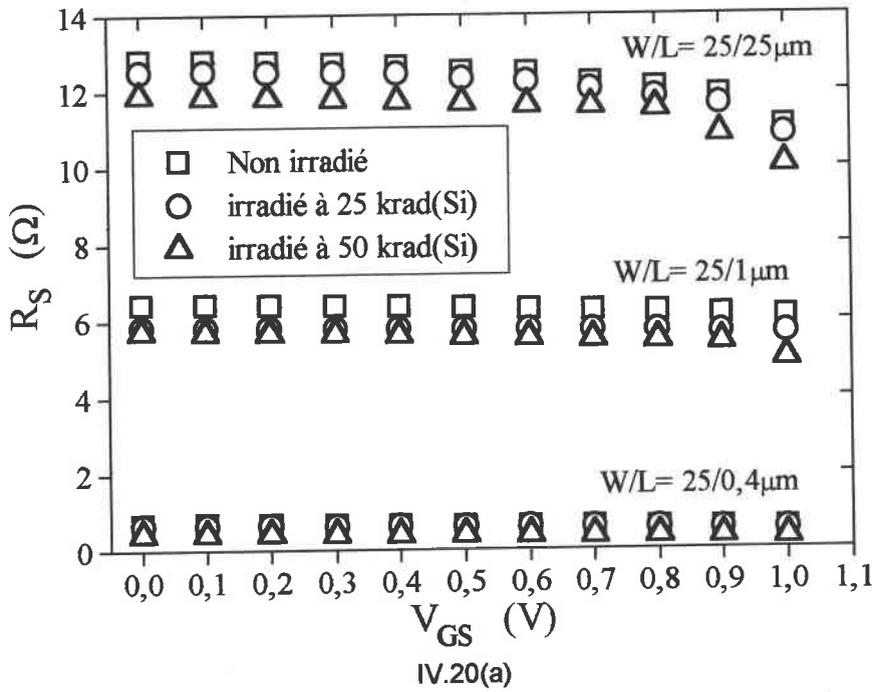


IV.19(d)

Figure IV.19 : Facteur de qualité en fonction de la polarisation de grille pour les transistors (a) $W=25\mu m$, (b) $W=0,6\mu m$, (c) $L=25\mu m$ et (d) $L=0,6\mu m$ avant et après irradiation.

Les résistances séries présentent une faible réponse à la tension de grille suite à l'irradiation, surtout pour les transistors les plus larges ($W=25\mu m$). Quelle que soit la dimension des transistors, la résistance série R_S diminue lorsque V_{GS} augmente (Figures IV.20). L'augmentation de V_{GS} et de la dose correspondent à une extension de la zone de charge

d'espace et se trouvent donc associées à une diminution de la zone de diffusion dans les zones neutres.



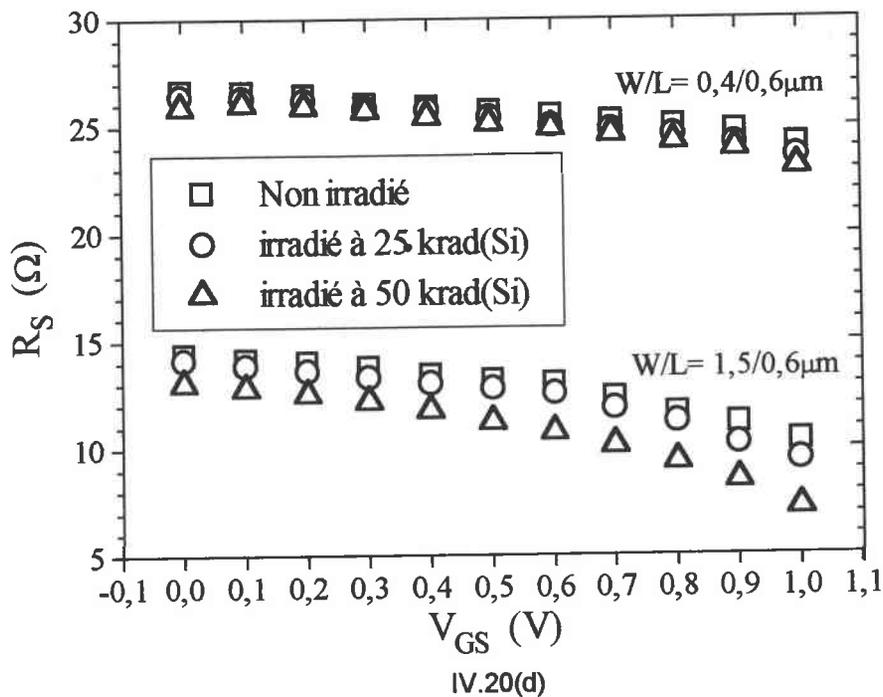
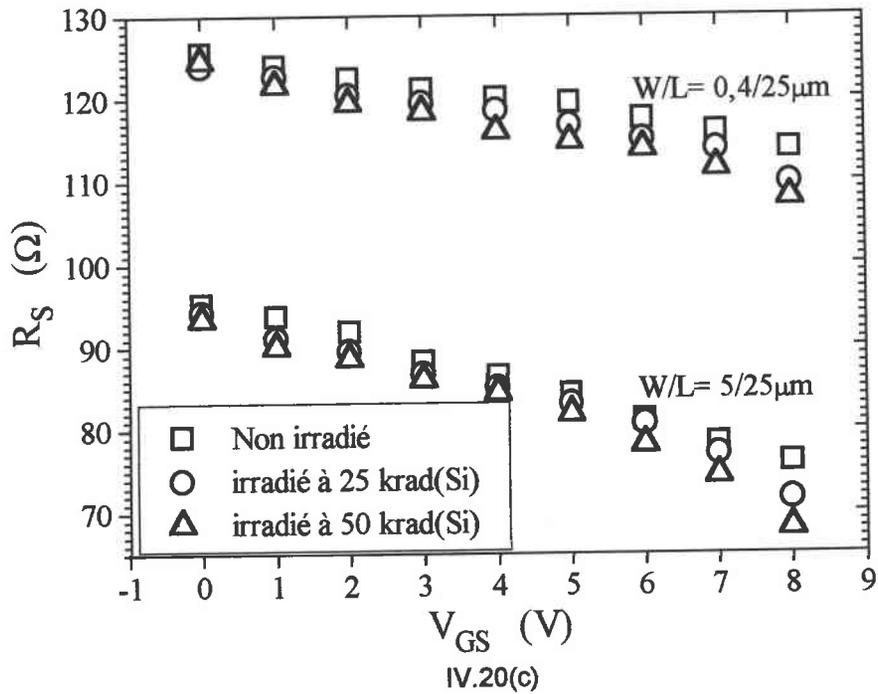


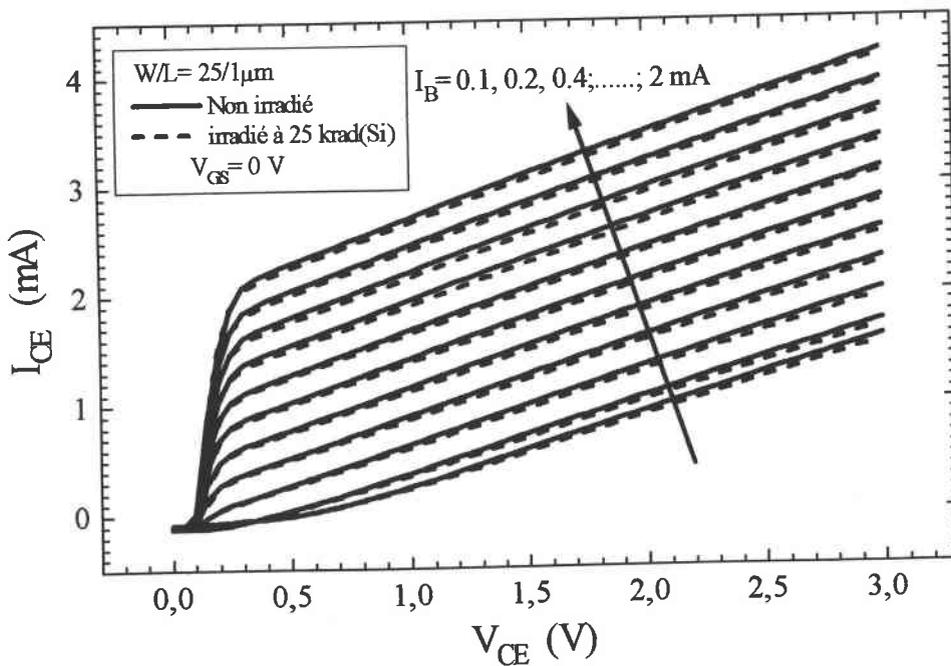
Figure IV.20 : Résistance série en fonction de la polarisation de grille pour les transistors (a) $W=25\mu m$, (b) $W=0,6\mu m$, (c) $L=25\mu m$ et (d) $L=0,6\mu m$ avant et après irradiation.

IV.5 EFFET SUR LA JONCTION BIPOLAIRE

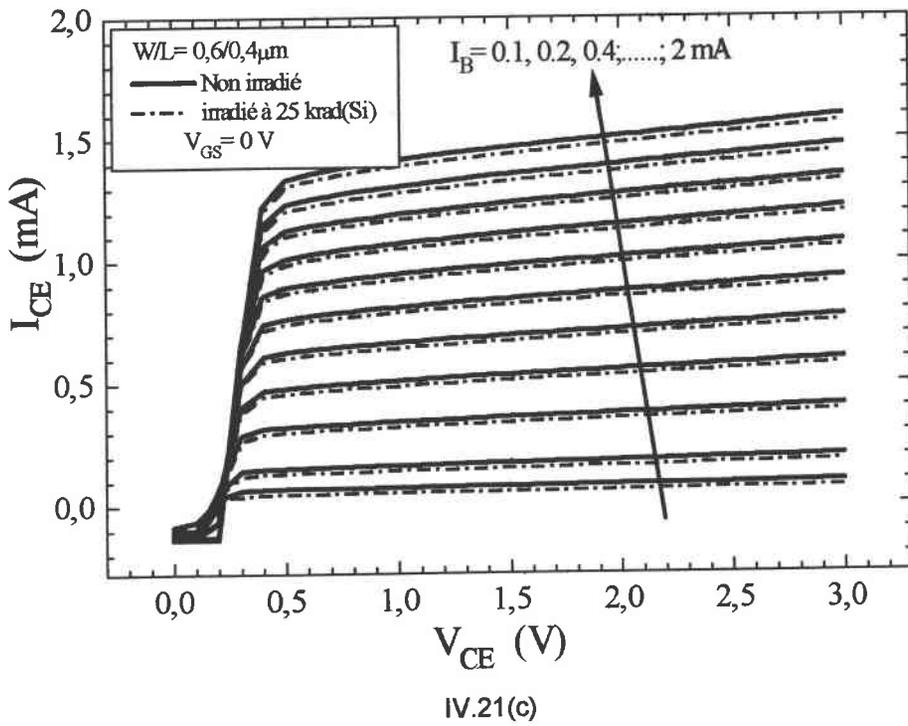
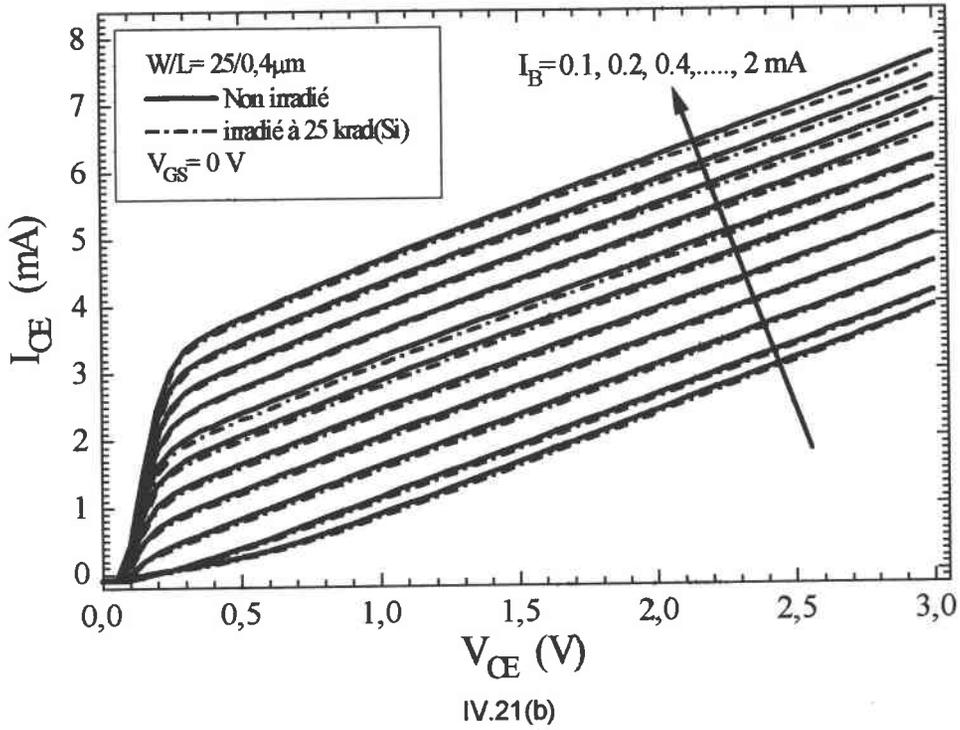
Le but de cette étude est d'analyser l'influence la tension de grille et l'irradiation ionisante sur les caractéristiques de la jonction bipolaire afin d'obtenir une meilleure compréhension de l'influence de la grille, des effets des charges piégées dans son oxyde et de celles de l'oxyde de passivation (LOCOS – Local Oxide On Silicon). Cette étude est complémentaire à celles réalisées sur des technologies modernes de BJT [KOS.SNF 93][WEI.SCD 95] ou de BiCMOS [FLA.MLD 98], où le LOCOS qui recouvre la jonction d'émetteur-base est la cause primaire de la dégradation de gain associée à une augmentation excessive du courant de base.

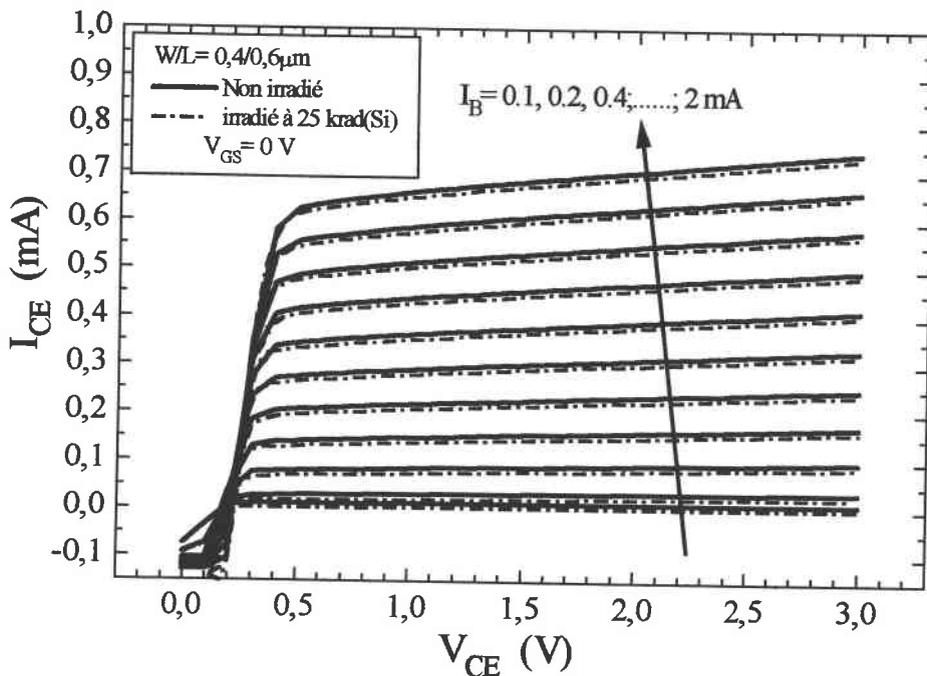
Ce travail nous permet de regarder les variations des paramètres associés au transistor bipolaire créé par la structure du MOSFET, suite à une irradiation ionisante. L'étude de cet effet devant être extrapolé à l'effet de dose dans des oxydes de passivation pour des structures ne présentant pas de grille donc ne permettant pas d'effectuer la détermination réalisée dans une structure MOS.

Les caractéristiques courant-tension I_{CE} - V_{CE} suite à l'irradiation à I_B constant, obtenues pour quatre dimensions de transistors, sont données par les figures IV.21 pour plusieurs valeurs de I_B . Le courant de base, I_B , varie de 0,1 à 2 mA. Nous notons une faible diminution du courant I_{CE} (voir même le gain en courant β) après irradiation.



IV.21(a)



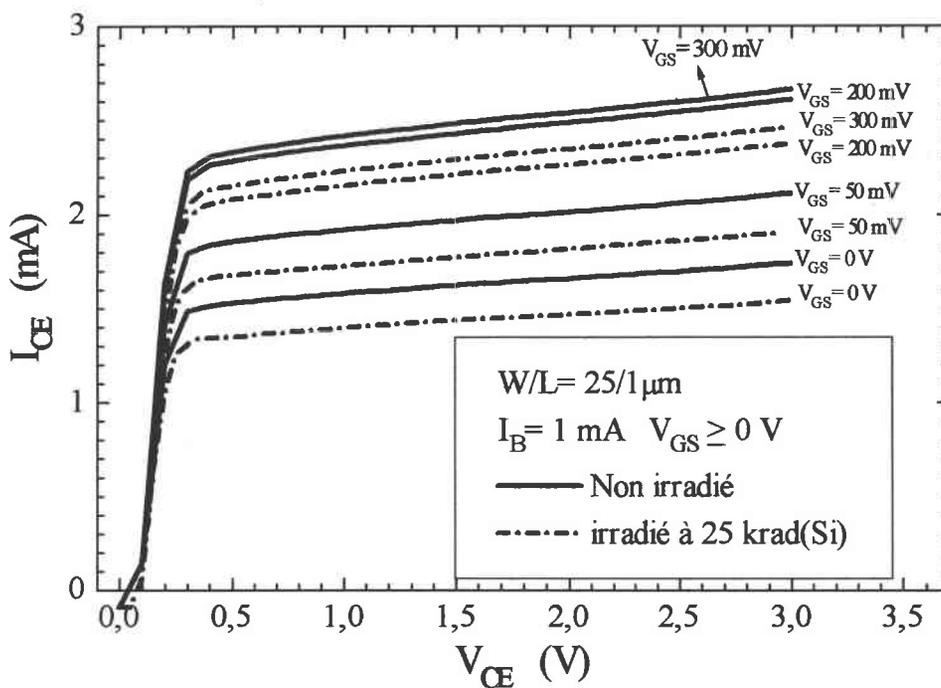


IV.21(d)

Figure IV.21 : Caractéristiques de fonctionnement normal I_{CE} - V_{CE} à I_B constant et $V_{GS} = 0$ V avant et après irradiation pour (a) $W/L=25/1\mu m$, (b) $W/L=25/0,4\mu m$, (c) $W/L=0,6/0,4\mu m$ et (d) $W/L=0,4/0,6\mu m$.

Les résultats obtenus dans l'étude de la jonction drain-substrat montrent que les charges piégées à l'interface et dans l'oxyde modifient les caractéristiques courant-tension d'un dispositif bipolaire tel qu'une jonction d'un transistor MOSFET. La caractéristique courant-tension entre émetteur et collecteur est présentée sur la figure IV.22 avant et après irradiation pour des potentiels de grille variant de 0 à 300 mV, le courant de base restant constant (1 mA). La valeur du gain en courant est plus petite après irradiation pour une même tension de grille. Ce changement correspond à un excès du courant de base dû à un accroissement de la recombinaison électron-trou dans le substrat faiblement dopé ; ce phénomène est lié à l'augmentation de la région de déplétion de la jonction base émetteur comme il a été montré dans l'analyse de la jonction réalisée précédemment. Les charges positives créées dans l'oxyde de grille devraient augmenter le gain du bipolaire, de la même façon que V_{GS} (c.f chapitre III). Cependant des charges positives sont également créées dans les LOCOS. Elles ont pour effet de s'opposer à l'effet dû aux charges de la grille. Ainsi beaucoup d'électrons sont détournés de la zone active du bipolaire (région entre le drain et la source). La figure IV.22 montre les effets d'un potentiel de grille positif croissant. Cette valeur est prise inférieure à la tension de seuil du MOSFET (0.86 V pour $W/L=25/1\mu m$ et 0,63 V pour $W/L=25/0,4\mu m$). Ce potentiel introduit une augmentation du gain en courant (I_B est gardé

constant) différent de celui de V_{GS} . Après irradiation, l'effet induit par les charges positives piégées est inversé [KOS.SNF 93][BAK.PBH 99]. Cette différence peut être expliquée en différenciant les différentes charges dans les oxydes (Figure IV.24). L'oxyde de grille couvre la base entre émetteur et collecteur. Les LOCOS limitent latéralement le MOSFET. Les irradiations ionisantes créent des charges positives dans les oxydes. Une tension de grille positive influence la zone du canal du MOSFET et a un effet localisé dans cette région sur le comportement du BJT (Figure IV.24(a)). Il confine le courant de base vers la région de l'émetteur. Ce confinement minimise les pertes dans la base (recombinaison) et augmente l'effet transistor. Il permet de récupérer le gain du bipolaire après irradiation.



IV.22(a)

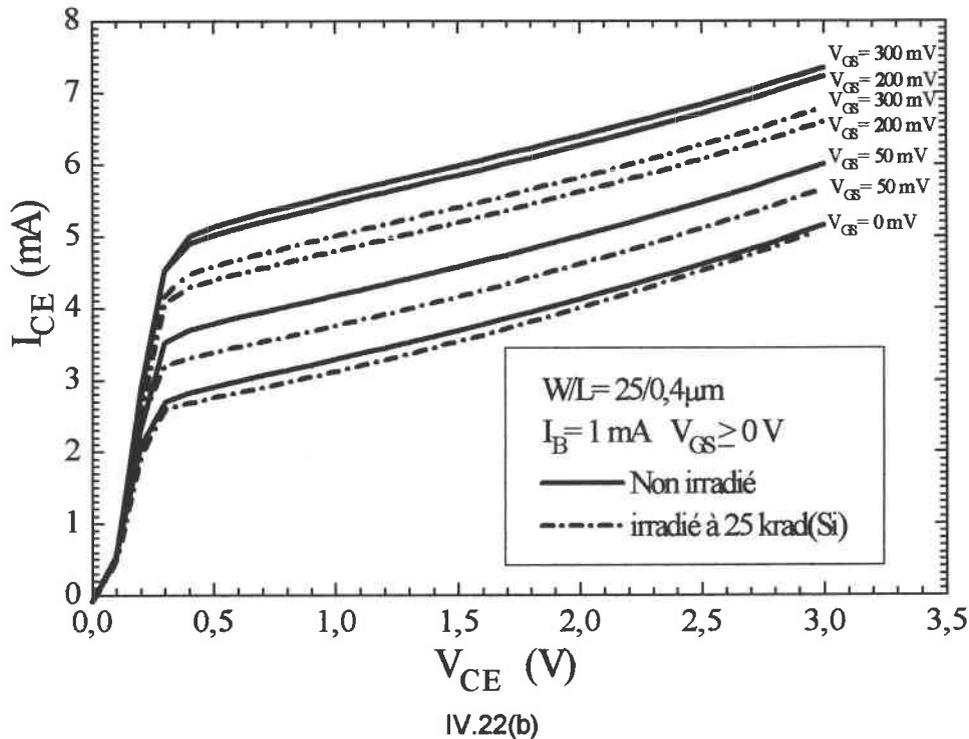
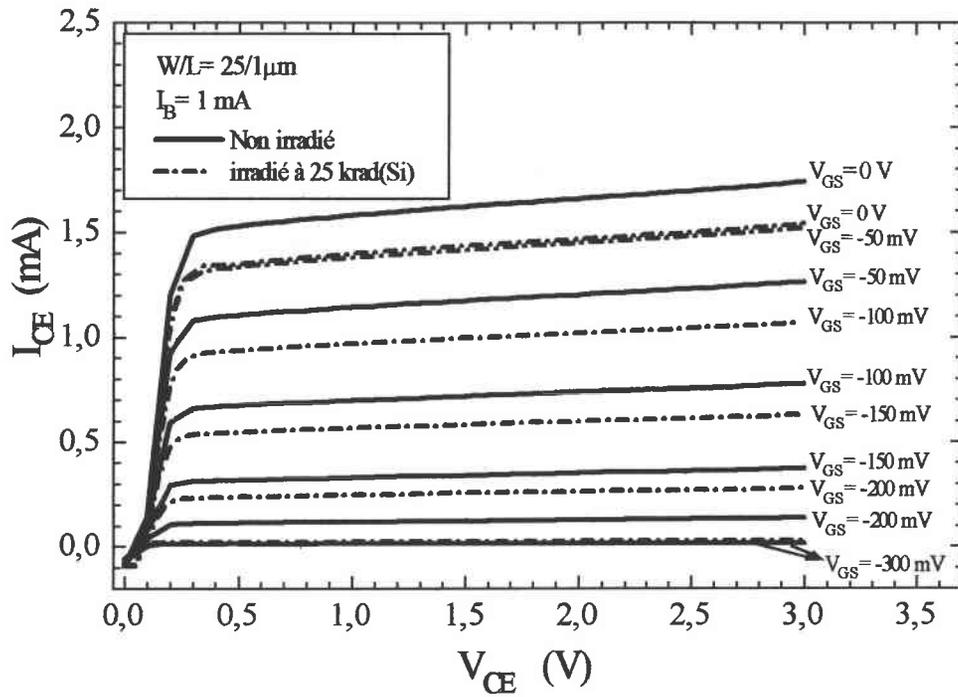
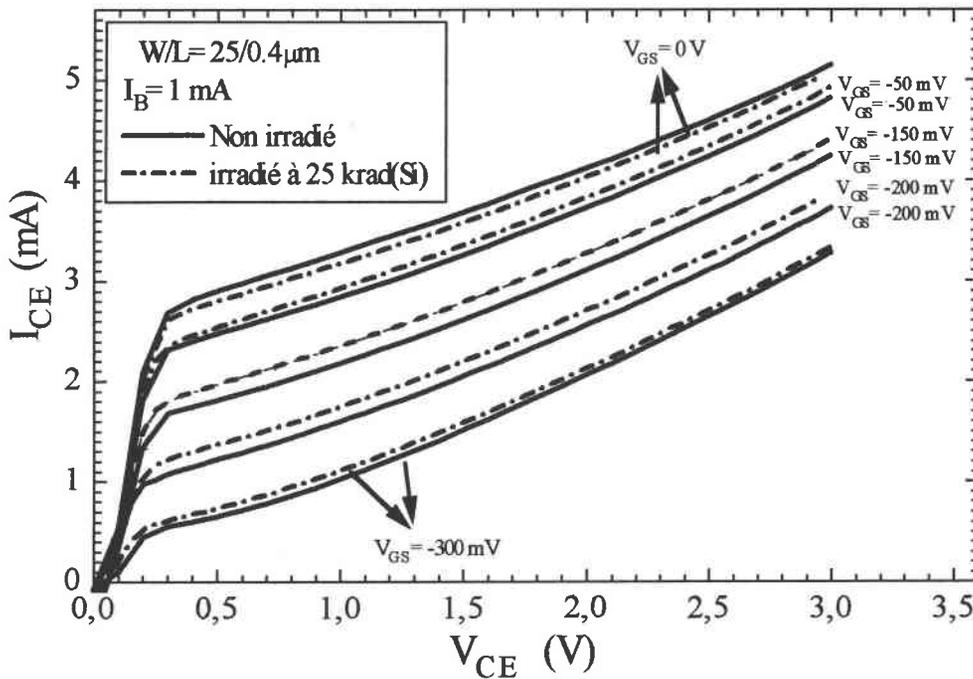


Figure IV.22 : Caractéristiques du transistor bipolaire pour des tensions de grille positives pour (a) $W/L=25/1\mu\text{m}$ et (b) $W/L=25/0,4\mu\text{m}$ avant irradiation et après 25 krad(SiO_2).

Une tension de grille négative inverse cet effet comme le montre la figure IV.23. Une irradiation ionisante affecte tous les oxydes de la structure, oxyde de grille et LOCOS, où principalement des charges positives sont créées. Les becs d'oiseaux sont localisés latéralement au canal du MOSFET et les charges créées dans ces LOCOS induisent une région de déplétion qui réduit l'effet transistor. La diminution de potentiel de surface repousse les charges négatives vers le substrat et facilite leur recombinaison. Un grand nombre de porteurs ne participent plus à l'effet transistor. Les charges piégées à l'interface peuvent également augmenter le facteur de recombinaison et entraîner une diminution du gain en courant. Cet effet peut être corrélé avec la densité de piège d'interface déterminée pour cette même structure fonctionnant en MOSFET.



IV.23(a)



IV.23(b)

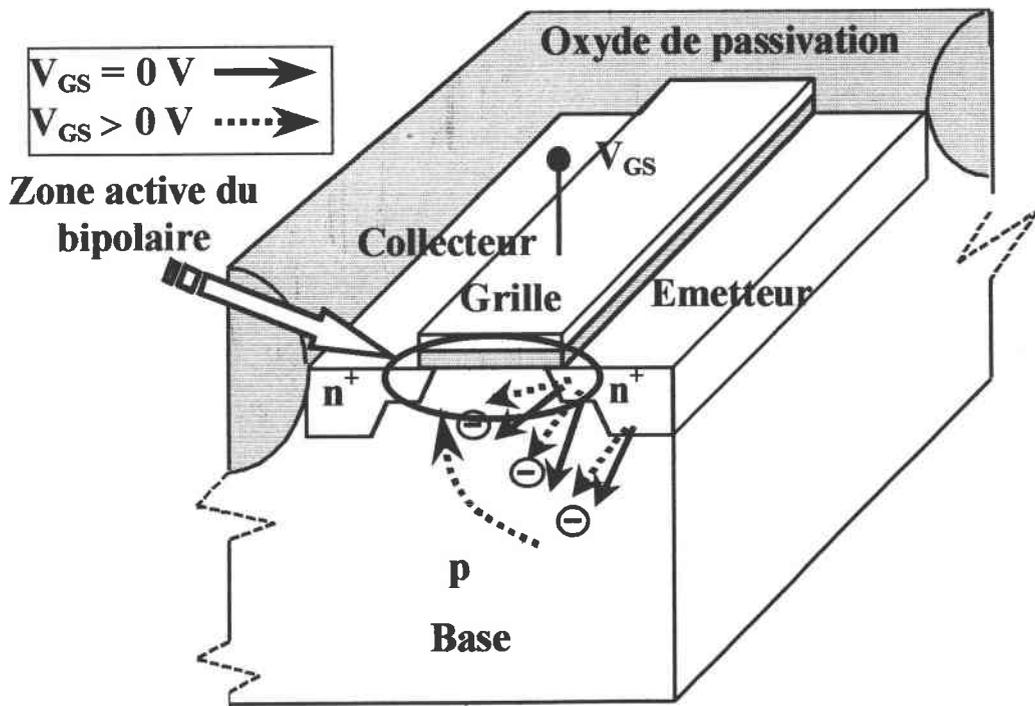
Figure IV.23 : Caractéristiques du transistor bipolaire pour des tensions de grille négatives pour (a) $W/L=25/1 \mu\text{m}$ et (b) $W/L=25/0,4 \mu\text{m}$ avant irradiation et après 25 krad(SiO_2)

La caractérisation de défauts induits par des irradiations ionisantes sur des structures submicroniques a été réalisée à partir du fonctionnement en bipolaire. Les paramètres

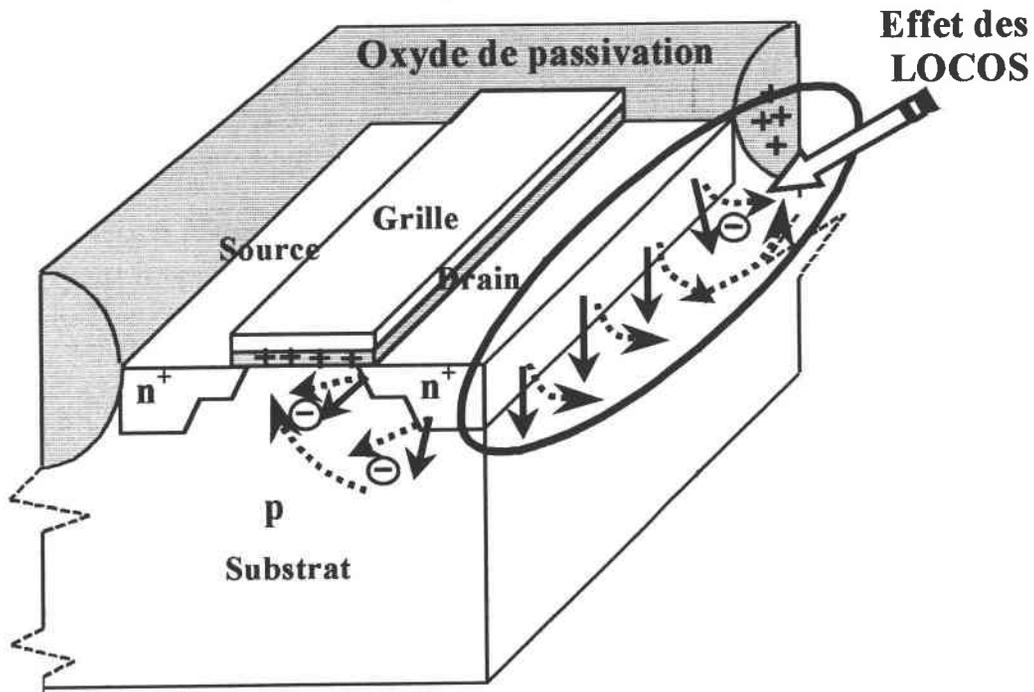
électriques de la jonction montrent un accroissement des paramètres associés à la recombinaison. Cette augmentation est corrélée à l'augmentation de charges positives piégées dans les oxydes. Le transistor bipolaire inclus dans la structure submicronique présente un comportement différent sous l'influence d'un potentiel de grille ou sous celle de charges induites dans les oxydes de grille et de passivation. Les effets des oxydes sur le fonctionnement de la structure dépendent de leur localisation. Cette étude met en évidence l'effet non négligeable des charges induites dans les LOCOS par irradiation ionisante.

La figure IV.24a représente l'effet d'une tension de grille positive sur le confinement des porteurs minoritaires dans la base du bipolaire. Ces porteurs se trouvent plus nombreux dans la zone active de bipolaire.

La figure IV.24b représente l'effet des charges positives induites dans les oxydes. L'effet dû aux charges dans la grille est le même que celui dû aux charges dans les LOCOS. Cependant leur localisation est différente, si bien que l'effet des charges dans les LOCOS est négatif pour l'effet transistor.



IV.24(a)



IV.24(b)

Figure IV.24 : Représentation schématique de courant émetteur (a) sous l'influence de grille et (b) sous l'effet de dose

IV.6 SYNTHÈSE

Ce chapitre est consacré à l'étude expérimentale après irradiation. Il permet d'observer et d'analyser l'évolution des paramètres de conduction, des paramètres de la jonction drain-substrat et ainsi que les variations du gain en courant associé au transistor bipolaire créé par la structure du MOSFET suite à l'irradiation.

La dégradation des performances des transistors MOS consécutive à une irradiation ionisante est essentiellement liée aux charges piégées dans l'oxyde ainsi qu'à celle piégées à l'interface Si-SiO₂. Une densité de pièges importante provoque un décalage de seuil, dégrade la mobilité des porteurs du canal et change la pente sous le seuil. L'étude des caractéristiques courant-tension avant et après irradiation permet d'analyser les causes de variation des grandeurs caractéristiques du fonctionnement des transistors.

L'étude de la jonction drain-substrat des structures montre que la diminution des paramètres géométriques des transistors induisent des modifications caractéristiques de leur paramètres électriques de la même manière que le font des irradiations. **L'évaluation de la dégradation du transistor** suivant une agression extérieure (irradiation ionisante) **peut être obtenue à partir de la caractérisation de la jonction drain-substrat**. Cette analyse est sensible aux charges piégées dans les oxydes de grille et de passivation.

La caractérisation de défauts induits par des irradiations ionisantes sur des structures submicroniques a été réalisée à partir du fonctionnement en bipolaire. Les paramètres électriques de la jonction montrent un accroissement des paramètres associés à la recombinaison. Cette augmentation est corrélée à l'augmentation de charges positives piégées dans les oxydes. Le transistor bipolaire inclus dans la structure submicronique présente un comportement différent sous l'influence d'un potentiel de grille ou sous celle de charges statiques induites dans les oxydes de grille et de passivation. Il est ainsi montré que **les effets des oxydes sur le fonctionnement de la structure dépendent de leur localisation**. Cette étude met en évidence l'effet non négligeable des charges induites dans les LOCOS par irradiation ionisante.

CONCLUSION

Le travail présenté est consacré à l'étude de la réduction des dimensions de transistors réalisés avec la même technologie. Il concerne la caractérisation des dégradations due à la réduction des dimensions du transistor et des dégradations consécutives à une irradiation ionisante (Co-60).

Une étude bibliographique présente les principes fondamentaux associés à la réductions des dimensions de MOSFET et un bref rappel des principaux phénomènes dus à l'irradiation. Il apparaît notamment une modification de la tension de seuil et une dégradation de la mobilité des porteurs. L'importance de ces phénomènes s'accroît au fur et à mesure que les dimensions du transistor diminuent, provenant de l'augmentation du nombre d'électrons énergétiques créés au cours du fonctionnement de ces composants. Les effets additionnels sur la tension de seuil ont lieu quand la dimension des dispositifs diminue. Une diminution de la longueur du canal augmente la transconductance et la réponse en fréquence du MOSFET, tandis qu'une réduction de largeur du transistor augmente l'enveloppe de densité dans un circuit intégré. La réduction de dimension, que ce soit la longueur du canal ou la largeur de grille, peut affecter la tension de seuil V_{th} . En effet, la réduction de la longueur du canal d'un MOSFET introduit une modification de la charge d'espace sous la grille qui contrôle le fonctionnement du transistor, en particulier par l'intermédiaire de la tension de seuil V_{th} . Dans le transistor à canal court, le champ électrique n'a plus seulement une composante transversale E_x mais possède maintenant une composante longitudinale non négligeable E_y . Ce champ électrique longitudinal E_y a une importance considérable dans le phénomène de dégradation ou de vieillissement du transistor puisque les porteurs acquièrent une énergie importante sous son action (*porteurs chauds*). Le comportement d'un transistor MOS de dimensions réduites diffère du comportement des transistors à canal long. Trois effets causés par ce comportement doivent être pris en compte : la saturation de la vitesse des porteurs, effet du rapprochement des zones déplétées et l'effet de "snapback" (thyristor).

Le second chapitre présente le fonctionnement d'une jonction pn, dont l'étude nous permettra en outre la caractérisation de la jonction substrat-drain du transistor MOS. Il concerne aussi le principe fondamental de transistor bipolaire, ce qui nous permet d'étudier la jonction bipolaire dans les transistors MOS submicroniques, ainsi que de donner une brève description concernant les effets d'irradiation ionisante sur les transistors bipolaires. Les différentes méthodes proposées pour caractériser les jonctions seront utilisées pour extraire les différents paramètres des structures étudiées. Ces paramètres feront l'objet d'un suivi en vue de quantifier aussi bien les effets liés à la réduction des dimensions que ceux liés à la dégradation suite à une irradiation.

Dans le chapitre III, les effets des faibles dimensions des transistors nLDD-MOS sont observés expérimentalement avant irradiation sur les caractéristiques en fonctionnement normal. Les paramètres de tension de seuil V_{th} , de mobilité μ_0 et de coefficient de dégradation de la mobilité θ montrent une évolution avec la réduction de longueur du canal et largeur de la grille, évolution attribuée à l'accroissement du champ électrique longitudinal et aux effets de bords qui deviennent non négligeables. Les variations calculées de la mobilité μ_0 ne correspondent pas à la représentation physique de l'équation de la mobilité effective. Une forte diminution de μ_0 pour les valeurs de L voisines du micron, alors que pour de plus grande valeur de L μ_0 reste constante dans les limites des incertitudes. Ceci montre bien l'inapplicabilité de l'équation de la mobilité pour des dimensions inférieures au micron. Cependant des équations plus complexes pourraient être utilisées.

La méthode de caractérisation de la jonction substrat-drain est appliquée à l'étude de la diminution de taille de la grille. La caractérisation de la jonction drain-substrat permet de faire une évaluation de la qualité de cette jonction liée aux procédés de fabrication technologique (diffusion ou implantation des caissons de source ou de drain), une évaluation de la dégradation du substrat du transistor suite à une agression extérieure (irradiation, stress électrique, etc.). Elle permet d'utiliser cette jonction comme indicateur complémentaire du niveau de dégradation du transistor soumis à une agression extérieure. Il ressort une détérioration des propriétés de la jonction, plus marquée avec la réduction de la largeur du transistor qu'avec la réduction de longueur. Le rôle joué par la polarisation de la grille sur les mécanismes de conduction de la jonction drain-substrat est précisé, en particulier lorsque les dimensions diminuent. L'évolution des paramètres I_{od} , I_{or} , A et R_S a été associée à une extension supplémentaire de la zone de charge d'espace. Le courant de saturation inverse dû à

la recombinaison I_{or} et le facteur de qualité A montrent une influence très nette de la polarisation de grille. Ils augmentent avec la tension de grille V_{GS} . L'accroissement de ces deux paramètres est liée à une extension relativement plus grande de la zone de charge d'espace et donc à une plus grande importance de la recombinaison des porteurs.

L'étude sur le bipolaire a pour but de regarder les variations des paramètres associés au transistors bipolaire créé par la structure du MOSFET en fonction de la variation du potentiel appliqué à l'interface oxyde semi-conducteur. Les composants submicronique ayant de petites longueurs de canal présentent les avantages de se comporter comme un transistor bipolaire. La dépendance observée de la tension I_{CE} en fonction de V_{CE} dépend du rapport W/L . En effet plus ce dernier augmente (L diminue), plus cette dépendance devient importante et plus l'amplitude du courant I_{CE} augmente. Comme le gain en courant β est relativement faible, on peut déduire que le courant de base n'est pas négligeable par rapport au courant de collecteur, et que, par conséquent la présence d'une résistance de base a une grande influence sur les caractéristiques du transistor. Les effets d'un potentiel de grille introduisent une augmentation du gain en courant (I_B est gardé constant). Il s'est avéré que l'intensité du courant ou le gain en courant augmente avec l'augmentation de V_{GS} .

Le chapitre IV est consacré à l'étude du comportement des transistors MOS suite à une irradiation ionisante (γ) Co-60, afin d'évaluer leur dégradation. Les évolutions des caractéristiques de transfert et de fonctionnement montrent que le courant de drain augmente après l'irradiation. De plus nos études en dose cumulée montrent pour l'ensemble des transistors MOS étudiés, une diminution de la tension de seuil, de la mobilité et du coefficient de dégradation de la mobilité. Il est constaté que cette diminution est d'autant plus importante que la dose cumulée est grande. Pour caractériser ces modifications nous avons déterminé les densités des pièges créés par irradiation. Nous avons obtenu une densité de charges piégées dans l'oxydes plus grande que la densité de charges piégées à l'interface.

La forme des caractéristiques courant-tension de la jonction drain-substrat et leur évolution avec la polarisation de grille sont obtenues dépendantes de la dose d'irradiation reçue par les composants. Nous constatons bien, sur ces caractéristiques, les déformations engendrées par l'irradiation. Ces déformations sont davantage visibles dans le cas des transistors larges et peuvent être attribuées au fait que les surfaces de jonction sont grandes et donc influencées par la charge plus importante des oxydes d'emballage. Nos études sur les paramètres de la jonction substrat-drain ont mis évidence une augmentation des paramètres I_{od} , I_{or} et A lorsque la dose d'irradiation augmente. Une augmentation du courant de recombinaison I_{or} est

associée à une augmentation du facteur de qualité A suite à l'irradiation. L'accroissement du facteur de qualité et la faible décroissance de la résistance série avec la dose cumulée, impliquent davantage de phénomènes de recombinaison dans la zone de charge d'espace et montrent que la jonction a un comportement apparent dégradé après irradiation. L'augmentation du facteur de qualité montre une grande sensibilité à la dose reçue et signifie que l'irradiation modifie les processus de conduction dans le composant. Son évolution avec la dose d'irradiation permet d'évaluer la dégradation des processus de conduction avec la dose. Les résistances séries présentent une faible réponse à la tension de grille suite à l'irradiation, surtout pour les transistors les plus larges ($W=25\mu\text{m}$). Quelle que soit la dimension des transistors, la résistance série R_s diminue lorsque V_{GS} augmente. L'augmentation de V_{GS} et de la dose correspondent à une extension de la zone de charge d'espace et se trouvent donc associées à une diminution de la zone de diffusion dans les zones neutres.

Les caractéristiques courant-tension $I_{CE}-V_{CE}$ suite à l'irradiation pour plusieurs valeurs de I_B ont montré une faible diminution du courant I_{CE} (voir même le gain en courant β) après irradiation. La caractérisation de défauts induits par des irradiations ionisantes sur des structures submicroniques a été réalisée à partir du fonctionnement en bipolaire. Les paramètres électriques de la jonction montrent un accroissement des paramètres associés à la recombinaison. Cette augmentation est corrélée à l'augmentation de charges positives piégées dans les oxydes. Le transistor bipolaire inclus dans la structure submicronique présente un comportement différent sous l'influence d'un potentiel de grille ou sous celle de charges induites dans les oxydes de grille et de passivation. Les effets des oxydes sur le fonctionnement de la structure dépendent de leur localisation. Cette étude met en évidence l'effet non négligeable des charges induites dans les LOCOS par irradiation ionisante. De plus, elle montre que le gain d'un transistor bipolaire peut-être récupéré par l'application d'un potentiel positif sur l'oxyde recouvrant la zone active du bipolaire, c'est à dire l'oxyde recouvrant la base.

L'étude du comportement en bipolaire montre le rôle joué par la localisation des oxydes de passivation sur des structures bipolaires. Il serait intéressant de faire la simulation afin de mieux comprendre ces effets. L'autre perspective de ce travail est l'étude du bruit de fond, ainsi que son évolution après irradiation ionisante.

BIBLIOGRAPHIE

- [AKE.S 82] L.A. Akers and J.J. Sanchez, Threshold Voltage Models of Short, Narrow and Small Geometry MOSFETs, *Solid-State Elec.*, vol. 25, p. 621-641, July 1982.
- [AMN.MDT 89] D.T. Amn, H. Mingam, P. Delpech, and T. Ternisien d'Ouille, Surface Mobility in N^+ and P^+ Doped Polysilicon Gate PMOS Transistors, *IEEE Trans. Elect. Devices*, vol.36, no. 5, p. 963-968 (May 1989).
- [BAK.PBH 99] H. Bakhtiar, C. Picard, C. Brisset, A. Hoffmann, P. Mialhe, and J-P. Charles, Characterization of Ionizing Radiation Effects in MOS Structures by Bipolar Operation Study, *Radecs 99, NP10, 6^{ème} Congrès Européen, Tours, France, 13-17 septembre 1999.*
- [BAR. 96] C. Barros, Evaluation de technologie MOS par des mesures de conduction et de bruit de fond. Application au durcissement. Thèse Académie de Montpellier, 1996.
- [BAR.MME 95] M. de la Bardonnie, A. Maouad, P. Mialhe, O. Elmazria, A. Hoffmann, B. Lepley, and J-P. Charles, Characterization Method for Ionizing Radiation Degradation in Power MOSFETs, *IEEE Trans. Nucl. Scie.*, Vol. 42, No. 6, p. 1622-1627, 1995.
- [BAR.V 89] G. Barbottin and A. Vapaille, *Instabilities in Silicon Devices, Silicon Passivation and Related Instabilities*, Vol. 2, North Holland Ed., New York, 1989.
- [CAN.DLS 86] M. Cand, E. Demoulin, J.-L. Lardy et P. Senn, *Conception des circuits intégrés MOS*, Eyrolles Edit., Paris (1986).
- [CHA.MBM 85] J.-P. Charles, I. Mekkaoui-Alaoui, G. Bordure, and P. Mialhe, A Critical Study of the Effectiveness of Single and Double Exponential Models for I-V Characterization of Solar Cells, *Solid-State Elect.*, Vol. 28, No. 8, p. 807-820, 1985.
- [CHE.H 97] C.-Y. Chen and J.-G. Hwu, Effect of Postoxidation Annealing on Realibility of Rapid Thermal Gate Oxides. *IEEE Electron Device Letters*, vol. 18, no. 1, Jan 1997.
- [CHU.CCG 85] Chu Hao, B. Cabon-Till, S. Cristoloveanu and G. Ghibaudo, Experimental Determination of Short-Channel MOSFET Parameters, *Solid-State Elec.*, Vol. 28, No. 10, p. 1025-1030, 1985.
- [COL.W 96] J.P. Colinge et F. Van de Wiele, *Physique des dispositifs semi-conducteurs, Bibliothèque des Universités – Physique, De Boeck Université, 1996.*

- [DEN.GYR 74] R.H. Dennard, F.H. Gaensslen, N.-V. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc, Design of ion-implanted MOSFET's with Very Small Physical Dimensions, IEEE J. Solid-State Circuits, vol. SSC-9, p. 256-268, May 1974.
- [DOY.KM 93] B.S. Doyle, D.B. KraKauer, and K.R. Mistry, Examination of Oxide Damage During High-Current Stress of n-MOS Transistors, IEEE Trans. Elec. Dev., vol. 40, N° 5, p. 980-985, May 1993.
- [FAU. 96] M. Faurichon de la Bardonnie, Caractérisation du vieillissement électrique de transistors microniques n-MOS par l'étude de la jonction substrat-drain, Thèse, Université de Perpignan, avril 1996.
- [FLA.MLD 98] O. Flament, O. Musseau, J.L. Leray, E. Dutisseuil, and T. Corbière, Ionizing Dose Hardness Assurance Methodology for Qualification of BICMOS Technology Dedicated to High Dose Level Applications, IEEE Trans. Nucl. Scie., V 45, N 3, June 1998.
- [FU.T 97] K-Y. Fu and Y.K. Tsang, On the Punchthrough Phenomenon in Submicron MOS Transistors, IEEE Trans. Electron Devices, vol. 44, no.5, p. 847-855, May 1997.
- [HAD. 96] H. Haddara, Characterization Methods for Submicron MOSFETs, Kluwer Academic Publishers, Boston, 1996.
- [HAN.NBV 93] H.I. Hanafi, W.P. Noble, R.S. Bass, K. Varahramyan, Y. Lii, and A.J. Dally, A Model for Anomalous short-Channel Behaviour in Submicron MOSFET's, IEEE Electron Device Letters, Vol. 14, N° 12, p. 575-577 Dec. 1993.
- [HAS.LO 97] M.R. Hassan, J.J. Liou,* and A. Ortiz-Conde, Gate-Oxide Thickness Dependence of LDD-MOSFET Parameters, Solid State Elec., vol. 41, no. 8, p. 1199-1201, 1997.
- [HAO.CCG 85] Chu Hao, B. Cabon-Till, S. Cristoloveanu, and G. Ghibaudo, Experimental Determination of Short-Channel MOSFET Parameters, Solid State Elect, vol. 28, no. 10, p. 1025-1030 (1985).
- [HOF.CKB 99] A. Hoffmann, J-P. Charles, S.E. Kerns, D.V. Kerns Jr., M. de la Bardonnie, and P. Mialhe, Electrical and Optical Analyses of Low Fluence Fast Neutron Damage to JFETs, Radecs 99, 6^{ème} Congrès Européen, Tours, France, NO1, 13-17 Sept. 99.
- [HOL.A 94] A. Holmes-Siedlle and L. Adams, Handbook of Radiation Effects, Oxford University Press Inc., New York, 1993.
- [JAN. 91] S.L. Jang, On the Theory of the Surface Photovoltage Technique Based on the Flat Quasi-Fermi Level Approximation, Solid-State Electronics, Vol. 34, No. 4, p. 373-377, 1991.

- [KOS.SNF 93] S.L. Kosier, R.D. Schrimpf, R.N. Nowlin, D.M. Fleetwood, M. DeLaus, R.L. Pease, W.E. Combs, A. Wei, and F. Chai, Charge Separation for Bipolar Transistors, IEEE Trans. On Nucl. Scien., vol. 40, no. 6, p.1276-1285, Dec. 1993.
- [LAK. 81] L.A. Laker, An Analytical Expression for the Threshold Voltage of a Small Geometry MOSFET, Solid-State Electronics, vol. 24, p. 621-627, 1981.
- [LIU.HHC 93] Z-H. Liu, C. Hu, J-H. Huang, T-Y. Chan, M-C. Jeng, P.K. Ko, and Y.C. Cheng, Threshold Voltage Model for Deep-Submicrometer MOSFET's, IEEE Trans. Electron Devices, vol. 40, no. 1, p. 86-94, Jan 1993.
- [LO.BTW 97] S.-H. Lo, D.A. Buchanan, Y. Taur, and W. Wang, Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFETs, IEEE Electron Device Letters, vol. 18, no. 5, p. 209-211, May 1997.
- [LU.S 89] C-Y. Lu and J.M. Sung, Reverse Short-Channel on Threshold Voltage in Submicrometer Salicide Devices, IEEE Electron Device Letters, Vol. 10, N° 10, p. 446-448, Oct.. 1989.
- [LUT.V 95] J. Lutze and S. Venkatesan, Techniques for Reducing the Reverse Short Channel Effect in Sub-0.5 μm CMOS, IEEE Electron Device Letters, Vol. 16, N° 9, p. 373-375, Sept. 1995.
- [MA.D 89] T.P. Ma, P.V. Dressendorfer, Ionizing Radiation Effects in MOS Devices and Circuits, J. Wiley, New York (1989).
- [MAL. 91] A.P. Malvino, Principes d'électroniques, McGraw-Hill, 3^{ème} édition, Paris, 1991.
- [MAS. 74] J. Maserjian, Tunneling in Thin MOS Structures, J. Vac. Sci. Technol., vol. 11, no. 6, p. 996-1003, 1974.
- [MAZ.O 89] C. Mazuré and M. Orłowski, Guidelines for Short-Channel Behaviour, IEEE Electron Device Letters, Vol. 10, N° 12, p. 556-558, Dec. 1989.
- [McW.W 86] P.J. McWhorter and P.S. Winokur, Simple Technique for Separating the Effects of Interface Traps and Trapped-Oxide Charge in Metal-Oxide-Semiconductor Transistors, Appl. Phys. Lett., Vol. 48, no. 2, p. 133-135, 1985.
- [MER. 80] G. Merckel, A Simple Model of the Threshold Voltage of Short and Narrow Channel MOSFETs, Solid-State Elec., Vol. 23, p. 1207-1213, 1980.
- [MES.A 86] G.C. Messenger and M.S. Ash, The Effects of Radiation on Electronic Systems, Van Nostrand Reinhold Company Inc., New York, 1986.

- [MUL.K 86] R.S. Muller and T.I. Kamins, *Devices Electronics for Integrated Circuits*, Second Edit., John Wiley & Sons, New York, 1986.
- [NEA. 94] D.A. Neamen, *Semiconductor Physics and Devices, Basic Principles*, University of Mexico, Irwin Edition, Boston (1994).
- [NIC.B 82] E.H. Nicollian and J.R. Brews, *MOS Physics and Technology*, John Wiley & Sons, New York (1982).
- [RADE'89] Radecs 89, *Effets des radiations sur les composants et systèmes*, Cours du 11 Septembre 1989, p. 150.
- [SAH.NS 57] C.T. Sah, R.H. Noyce, and W. Shockley, *Carrier Generation and Recombination in p-n Junction Characteristics*, Proc. IRE, Vol. 45, p. 1228-1243, Sept. 1957.
- [SCH.WAC 88] R.D. Schrimpf, P.J. Wahle, R.C. Andrews, D.B. Cooper, and K.F. Galloway, *Dose-Rate Threshold-Voltage Shift of Power MOSFETs*, IEEE Trans. Nucl. Sci., Vol. 35, no. 7, p. 1536-1540, 1988.
- [SWA.M 73] R. Swanson and J. Meindl, *Distribution Junction and Ionizing Rates for Hot Electrons in Semiconductor*, Solid-State Electronics Vol. 21, p. 345-353, 1973.
- [SZE. 85] S.M. Sze, *Semiconductor Devices, Physics and Technology*, John Wiley & Son, New York, 1985.
- [TAU.MFW 95] Y. Taur, Y.-J. Mii, D.J. Franck, H.-S. Wong, D.A. Buchanan, S.J. Wind, S.A. Rishton, G.A. Sai-Halasz, and E.J. Nowak, *CMOS Scaling into the 21st century : 0.1 μ m and Beyond*, IBM J. Res. Develop., vol. 39, no. 1/2, p. 245-260, 1995.
- [WAH. 89] P.T. Wahle, *Radiation Effects on Power MOSFET Under Simulated Space Radiation Conditions*, Thesis in Electrical Engineering, University of Arizona, 1989.
- [WEI.KSC 95] A. Wei, S.L. Kosier, R.D. Schrimpf, W.E. Combs, and M DeLaus, *Excess Collector Current Due to an Oxide-Trapped -Charge-Induced Emitter in Irradiated NPN BJT's*, IEEE Trans. El. Dev, V 42, N 5, pp. 923-927, May 1995.
- [YAN. 88] E.S. Yang, *Microelectronic Devices*, McGraw-Hill, New York (1988).
- [YAU. 74] L.D. Yau, *A Simple Theory to Predict the Threshold Voltage of Short-Channel IGFETs*, Solid-State Electronics, vol.17, p. 1059-1063, Oct. 1974.

CARACTERISATION DE STRUCTURES MOS SUBMICRONIQUES ET ANALYSE DE DEFECTS INDUITS PAR IRRADIATION GAMMA. EXTRAPOLATION AUX DEFECTS INDUITS DANS LES OXYDES DE CHAMP DES TRANSISTORS BIPOLAIRES

Résumé

Les innovations technologiques récentes ont permis le développement de transistor MOS de faibles dimensions, ayant des longueurs de canal et des largeurs de grille inférieures au micromètre. Cela permet de réaliser des circuits à forte densité d'intégration pour des applications à l'électronique. Cependant, la réduction des dimensions fait apparaître toute une gamme d'effets parasites et modifie ainsi les mécanismes de conduction avec l'apparition de nouveaux phénomènes ou des phénomènes qui n'étaient pas dominants dans des structures plus larges. Ceci entraîne un changement du fonctionnement du transistor ainsi que de leurs paramètres électriques. La réduction des dimensions, et en particulier de la longueur de grille des transistors MOS donne naissance à un problème de fiabilité qui était inconnu lors de l'utilisation de transistors à canal long. Les phénomènes de dégradation provenant des forts champs électriques deviennent importants avec la réduction des dimensions engendrant des défauts notamment aux interfaces oxyde-semiconducteur ($\text{SiO}_2\text{-Si}$) ainsi que dans l'oxyde de grille, ce qui provoquent un vieillissement plus rapide de ces composants.

Nous présentons dans ce contexte, une étude réalisée sur des transistors nLDD-MOSFETs submicroniques issus de technologie $0,6\mu\text{m}$ de MATRA-MHS-TEMIC, s'appuyant sur quatre objectifs principaux : détermination des paramètres de conduction, analyse des caractéristiques I-V sur la jonction drain-substrat, étude du comportement du transistor bipolaire dans les transistors MOS (source = collecteur, substrat = base, drain = émetteur) et étude du comportement des transistors MOS suite à une irradiation ionisante (γ) Co-60, afin d'évaluer leur dégradation.

Mots clés : nLDD-MOSFET, submicronique, dégradation, paramètres, irradiation ionisante,

CARACTERIZATION OF SUBMICRONIC MOS STRUCTURES AND ANALYZSIS OF DEFECTS INDUCED BY GAMMA RADIATION. EXTRAPOLATION TO INDUCED DEFECTS IN PASSIVATION OXIDES IN BIPOLAR TRANSISTORS

Abstract

Recent technological innovations help to develop MOS transistors of small dimensions, with channel lengths and gate widths shorter than one micrometer. That makes it possible to fabricate circuits with strong level of integration for electronic applications. However, the dimension reduction reveals a whole range of parasitic effects and thus modifies the conduction mechanisms with the appearance of new phenomena or of phenomena which were not dominant in broader structures. This involves changes in transistors operation as well as in their electrical parameters. The reduction of dimensions, and in particular channel length MOS transistor gives rise to a problem of reliability which was unknown to long channel transistors. The degradation coming from strong electric fields become significant with the dimension reduction generating defects in particular at the oxide-semiconductor ($\text{SiO}_2\text{-Si}$) interfaces and also in gate oxide. This causes a faster ageing of these components. We present in this context, a study carried out on submicron nLDD-MOSFETs resulting from technology $0.6\mu\text{m}$ of MATRA-MHS-TEMIC, based on four principal objectives: determination of the conduction parameters, analysis of I-V characteristics of the drain-substrate junction, study of the bipolar transistor behavior in MOS transistors (source = collector, substrate = base, drain = emitter) and study of the ionizing radiation (γ) Co-60 to submicron MOS transistors, in order to evaluate their degradation.

Key words: submicron, nLDD-MOSFET, degradation, parameters, ionizing radiation