



HAL
open science

Analyse et étude de transistors nLDDMOSFETs de technologie 1.2 micromètres, et des effets induits par irradiations

Eloi Blampain

► To cite this version:

Eloi Blampain. Analyse et étude de transistors nLDDMOSFETs de technologie 1.2 micromètres, et des effets induits par irradiations. Sciences de l'ingénieur [physics]. Université Paul Verlaine - Metz, 1997. Français. NNT : 1997METZ007S . tel-01777195

HAL Id: tel-01777195

<https://hal.univ-lorraine.fr/tel-01777195>

Submitted on 24 Apr 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>



UNIVERSITE DE METZ

b 111976

S/M3 97/7

C.L.O.E.S.



Supélec

ACADEMIE DE NANCY-METZ

Université de Metz et Supélec

THESE

Présentée à l'Université de Metz pour l'obtention du diplôme de
DOCTEUR de l'Université de METZ

Spécialité: Electronique
Ecole Doctorale: **PROMEN**

BIBLIOTHEQUE UNIVERSITAIRE - METZ	
N° inv.	19971835
Cote	S/M3 97/7
Loc	Magasin

**ANALYSE ET ETUDE DE TRANSISTORS nLDDMOSFETs
DE TECHNOLOGIE 1.2 μm , ET DES EFFETS INDUITS PAR
IRRADIATIONS**

par

Eloi BLAMPAIN

Soutenue le 12 Mai 1997, devant le jury composé de Messieurs:

Joseph BECHARA	Professeur, Université Libanaise	
Olivier BRIERE	Ingénieur, MATRA-MHS	
Jean-Pierre CHARLES	Professeur, LICM, Université de Metz	Directeur de thèse
Jean CHEVRIER	PICOGIGA	
Simon COENEN	Ingénieur, SCK.CEN, Belgique	
Alain HOFFMANN	M ^c . de conférences, LICM, Université de Metz	Co-directeur
Marcel IVANES	Professeur, INPG, Grenoble	
David KERNS	Professeur, Vanderbilt University, USA	Rapporteur
Pierre MIALHE	Professeur, CEF, Université de Perpignan	Rapporteur

*<< Je pense qu'on ne peut mieux vivre qu'en cherchant à devenir meilleur,
ni plus agréablement qu'en ayant conscience de son amélioration >>.*

Socrate.

REMERCIEMENTS

Au terme de ce long et enrichissant travail, je tiens à remercier toutes celles et ceux qui, de près ou de loin, ont contribué à la réalisation de cette thèse.

Que M. Jean-Pierre CHARLES, Professeur à l'Université de Metz et directeur de thèse, qui m'a donné l'opportunité de faire ce travail en m'acceptant comme étudiant "thésard" et en m'accordant sa confiance soit sincèrement remercié. Je le remercie aussi pour son aide précieuse et pour la patience dont il a su faire preuve en me laissant prendre le temps de bien faire les choses.

J'exprime toute ma reconnaissance à M. Alain HOFFMANN, Maître de conférences à l'Université de Metz, pour tout l'intérêt et le temps qu'il m'a consacré tout au long de ces années de travail. Je le remercie aussi pour son amitié, sa bonne humeur et sa simplicité.

Que M. Marcel IVANES, Professeur à l'INPG de Grenoble, veuille accepter mes respectueux remerciements pour avoir accepté de participer à mon jury de thèse.

Je remercie vivement M. Pierre MIALHE, Professeur à l'Université de Perpignan, pour avoir bien voulu être rapporteur et pour l'enrichissante collaboration qu'il a favorisée durant la réalisation de cette thèse.

Que M. David KERNS, Professeur à l'Université de Vanderbilt, soit remercié pour avoir bien voulu se charger de la tâche difficile de rapporteur d'un mémoire rédigé en français. Que Madame Sherra KERNS, professeur à l'université de Vanderbilt, accepte mes remerciements pour sa participation et ses remarques fructueuses.

Que M. Olivier BRIERE, Ingénieur de recherche MATRA-MHS, soit remercié d'avoir accepté d'examiner ce travail et d'avoir participé à la fourniture des composants et des données s'y rapportant, base de ce travail.

Que Messieurs Simon COENEN, Ingénieur SCK.CEN, Jean CHEVRIER, PICOGIGA, Joseph BECHARA, Professeur à l'Université libanaise, soient remerciés pour l'honneur qu'ils m'ont fait en acceptant d'être examinateurs de ce travail.

Que M. Léonard ADAMS (ESTEC/ESA) trouve ici l'expression de mes plus vifs remerciements pour son aide concernant les irradiations.

Mes remerciements s'adressent également à mes collègues, à tous les membres du LICM et d'une façon générale à tout le CLOES.

Enfin, une pensée toute particulière à mes parents, mes frères et soeurs, mes amis et à tous ceux qui oeuvrent pour l'évolution des consciences et la fraternité entre les peuples.

INTRODUCTION	1
CHAPITRE I : RAPPELS THEORIQUES	
I.1. INTRODUCTION	3
I.2. CAPACITE MOS	3
I.2.1. Structure MOS idéale	3
I.2.1.1. Potentiel et champ électrique	5
I.2.1.2. Extension de la zone de charge d'espace	7
I.2.1.3. Potentiel de surface	7
I.2.1.4. capacité de la structure	8
I.2.2. Structure MOS réelle	10
I.2.2.1. Influence de la différence des travaux de sortie.	11
I.2.2.2. Influence des charges dans l'oxyde	11
I.2.2.3. Influence des états d'interface	12
I.2.2.4. Tension de grille d'une structure réelle	13
I.3. TRANSISTOR MOS	13
I.3.1. Equation de conduction du MOSFET idéal	14
I.3.1.1. Régime linéaire	15
I.3.1.2. Régime saturé	15
I.3.2. Tension de seuil	16
I.3.3. Courant sous le seuil	17
I.3.4. Comportement de la mobilité	19
I.3.5. Effet de la réduction des dimensions	19
I.3.5.1. Effet de canal court	20
I.3.5.2. Effet de canal étroit	22
I.4. JONCTION P-N	23
I.4.1. Equation de conduction	22
I.4.2. Principaux mécanismes de recombinaison	23
I.4.2.1. Génération-recombinaison bande à bande	24
I.4.2.2. Génération-recombinaison Auger	24
I.4.2.3. Génération-recombinaison par centre recombinant	24
I.4.3. Taux de Génération-recombinaison	24
I.5. PHENOMENES DUS AUX IRRADIATIONS	25
I.5.1. Influence sur les semiconducteurs	26
I.5.2. Influence sur les isolants	26
I.5.3. Influence sur les métaux	26
I.5.4. Dégradation des paramètres électriques	27
I.6. SYNTHESE	27
REFERENCES	28

CHAPITRE II : COMPOSANTS ETUDIES ET METHODES D'ANALYSE

II.1. INTRODUCTION	30
II.2. PRESENTATION DES COMPOSANTS ETUDIES	30
II.2.1. Capacités MOS et diodes	30
II.2.2. Transistors MOS	31
II.3. METHODES D'ANALYSE	34
II.3.1. Analyse des capacités MOS	34
II.3.1.1. Détermination de l'épaisseur de l'oxyde	34
II.3.1.2. Détermination du niveau de dopage	35
II.3.1.3. Détermination de la tension de bandes plates	35
II.3.2. Analyse des transistors MOS	37
II.3.2.1. Méthodologie test	37
II.3.2.2. Extraction des paramètres	38
II.3.2.2.1. Equation du modèle	38
II.3.2.2.2. Détermination de la tension de seuil V_T	40
II.3.2.2.3. Détermination de R_{sd} et de ΔL	41
II.3.2.2.4. Détermination de μ_n et θ	43
II.3.2.2.5. Détermination des densités de charges piégées	44
II.3.2.2.6. Détermination des paramètres de la jonction	46
II.3.3. Analyse des diodes	47
II.3.3.1. Modélisation d'une jonction P-N	47
II.3.3.2. Extraction des paramètres de la jonction	49
II.5. SYNTHESE	50
REFERENCES	51

CHAPITRE III : ETUDE EXPERIMENTALE

III.1. INTRODUCTION	54
III.2. ETUDE AVANT IRRADIATION	54
III.2.1. Transistors MOS en conduction	54
III.2.1.1. Réseaux de caractéristiques	54
III.2.1.2. Extraction des paramètres de conduction	58
III.2.1.2.1. Tension de seuil et mobilité à faible champ	58
III.2.1.2.2. Coefficient d'atténuation de mobilité	61
III.2.1.3. Jonction drain-substrat des transistors	62
III.2.1.3.1. Influence de la géométrie	62
III.2.1.3.2. Influence de la tension de grille	65
III.2.1.4. Diodes de protection des transistors	68
III.2.2. Capacité MOS et diodes	70
III.2.2.1. Capacité MOS	70

III.2.2.2. Diodes	72
III.3. ETUDE APRES IRRADIATION IONISANTE (γ) Co-60	73
III.3.1. Transistor MOS en conduction	73
III.3.2. Jonction drain-substrat après irradiation	77
III.3.3. Diode de protection après irradiation	81
III.4. ETUDE APRES IRRADIATION PROTONS	83
III.4.1. Transistor en conduction	84
III.4.2. Jonction drain-substrat après irradiation	87
III.5. SYNTHÈSE	90
REFERENCES	91
 CHAPITRE IV : SIMULATION 	
IV.1. INTRODUCTION	94
IV.2. LES OPERATIONS ELEMENTAIRES	95
IV.2.1. L'orientation cristalline du substrat	95
IV.2.2. L'épitaxie	96
IV.2.3. Oxydation et dépôt	97
IV.2.4. La diffusion thermique	98
IV.2.5. L'implantation ionique	98
IV.2.6. Défauts et redistribution des impuretés	98
IV.2.7. La gravure	99
IV.3. PRESENTATION DES LOGICIELS DE SIMULATION	99
IV.3.1. Les outils interactifs	100
IV.3.2. Les outils de simulation	100
IV.3.3. Le logiciel de simulation process ATHENA	102
IV.3.4. Le logiciel de simulation de dispositifs ATLAS	103
IV.4. PRESENTATION DE LA STRUCTURE SIMULEE	103
IV.1.1. Les profils de dopage fournis	105
IV.5. REALISATION DE LA SIMULATION PROCESS	107
IV.5.1. Les étapes de la simulation	107
IV.5.2. Construction de la structure nLDDMOSFET	108
IV.5.2.1. Initialisation du substrat type P+	109
IV.5.2.2. Croissance de la couche épitaxiée type P'	109
IV.5.2.3. Implantation d'ajustement de la tension de seuil	109
a) Oxyde d'implantation	110

b) Implantation de bore et d'arsenic	110
c) Redistribution des dopants	111
IV5.2.4. Dépôt de l'oxyde et du polysilicium de grille	113
IV.5.2.5. Implantation des caissons n ⁺ et n ⁻ de source (ou drain)	113
IV.5.2.6. Dépôt des contacts métalliques	115
IV.5.3. Définition du maillage	118
IV.6. SIMULATION DU COMPORTEMENT ELECTRIQUE	120
IV.6.1. Spécification des propriétés du matériau	121
IV.6.2. Choix des modèles physiques	121
IV.6.3. Choix de la méthode numérique	123
IV6.4. Phase d'apprentissage et méthode d'ajustement	124
IV.6.4.1. Tension de seuil	124
IV.6.4.2. Niveau de courant de drain I _{DS}	125
IV.6.5. Comparaison des caractéristiques simulées et mesurées	126
IV.6.6. Effet de la tension de substrat V _{BS}	130
IV.6.7. Effet de double implantation du canal	131
IV.6.8. Effet de l'épaisseur du substrat	133
IV.7. SYNTHESE	135
REFERENCES	136
CONCLUSION	138
APPENDICE (FICHIERS SIMULATION)	141

INTRODUCTION

Le développement de la technologie vers une miniaturisation croissante des composants électroniques a entraîné l'apparition de phénomènes nouveaux qui modifient leur comportement électrique et leur sensibilité aux agressions extérieures.

Il est donc toujours d'actualité d'analyser les processus électroniques impliqués. En cela la caractérisation expérimentale et la simulation de dispositifs se présentent comme deux solutions efficaces et complémentaires pour rendre compte du fonctionnement des composants électroniques. Dans cette optique, nous présentons dans ce mémoire une étude réalisée sur des transistors nLDDMOSFETs issus de la technologie 1.2 μm de MATRA-MHS.

Dans cette étude, nous avons cherché à développer une méthodologie de caractérisation cohérente s'articulant sur deux grands axes principaux. Le premier fait appel à une étude expérimentale du comportement électrique et des effets induits par irradiation. Le second est une simulation 2-D de ces dispositifs, simulation réalisée sur deux niveaux: Simulation du procédé de fabrication "Process" et simulation du comportement électrique "Device".

Le point de départ de ce document est le rappel des principaux résultats théoriques régissant le fonctionnement d'une structure MOS, d'une jonction P-N ainsi que des généralités sur les effets d'irradiation (chapitre I). Ces développements théoriques sont écrits dans le souci de poser les bases nécessaires à la mise en œuvre des méthodes d'analyse et d'interprétation des résultats expérimentaux, ainsi que pour une meilleure compréhension de l'influence des paramètres process de simulation.

Le chapitre II est réservé à la description des composants étudiés et au développement des méthodes d'analyse utilisées pour l'extraction des paramètres des transistors, jonctions et capacités. Dans ce chapitre un accent particulier est porté sur la modélisation de la jonction drain-substrat du transistor.

Le chapitre III est consacré à la présentation et à l'analyse des résultats obtenus. Tout d'abord une étude avant irradiation est effectuée afin d'évaluer l'influence de la géométrie sur les paramètres déterminés. Après quoi, les dégradations dues à l'irradiation ionisante (γ) Co-60 puis à l'irradiation protons, sont analysées en vue d'une meilleure compréhension des processus électroniques impliqués.

Enfin le chapitre IV traite de la simulation de ces dispositifs. Partant de la simulation du procédé de fabrication à la simulation du comportement électrique de ces dispositifs, une méthodologie de simulation basée sur l'ajustement des paramètres process et le choix des modèles physiques à prendre en compte dans ce type de dispositifs est développée. Nous validons notre méthodologie de simulation par une étude comparative entre caractéristiques simulées et mesurées. L'étude de quelques effets technologiques sur le comportement électrique de ces dispositifs est également abordée.

CHAPITRE I: RAPPELS THEORIQUES

I.1. INTRODUCTION

Ce chapitre est consacré aux principales équations de fonctionnement à partir desquelles ont été développées les méthodes de caractérisation pour les structures MOS (capacités et les transistors) et ainsi que celle des jonctions P-N.

Nous commencerons dans un premier temps par la description d'une capacité MOS idéale, puis nous mettrons en évidence l'influence des différentes grandeurs à prendre en compte pour décrire une capacité réelle. Après quoi, nous étudierons le transistor à effet de champ MOS. Nous rappellerons également les résultats théoriques régissant le fonctionnement d'une jonction P-N, dont l'étude nous permettra en outre la caractérisation de la jonction substrat-drain du transistor MOS. Enfin nous ferons un bref rappel des principaux phénomènes dus à l'irradiation.

Pour l'ensemble de cette étude, nous traiterons le cas d'une structure MOS réalisée sur un substrat silicium de type P et de dopage N_a .

I.2. CAPACITE MOS

I.2.1. Structure MOS idéale

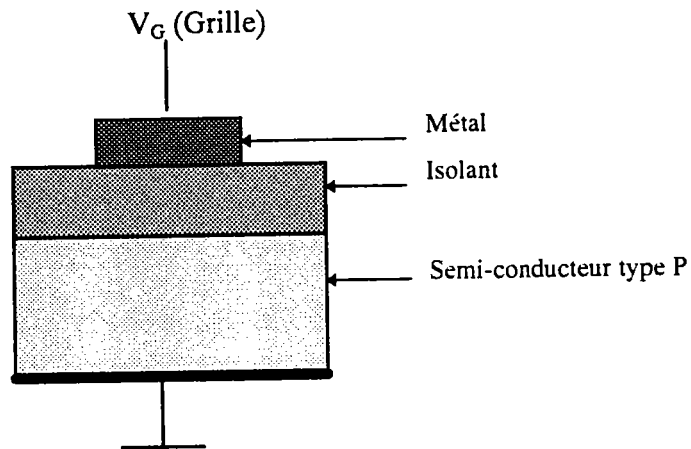
Dans cette partie nous présentons les différents régimes caractérisant une structure MOS. Les hypothèses définissant une structure idéale sont les suivantes:

- la métallisation de grille est suffisamment fine pour qu'on puisse la considérer comme parfaite (région équipotentielle).
- l'oxyde est supposé parfait (absence de charges fixes et mobiles).
- l'interface oxyde-semiconducteur est dépourvue de charges.
- le substrat est uniformément dopé et suffisamment long pour être considéré comme équipotentiel.
- les dimensions de la grille sont supposées importantes pour négliger les effets de bord.
- la différence de travaux entre métal et semiconducteur est supposée nulle.

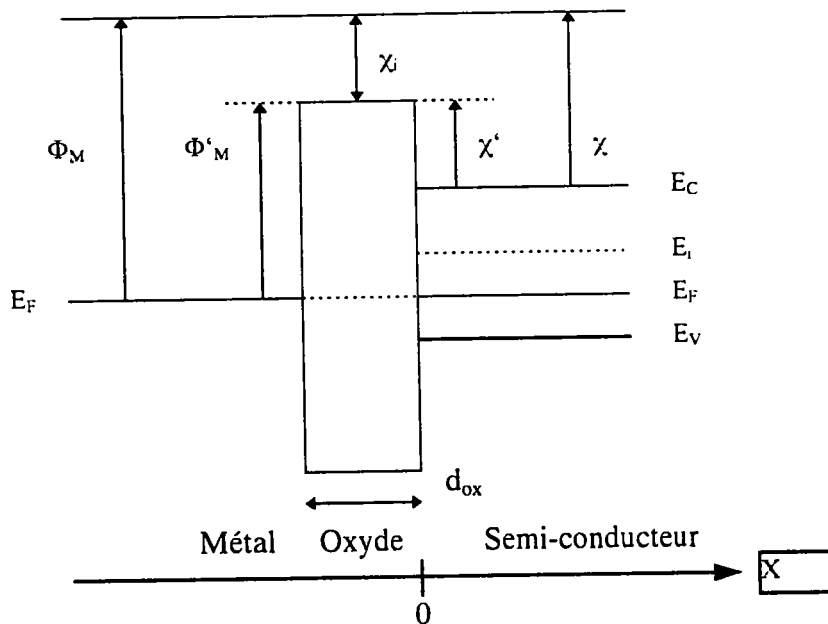
Les structures représentant les différents constituants et le schéma de bande d'énergie pour une capacité MOS idéale de type P à l'équilibre thermodynamique en l'absence de polarisation extérieure sont représentés sur les figures I.1 (a) et (b).

Lorsqu'une polarisation V_G est appliquée sur la grille, le substrat étant à la masse, trois types de régimes caractérisent la population du semiconducteur au voisinage de l'interface oxyde-semiconducteur.

Pour une polarisation de grille négative, le régime d'accumulation des porteurs majoritaires à l'interface oxyde semiconducteur se traduit par une courbure de bande orientée vers la bande de conduction.



(a): Schéma d'une structure MOS sans polarisation extérieure



(b): Structure de bande énergétique d'une capacité idéale de type p sans polarisation extérieure

Figure I.1: La capacité MOS.

- où ϕ_m : travail de sortie du métal
 χ_i : affinité électronique de l'isolant
 χ : affinité électronique du semiconducteur
 d_{ox} : épaisseur de l'isolant

Pour une polarisation positive de la grille, on observe une déplétion des porteurs majoritaires à l'interface, soit une courbure de bande vers la bande de valence. Si la polarisation de grille augmente au delà d'une valeur seuil V_T , la courbure de bande en surface devient telle que le niveau de Fermi se trouve au-dessus du niveau intrinsèque. Il y a alors inversion du type du semiconducteur.

I.2.1.1. Potentiel et champ électrique.

Pour obtenir la densité totale de charges développées dans le semiconducteur il faut intégrer l'équation de Poisson. Dans la mesure où l'origine des potentiels est prise dans la région neutre du semiconducteur, au point d'abscisse x où le potentiel est $\psi(x)$ et le champ électrique $E(x)$, l'équation de Poisson s'écrit:

$$\frac{d^2\psi(x)}{dx^2} = \frac{dE(x)}{dx} = \frac{\rho(x)}{\epsilon_s} \quad (I.1)$$

avec les conditions aux limites: $\begin{cases} x \rightarrow \infty, \psi(x) = 0 \\ x \rightarrow \infty, E(x) = 0 \end{cases}$

et $\rho(x) = q[N_d - N_a + p(x) - n(x)] \quad (I.2)$

où $\begin{cases} p(x) = n_i \exp\left[\frac{E_i(x) - E_F}{kT}\right] \\ n(x) = n_i \exp\left[-\frac{E_i(x) - E_F}{kT}\right] \end{cases}$

En posant $U(x) = \frac{E_i - E_i(x)}{kT} \quad (I.3)$
 $U_F = \frac{E_i - E_F}{kT}$

- où E_i : niveau de Fermi intrinsèque dans le volume du semiconducteur.
 $E_i(x)$: niveau de Fermi intrinsèque au point d'abscisse x pris dans la zone de charge d'espace (ZCE)

E_F : niveau de Fermi extrinsèque.

On a alors:

$$E(x) = \frac{1}{q} \frac{dE_i(x)}{dx} = -\frac{kT}{q} \frac{dU(x)}{dx} \quad (1.4)$$

Loin dans le volume par application du principe de neutralité électrique

$$N_a - N_d + p(x) - n(x) = 0$$

Soit, $N_a - N_d = n_i (e^{U_F} - e^{-(U_F)})$

D'où :

$$\frac{d^2 U(x)}{dx^2} = -\frac{q^2 n_i}{kT \epsilon_s} \left[e^{-U_F} - e^{U_F} + e^{U_F - U(x)} - e^{-(U_F - U(x))} \right] \quad (1.5)$$

soit encore:

$$\left[\frac{dU(x)}{dx} \right]^2 = -\frac{1}{L_D^2} \int_0^{U(x)} \left\{ e^{-U_F} - e^{U_F} + e^{(U_F - U'(x))} - e^{-(U_F - U'(x))} \right\} dU' \quad (1.6)$$

et
$$E^2(x) = -\frac{k^2 T^2}{q^2} \frac{1}{L_D^2} \int_0^{U(x)} \left\{ e^{-U_F} - e^{U_F} + e^{(U_F - U'(x))} - e^{-(U_F - U'(x))} \right\} dU' \quad (1.7)$$

avec
$$\frac{1}{L_D^2} = \frac{2q^2 n_i}{kT \epsilon_s} \quad (1.8)$$

où L_D est la longueur de Debye intrinsèque.

Après intégration,

$$E^2(x) = -\frac{k^2 T^2}{q^2} \frac{1}{L_D^2} \left[e^{U_F} (e^{-U(x)} + U(x) - 1) + e^{-U_F} (e^{U(x)} - U(x) - 1) \right] \quad (1.9)$$

ou encore:

$$E(x) = \text{sgn}(U_s) \frac{kT}{q} \frac{1}{L_D} F(U, U_F) \quad (1.10)$$

avec $\text{sgn}(U_s) = +1$ si U_s positif (1.11.a)

$\text{sgn}(U_s) = -1$ si U_s négatif (1.11.b)

$$\text{et } F(U, U_F) = \sqrt{e^{U_F} (e^{-U(x)} + U(x) - 1) + e^{-U_F} (e^{U(x)} - U(x) - 1)} \quad (1.12)$$

I.2.1.2. Extension de la zone de charge d'espace

En régime de déplétion, pour x compris entre 0 et x_m extension de la zone de charge d'espace, la densité de charges ρ est:

$$\rho(x) = q(N_d - N_a) \quad (1.13)$$

L'intégration de l'équation de Poisson conduit aux expressions suivantes du champ électrique

$$E(x) \text{ et du potentiel } \psi(x): \psi(x) = \frac{kT}{q} U(x)$$

$$E(x) = \frac{q(N_a - N_d)}{\epsilon_s} (x_m - x) \quad (1.14)$$

$$\psi(x) = \frac{q(N_a - N_d)}{2\epsilon_s} (x_m - x)^2 \quad (1.15)$$

A l'interface oxyde semiconducteur, on a: $x=0$, $\psi(x=0)=\psi_s$ et $U(x=0)=U_s$. L'extension de la zone de charge d'espace est alors:

$$x_m = \sqrt{\frac{2\epsilon_s}{q(N_a - N_d)} \frac{kT}{q} U_s} \quad (1.16)$$

La valeur maximale x_{\max} est obtenue pour $U_s=2U_F$, c'est-à-dire là où $p(0)=n(\infty)$.

I.2.1.3. Potentiel de surface

En mettant le substrat à la masse, la tension de grille V_G correspond à la chute de potentiel dans l'oxyde ΔV_{ox} augmentée du potentiel de surface du semiconducteur.

Dans l'hypothèse d'une interface et d'un oxyde idéaux, la chute de potentiel dans l'oxyde sera

$$\text{donnée par: } \Delta V_{ox} = \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_{si} \quad (1.17)$$

où E_{si} est le champ électrique

$$\text{d'où } V_G = \frac{kT}{q} [U_s + (\epsilon_s/\epsilon_{ox}) d_{ox} \text{sgn}(U_s) (1/L_D) F(U_s, U_F)] \quad (1.18)$$

d_{ox} est l'épaisseur de l'oxyde.

I.2.1.4. Capacité de la structure

La représentation du comportement de la structure MOS idéale dans ces différents régimes de fonctionnement est montrée dans les figures (I.2. (a), (b), (c)).

La conservation des charges se fait par ces porteurs. Ainsi, toute variation de la tension de grille, quelle que soit la fréquence de travail, est compensée par une variation de la densité des porteurs majoritaires et la capacité totale de la structure est alors équivalente à la capacité de l'oxyde C_{OX} .

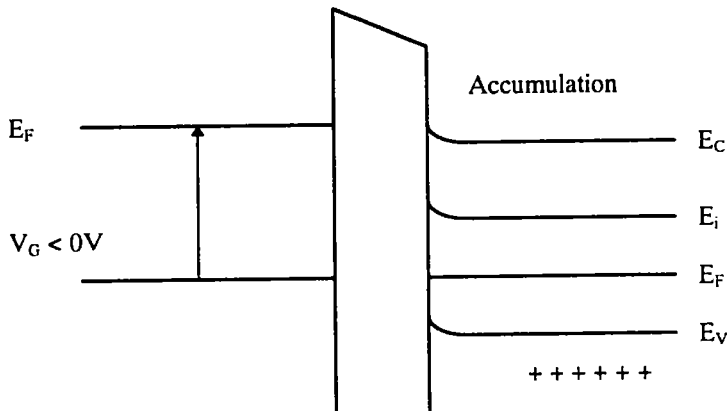


Figure I.2.(a): Régime d'accumulation. Courbure de bande pour $V_G < 0$ pour type p.

En régime de déplétion il y a création d'une zone de charge d'espace. La capacité totale de la structure C correspond à la mise en série de la capacité de l'oxyde et de la capacité de déplétion C_{sc} .

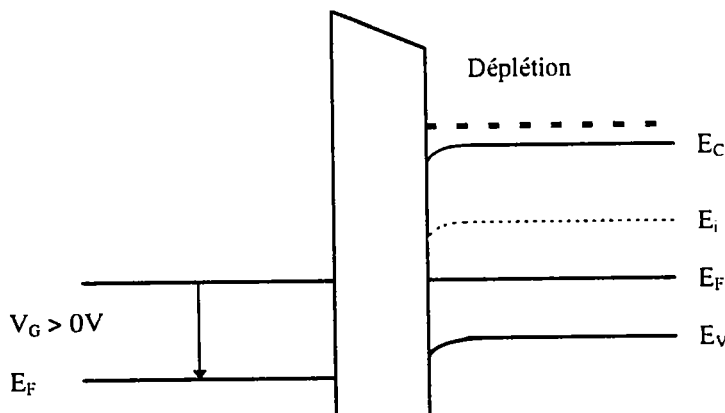


Figure I.2.(b): Régime de déplétion. Courbure de bande pour $V_g > 0$ pour un type p.

$$C = \frac{C_{ox} C_{sc}}{C_{ox} + C_{sc}} \quad (1.19)$$

En régime d'inversion, on a une accumulation des porteurs minoritaires à l'interface. Leur charge vient écranter toute extension supplémentaire de la zone de charge d'espace lorsqu'on augmente la polarisation continue.

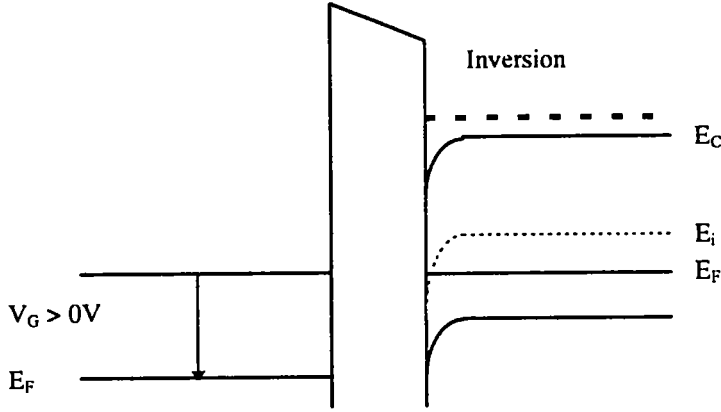


Figure I.2.(c): Régime d'inversion. Courbure de bande pour $V_g \gg 0$ type p

Dans le cas d'une excitation basse fréquence, les porteurs minoritaires ont le temps d'être générés. La capacité C de la structure est alors:

$$C = \frac{dQ_g}{dV'_g} = -\frac{dQ_{sc}}{dU_s} \frac{dU_s}{dV'_g} \quad (1.20)$$

En tenant compte de l'équation (I.18) et du théorème de Gauss $Q_{sc} = -\epsilon_{si} E_{si}$, l'équation (I.20) devient:

$$C = \frac{\text{sgn}(U_s)\epsilon_s}{2L_D} \left\{ \frac{1}{\text{sgn}(U_s) \frac{\epsilon_s d_{ox}}{\epsilon_{ox}} \frac{1}{2L_D} + \frac{F(U_s, U_F)}{e^{U_F}(1-e^{-U_s}) - e^{-U_F}(1-e^{U_s})}} \right\} \quad (1.21)$$

L'équation (I.19) peut encore s'écrire:

$$C = \frac{\epsilon_s}{\frac{\epsilon_s d_{ox}}{\epsilon_{ox}} + \omega} \quad (1.22)$$

d'où par identification avec (I.21) on obtient:

$$\omega = \text{sgn}(U_s)L_D \frac{2F(U_s, U_F)}{e^{U_F}(1-e^{-U_s}) - e^{-U_F}(1-e^{U_s})} \quad (1.23)$$

Le comportement basse fréquence de la structure est décrit par les équations (I.21) et (I.23).

En haute fréquence, les porteurs minoritaires ne sont plus générés et c'est l'extension de la zone de charge d'espace qui assure la neutralité électrique de la structure. On mesure donc la mise en série des capacités C_{OX} et C_{SC} . Différentes études de l'évolution de la capacité haute fréquence ont été réalisées [1]. Ainsi pour un substrat de type P la capacité de la structure est donnée par:

$$C = \frac{C_{ox}}{1 + \frac{\epsilon_{ox}\omega_{eff}}{\epsilon_s d_{ox}}} \quad (I.24)$$

$$\text{avec } \omega_{eff} = \text{sgn}(U_s)L_D \frac{2F(U_s, U_F)}{e^{U_F}(1 - e^{-U_s}) - e^{-U_F}(1 - e^{U_s})} \frac{1}{1 + \delta} \quad (I.25)$$

en régime d'accumulation, $\delta = 0$ et en déplétion ou en inversion δ est données par:

$$\delta = \frac{\frac{e^{U_s} - U_s - 1}{F(U_s, U_F)}}{\int_0^{U_s} \frac{e^{U_F}(1 - e^{-U})(e^U - U - 1)}{2F^3(U, U_F)} dU} \quad (I.26)$$

I.2.2. Structure MOS réelle

En pratique, les hypothèses définissant la structure MOS idéale ne correspondent pas à la réalité comme le montre le schéma de la structure de bande de la figure I.3.

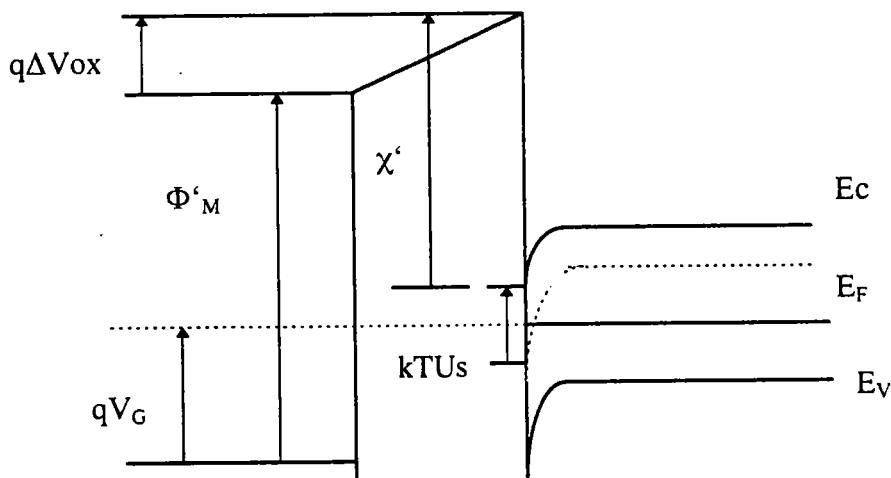


Figure I.3: Schéma de bande d'une structure réelle polarisée.

Il faut alors tenir compte de certains effets supplémentaires: influence de la différence des travaux de sortie, influence des états d'interface et influence des charges dans l'oxyde.

I.2.2.1. Influence de la différence des travaux de sortie

A partir de la figure I.3, on peut écrire:

$$\phi'_M - qV_g + q\Delta V_{ox} = E_c - E_F + \chi' - kTU_s \quad (I.27)$$

$$\text{et} \quad V'_G - (kT/q)U_s - \Delta V_{ox} = 1/q (\phi'_M - \chi' - E_c - E_F) \quad (I.28)$$

La différence des travaux de sortie est définie par la quantité ϕ_{MS} telle que:

$$\begin{aligned} \phi_{MS} &= 1/q (\phi'_M - \chi' - E_c + E_F) \\ \text{ou encore} \quad \phi_{MS} &= 1/q (\phi_M - \chi - E_c + E_F) \end{aligned} \quad (I.29)$$

Pour une structure idéale, la tension de grille était (I 18):

$$V'_G = (kT/q)U_s + \Delta V_{ox}$$

finalement, pour un même potentiel de surface :

$$V_G - V'_G = \phi_{MS} \quad (I.30)$$

I.2.2.2. Influence des charges dans l'oxyde

La présence de charges dans l'oxyde de grille induit une chute de potentiel à travers celui-ci [2]. Dans le cas général, ces charges se répartissent selon une distribution arbitraire, avec présence ou non de charges fixes.

a) Pour une distribution arbitraire de charges $\rho_{ox}(x)$ dans l'oxyde, l'expression du champ électrique $E_{ox}(x)$, en prenant comme origine des x l'interface métal/oxyde, s'écrit:

$$E_{ox}(x) = E_{ox}(d_{ox}) - \frac{1}{\epsilon_{ox}} \int_x^{d_{ox}} \rho_{ox}(x') dx' \quad (I.31)$$

La chute de potentiel correspondante est:

$$\Delta V_{ox} = \int_0^{d_{ox}} E_{ox}(x) dx = E_{ox}(d_{ox})d_{ox} - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} \int_x^{d_{ox}} \rho_{ox}(x') dx' dx \quad (I.32)$$

Si on admet que l'interface oxyde-semiconducteur n'est pas chargée (pas de charges fixes), la continuité de l'induction électrique s'écrit à l'interface oxyde/semiconducteur:

$$\epsilon_{ox} E_{ox}(d_{ox}) = \epsilon_s E_s(d_{ox})$$

$$\text{et } \Delta V_{ox} = \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x \rho_{ox}(x) dx \quad (I.33)$$

La tension de grille s'écrit alors:

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x \rho(x) dx \quad (I.34)$$

où E_s est la valeur du champ électrique à l'interface.

Pour obtenir un même potentiel $\frac{kT}{q} U_s$ on doit donc appliquer un $\Delta V_G = -\frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x \rho(x) dx$

b) Dans le cas où l'on tient compte de la présence de charges fixes localisées à l'interface oxyde-semiconducteur, de densité par unité de surface Q_F , l'équation I.3 devient:

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x Q_F \delta(x - d_{ox}) dx \quad (I.35)$$

d'où l'influence de ces charges à l'interface:

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{1}{C_{ox}} Q_F \quad (I.36)$$

I.2.2.3. Influence des états d'interface

Les états d'interface sont des états localisés au voisinage de l'interface oxyde-semiconducteur et dont les niveaux d'énergie pouvant influencer la structure sont situés dans la bande interdite.

Ces états peuvent capturer (états accepteurs) ou émettre (états donneurs) des trous ou des électrons. Les états donneurs sont positivement chargés lorsqu'ils sont vides et deviennent neutres lorsqu'ils captent un électron. Les états accepteurs sont neutres et se chargent négativement lorsqu'ils captent un électron [3].

Dans le cas d'états d'interface de type donneur, l'évolution de la charge Q_{it} de ces états dépend du potentiel de surface et est liée à la tension de grille par:

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{1}{C_{ox}} Q_{it}(V_s) \quad (I.37)$$

ou encore, en fonction de la densité d'états d'interface par unité d'énergie et de surface D_{it} .

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s - \frac{q}{C_{ox}} \int_{E_F}^{E_c - qV_s} D_{it}(E) dE$$

où E_c est pris loin de l'interface oxyde/semiconducteur.

$$\text{avec } Q_{it}(V_s) = q \int_{E_F}^{E_c - qV_s} D_{it}(E) dE$$

I.2.2.4. Tension de grille d'une structure réelle

En tenant compte de l'ensemble des défauts introduits précédemment, on peut écrire:

$$V_G = \frac{kT}{q} U_s + \frac{\epsilon_s}{\epsilon_{ox}} d_{ox} E_s + \phi_{ms} - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x \rho(x) dx - \frac{Q_F}{C_{ox}} - \frac{Q_{it}(V_s)}{C_{ox}} \quad (I.38)$$

I.3. TRANSISTOR MOS

Le fonctionnement d'un transistor à effet de champ est basé sur la modulation du flux de courant de la couche d'inversion de la structure MOS. L'entrée et la sortie du canal conducteur sont limitées par des caissons de source et de drain. La figure I.4 représente une section du dispositif.

Son état électrique est déterminé par les potentiels sur la grille (V_G), la source (V_S , habituellement pris comme référence), le drain (V_D), et le substrat (V_{BS}). La conduction du transistor n'est assurée que par l'existence d'une zone inversée près de l'interface oxyde-semiconducteur, constituant le canal conducteur. Ce canal conducteur ne peut apparaître qu'à partir d'une valeur donnée de la tension grille correspondant à la tension de seuil. Dans ce qui suit, nous traitons le cas d'un transistor à canal N (substrat P).

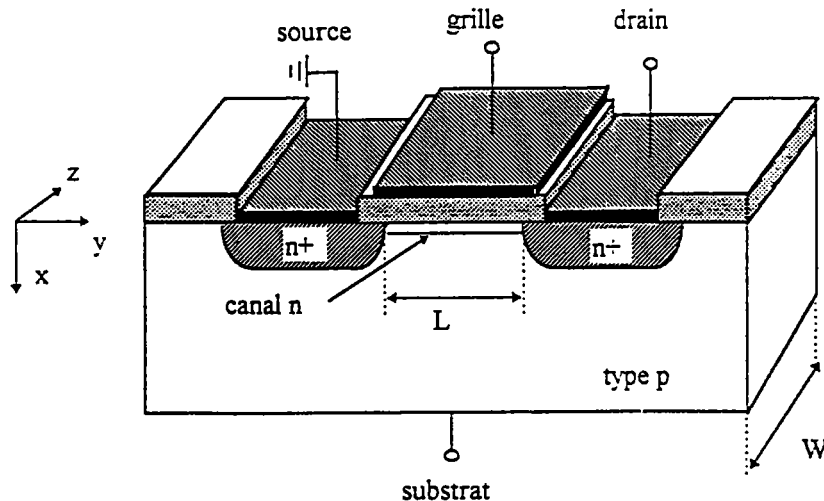


Figure I.4: Coupe transversale d'un transistor MOS latéral à canal N.

I.3.1. Equation de conduction du MOSFET idéal

Plusieurs modèles ont été proposés pour décrire le fonctionnement du transistor MOS en différents régimes. Les modèles le plus souvent utilisés sont unidimensionnels et utilisent l'approximation du canal graduel, selon laquelle les lignes de courant sont supposées parallèles à l'interface Si/SiO₂ [4-6].

Selon ces hypothèses, la charge totale par unité de surface développée dans le semiconducteur est donnée par:

$$Q_s(y) = [-V_G + \psi_s(y)]C_{ox} \quad (I.39)$$

où $\psi_s(y) = \frac{kT}{q} U_s(y)$ représente le potentiel de surface au point d'ordonnée y.

La charge totale est équivalente à la somme de la charge d'inversion et de celle de la zone de charge d'espace.

Soit:
$$Q_s(y) = Q_{inv}(y) + Q_{dep}(y) \quad (I.40)$$

En supposant un dopage uniforme, $Q_{dep}(y)$ peut être exprimée en fonction de la concentration des accepteurs N_a et du potentiel de surface $\psi_s(y)$ par:

$$Q_{dep}(y) = -[2\epsilon_s q N_a \psi_s(y)]^{1/2} \quad (I.41)$$

La combinaison des équations I.39, I.40 et I.41 conduit à:

$$Q_{inv}(y) = -[V_g - \psi_s(y)]C_{ox} + [2\epsilon_s q N_a \psi_s(y)]^{1/2} \quad (I.42)$$

Au début de l'inversion, le potentiel de surface $\psi_s(y)$ est égal à $2\psi_F$ au niveau de la source et $2\psi_F + V_D$ au niveau du drain. Ainsi le courant total I_D circulant dans le canal est donné par:

$$I_D(y) dy = \mu_{eff} W Q_{inv}(\psi_s) d\psi_s \quad (I.43)$$

où μ_{eff} est la mobilité effective.

Soit:
$$I_D = \mu_{eff} \frac{W}{L} \int_{2\psi_F}^{2\psi_F + V_D} Q_{inv}(\psi_s) d\psi_s$$

où W est la largeur de grille (selon l'axe Z) et L la longueur du canal.

En tenant compte de l'équation I.42, l'intégration de I.43 conduit à l'expression du courant de drain:

$$I_D = \mu_{eff} \frac{W}{L} C_{ox} \left[(V_G - 2\psi_F - V_D/2)V_D - 2/3((2\epsilon_s q N_a)^{1/2}/C_{ox})(V_D + 2\psi_F)^{3/2} - (2\psi_F)^{3/2} \right] \quad (I.44)$$

Cette équation pourra être utilisée sous des formes simplifiées selon que le transistor fonctionne en régime linéaire ou saturé. Ces expressions sont développées ci-dessous.

I.3.1.1. Régime linéaire

En régime linéaire, c'est à dire pour de faibles tensions de drain ($V_D \ll \psi_F$), l'équation (I.44) devient:

$$I_D = \mu_{eff} \frac{W}{L} C_{ox} \left[(V_G - 2\psi_F)V_D - (4\epsilon_s q N_a)^{1/2}/C_{ox} \right] \quad (I.45)$$

Soit
$$I_D = \mu_{eff} \frac{W}{L} C_{ox} \left[(V_G - V_T)V_D \right] \quad (I.46)$$

avec
$$V_T = 2\psi_f + \frac{1}{C_{ox}} \sqrt{4q\epsilon_s N_a \psi_f} \quad (I.47)$$

L'équation (I.46) traduit le fait que dans ce régime de fonctionnement, le courant de drain I_D varie linéairement avec la tension de drain V_D .

I.3.1.2. Régime saturé

Pour de fortes valeurs de la tension de drain, le transistor quitte le régime linéaire et entre en régime de saturation où I_D devient indépendant de V_D . Lorsque la tension de drain V_D augmente, la charge d'inversion diminue graduellement le long du canal et s'annule au point de pincement près du drain. La tension de drain V_{Dsat} correspondant à cet état de pincement peut être déterminée à partir de l'équation (I.44).

$$V_{Dsat} = V_G - 2\psi_f + \frac{q\epsilon_s N_a}{C_{ox}^2} \left\{ 1 - \sqrt{1 + 2V_G C_{ox}^2 / q\epsilon_s N_a} \right\} \quad (I.48),$$

et le courant de saturation peut être approximé à l'aide de l'équation (I.44)

$$I_{Dsat} \approx \frac{1}{2} \mu_{eff} \frac{W}{L} C_{ox} [V_G - V_T]^2 \quad (1.49)$$

La figure I.5 montre le comportement de la structure dans le régime de fonctionnement décrit précédemment. Elle montre la distribution de la charge d'inversion et sa dépendance avec les tensions de grille et de drain.

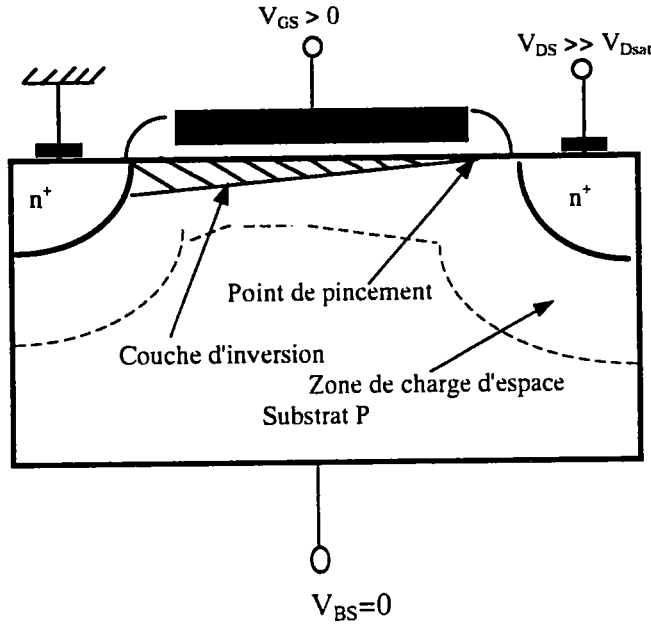


Figure I.5: Evolution de la zone de charge d'espace et de la densité de charges d'inversion en régime saturé. Positionnement du point de pincement.

I.3.2. Tension de seuil

L'équation (1.47) donne l'expression de la tension de seuil d'un transistor MOS idéal. Pour un transistor réel, il faut prendre en compte l'influence de la différence des travaux de sortie, des états d'interface et des charges dans l'oxyde par l'intermédiaire de la tension de bande plate \$V_{FB}\$.

$$V_{FB} = \phi_{ms} - \frac{Q_{it}}{C_{ox}} - \frac{Q_F}{C_{ox}} - \frac{1}{\epsilon_{ox}} \int_0^{d_{ox}} x \rho_{ox}(x) dx \quad (1.50)$$

Ainsi la tension de seuil d'un transistor réel est obtenue en combinant (1.47) et (1.50):

$$V_T = V_{FB} + 2\psi_F + \frac{1}{C_{ox}} \sqrt{4q\epsilon_s N_a \psi_F} \quad (1.51)$$

Si une tension est appliquée entre la source et substrat (tension V_{BS}) du transistor, l'expression de la tension de seuil devient:

$$V_T = V_{FB} + 2\psi_F + \frac{1}{C_{ox}} \sqrt{2q\epsilon_s N_a (2\psi_F - V_{BS})} \quad (1.52)$$

I.3.3. Courant sous le seuil

Lorsque la tension de grille est inférieure à la tension de seuil V_T , l'équation (I.44) n'est plus valable. En fonctionnement sous le seuil, c'est le courant de conduction qui devient négligeable devant le courant de diffusion. L'expression du courant de diffusion est donnée par :

$$I_D = -qAD_n \frac{dn(y)}{dy} = q \frac{A}{L} D_n (n(0) - n(L)) \quad (1.53)$$

où A est la surface conductrice du canal.

L'équation (I.53) est valable pour les électrons. D_n est la constante de diffusion et peut être approximée à l'aide de la relation d'Einstein par:

$$D_n = \mu_n \frac{kT}{q} \quad (1.54)$$

$n(0)$ et $n(L)$ sont respectivement la densité d'électrons au voisinage de la source et celle au voisinage du drain. Elles s'expriment en fonction de la densité d'électrons dans le substrat n_{po} et du potentiel de surface ψ_s .

$$\begin{aligned} n(0) &= n_{po} \exp\left(\frac{q\psi_s}{kT}\right) \\ n(L) &= n_{po} \exp\left(\frac{q(\psi_s - V_D)}{kT}\right) \end{aligned} \quad (1.55)$$

$$\text{avec } n_{po} = \frac{n_i^2}{N_a - N_d} \quad (1.56)$$

Du fait de la dépendance exponentielle de $n(y)$ avec ψ_s , on admet que l'épaisseur effective du canal correspond à la distance pour laquelle ψ_s varie de kT/q . On a alors:

$$e = \frac{kT}{q} \sqrt{\frac{2q(N_a - N_d)}{\epsilon_s}} \psi_{sb} \quad (I.57)$$

où e est l'épaisseur effective du canal
et ψ_{sb} est le potentiel de surface référencé par rapport au substrat

Finalement, l'équation (I.53) devient:

$$I_D = \mu_n \frac{W}{L} \left(\frac{kT}{q}\right)^2 \sqrt{\frac{q^2 \epsilon_s}{2q(N_a - N_d)} \psi_{sb}} \frac{n_i^2}{(N_a - N_d)} \left\{ \exp\left(\frac{q\psi_s}{kT}\right) \left(1 - \exp\left(\frac{-qV_D}{kT}\right)\right) \right\} \quad (I.58)$$

Dans le cas d'un substrat P pour lequel $N_a \gg N_d$, on a: $\frac{n_i^2}{(N_a - N_d)^2} \approx \exp(-2U_F)$, en

remarquant que la capacité de déplétion par unité de surface s'écrit: $C_d = \sqrt{\frac{q(N_a - N_d)\epsilon_s}{2\psi_{sb}}}$

L'expression du courant de drain devient:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left(\frac{kT}{q}\right)^2 \frac{C_d}{C_{ox}} \exp\left(\frac{q\psi_s}{kT} - 2U_F\right) \left(1 - \exp\left(\frac{-qV_D}{kT}\right)\right) \quad (I.59)$$

Pour obtenir l'expression du courant de drain en fonction des tensions de grille V_G , de drain V_D et de substrat V_{BS} , il faut encore remarquer, que pour le potentiel de surface:

$$\psi_s = V_G - V_{FB} - \frac{qN_a \epsilon_s}{C_{ox}^2} \left(\sqrt{1 + \frac{2(V_G - V_{BS} - V_{FB})}{\frac{qN_a \epsilon_s}{C_{ox}^2}}} - 1 \right) \quad (I.60)$$

Dans le cas où la tension de drain est telle que $V_D \geq 3kT/q$, le courant de drain ne dépend plus que de V_G et V_{BS} . Le tracé en coordonnées semilogarithmiques de la caractéristique $I_D(V_G)$, fait apparaître une région linéaire dont la pente est donnée par:

$$\frac{d\text{Log}_{10} I_D}{dV_G} = \frac{1}{2,3} \frac{q}{kT} \left(1 - \frac{1}{\sqrt{1 + \frac{2(V_G - V_{BS} - V_{FB})}{\frac{qN_a \epsilon_s}{C_{ox}^2}}}} \right) \quad (I.61)$$

Soit encore:

$$\frac{d\text{Log}_{10} I_D}{dV_G} = \frac{1}{2,3} \frac{q}{kT} \left(1 - \frac{1}{\sqrt{1 + \frac{C_{ox}^2}{C_d^2} \left(1 + \frac{2C_d}{C_{ox}}\right)}} \right) \quad (I.62)$$

L'inverse de cette pente représente le paramètre S , traduisant la valeur de la polarisation de grille nécessaire pour faire varier le courant d'une décade:

$$S = 2,3 \frac{kT}{q} \left(1 + \frac{C_d}{C_{ox}}\right) \quad (I.63)$$

Dans le cas où l'on tient compte de la densité d'états d'interface, l'équation précédente devient:

$$S = 2,3 \frac{kT}{q} \left(1 + \frac{C_d}{C_{ox}}\right) \left(1 + \frac{C_{it}}{C_{ox} + C_d}\right) \quad (I.64)$$

I.3.4. Comportement de la mobilité

Jusqu'à présent, la mobilité des porteurs a été supposée constante. En réalité, elle est une fonction complexe de tous les mécanismes mis en jeu.

Dans le cas des transistors MOS, où les porteurs sont confinés au voisinage de l'interface, leur interaction avec l'interface Si/SiO₂ est importante et la valeur de la mobilité devient inférieure à la mobilité de volume.

Au point (x,y) du canal, on désigne par $n(x,y)$ la densité par unité de volume des électrons, $\mu_n(x,y)$ la mobilité des porteurs en ce point et $x_c(y)$ l'épaisseur conductrice du canal.

La mobilité effective des porteurs est définie par:

$$\mu_{neff} = \frac{\int_0^{x_c(y)} \mu_n(x,y) n(x,y) dx}{\int_0^{x_c(y)} n(x,y) dx} \quad (I.65)$$

Or, la charge totale $Q_n(y)$ s'écrit:

$$Q_n(y) = -q \int_0^{x_c(y)} n(x,y) dx \quad (I.66)$$

en combinant les équations (I.65) et (I.66) on obtient.

$$\mu_{neff} = -\frac{q}{Q_n(y)} \int_0^{x_c(y)} \mu_n(x,y) n(x,y) dx \quad (I.67)$$

I.3.5. Effets de la réduction des dimensions

Les transistors considérés jusqu'ici étaient supposés être de grande taille. Or l'évolution des circuits intégrés vers une plus grande intégration entraîne d'abord des réductions importantes de la longueur et de la largeur des transistors MOS. Le modèle

théorique défini précédemment doit donc être modifié pour prendre en compte les effets secondaires liés à la réduction des dimensions.

I.3.5.1. Effets de canal court

La réduction de la longueur du canal d'un transistor MOS introduit une modification de la charge d'espace sous la grille qui contrôle le fonctionnement du transistor, en particulier par l'intermédiaire de la tension de seuil V_T . En effet, avec la réduction des dimensions, la distribution du potentiel devient bidimensionnelle et le champ électrique est tel que les porteurs atteignent leur vitesse de saturation. Les dimensions des zones désertées sous le drain et sous la source deviennent du même ordre de grandeur que la longueur du canal, la charge de déplétion dans ces zones n'est plus négligeable devant la charge d'inversion.

Il résulte de tous ces effets une déformation des caractéristiques de fonctionnement, affectant particulièrement la tension de seuil du transistor. La variation de tension de seuil suite à la diminution de la longueur de grille peut être modélisée par un calcul de la valeur de la charge d'espace Q_D dans la zone de déplétion (cf. figure I.7 (a)).

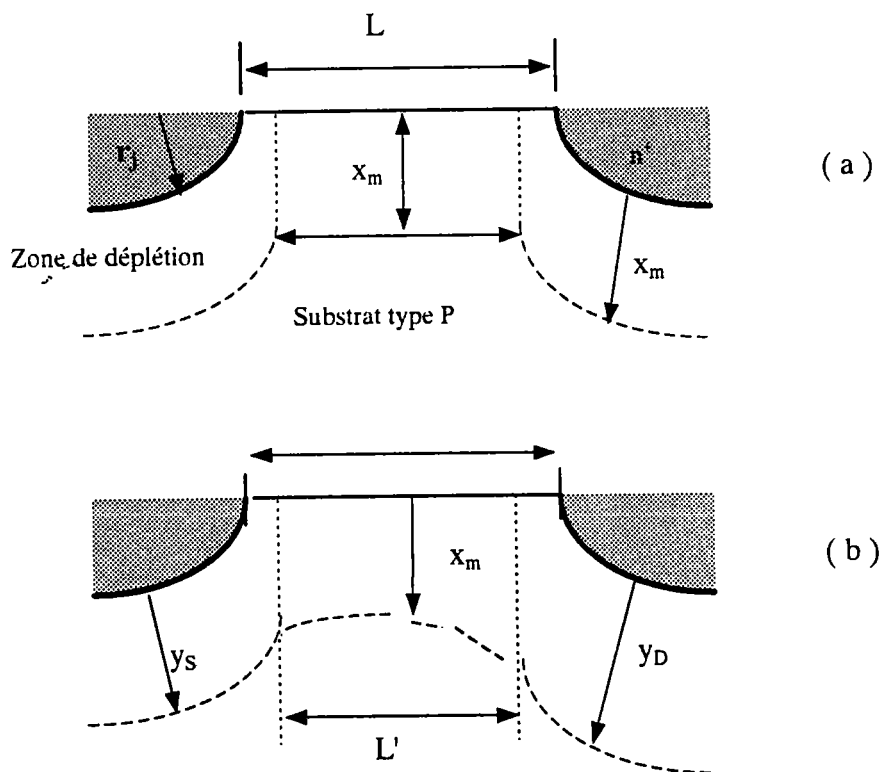


Figure I.7 : Visualisation des zones de déplétion.
 (a) sans polarisation du drain.
 (b) avec polarisation positive du drain.

Le calcul de la charge d'espace Q_D dans le cas d'un transistor à canal long [1] conduit à :

$$Q_D = qN_a x_m \quad (I.68)$$

Dans le cas d'un transistor à canal court, la charge d'espace Q'_D sous le canal, en tenant compte de la forme trapézoïde de la zone de déplétion, conduit [1] à l'expression:

$$\frac{Q'_D}{W} = qN_a x_m \left\{ 1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_m}{r_j}} - 1 \right) \right\} \quad (I.69)$$

avec x_m , extension maximale de la zone de charge d'espace,

et r_j , profondeur des jonctions de source et drain en fin de process.

Ainsi, la variation de tension de seuil ($V_{T_long} - V_{T_court}$) est donnée par:

$$\Delta V_T \approx \frac{qN_a x_m r_j}{C_{ox} L} \left[\left(\sqrt{1 + \frac{2x_m}{r_j}} - 1 \right) \right] \quad (I.70)$$

Pour prendre en compte les effets de la tension de drain, provoquant une déformation non uniforme de la zone de déplétion, il faut considérer les extensions particulières des zones de charge d'espace sous la source et sous le drain (cf. figure I.7 (b)), données par:

$$y_S \approx \sqrt{\frac{2\epsilon_s}{qN_a} (V_{bi} - \psi_s)} \quad (I.71) \quad (\text{extension côté source})$$

$$y_D \approx \sqrt{\frac{2\epsilon_s}{qN_a} (V_{bi} - \psi_s + V_D)} \quad (I.72) \quad (\text{extension côté drain})$$

avec ψ_s : potentiel de surface dont la valeur doit être prise au point d'inversion et V_{bi} : barrière de potentiel des jonctions source-substrat et drain-substrat.

Dans ce cas, l'équation (I.70) donnant la variation de tension de seuil devient:

$$\Delta V_T = V_{Tl} - V_{TC} \approx \frac{qN_a x_m r_j}{2C_{ox} L} \left[\left(\sqrt{1 + \frac{2y_S}{r_j}} - 1 \right) + \left(\sqrt{1 + \frac{2y_D}{r_j}} - 1 \right) \right] \quad (I.73)$$

Cette équation montre que la tension de seuil du transistor décroît avec la diminution de la longueur de grille, proportionnellement à $1/L$.

I.3.5.2. Effets de canal étroit

Une autre cause de variation de la tension de seuil est la réduction de la largeur du canal. De même, cette variation est liée à une extension non négligeable de la région de déplétion latérale. Dans l'hypothèse d'une zone de charge d'espace latérale de forme cylindrique, la variation de tension de seuil est donnée par [1]:

$$\Delta V_T \approx -\frac{\prod X_m}{2 W} \sqrt{\frac{2\epsilon_s q N_A (2\psi_B + V_{BS})}{C_{ox}}} \quad (I.73')$$

Remarque: Notons également que certaines modélisations de la variation de la tension de seuil avec la réduction des dimensions [7], combinent les effets de réduction de longueur et de largeur. Cependant, ces modélisations nécessitent souvent la connaissance de certains paramètres technologiques supplémentaires.

I.4. JONCTION P-N

Nous développons dans ce paragraphe les équations de transport, et les principaux mécanismes de recombinaison qui ont permis la mise au point de la méthode d'extraction des paramètres d'une jonction P-N.

I.4.1. Equation de conduction

Les phénomènes de transport des porteurs dans un semiconducteur sont décrits par le système d'équation (I.74), dont la solution permet d'obtenir une représentation de la caractéristique courant-tension.

$$\begin{cases} \vec{J}_n = qD_n \vec{\nabla}n + q\mu_n n \vec{E} \\ \vec{J}_p = -qD_p \vec{\nabla}p + q\mu_p p \vec{E} \\ J_n = qU_n \\ J_p = qU_p \\ \nabla(\epsilon \vec{E}) = \rho \end{cases} \quad (I.74)$$

où,

n et p sont les densités d'électrons et de trous libres dans le semiconducteur (en cm^{-3}),

J_n et J_p les densités de courants d'électrons et de trous ($A.cm^{-2}$),

D_n et D_p les coefficients de diffusion d'électrons et de trous ($cm^2.s^{-1}$),

μ_n et μ_p les mobilités effectives des électrons et des trous ($cm^2.V^{-1}.s^{-1}$),

U_n et U_p les taux de génération recombinaison des électrons et des trous ($cm^{-3}.s^{-1}$)

\vec{E} le champ électrique dû à la polarisation

$\rho = q(N_{d^+} - N_{a^-} + p - n - N_T)$ la densité de charges libres

N_{d^+}, N_{a^-}, N_T étant respectivement les densités d'atomes donneurs et accepteurs ionisés et de charges piégées sur un centre recombinant.

Les deux premières équations sont les expressions des densités de courant, les deux suivantes traduisent la conservation des particules (équations de continuité) et la dernière relie le champ électrique à la densité de charges libres.

L'expression du taux U de génération-recombinaison des porteurs est obtenue en prenant en considération tous les mécanismes de génération et de recombinaison des électrons et des trous. Elle est notamment fonction des densités volumiques des porteurs et des centres de recombinaison.

Le courant total sortant du volume v du semiconducteur est donné par:

$$I = \iiint_v qUdv \quad (1.75)$$

Des solutions numériques [8,9], basées sur des approximations, ont été proposées pour résoudre ces équations. Ces approximations considèrent que les taux de capture des électrons et des trous ne sont pas égaux et que la densité de charges piégées par un centre recombinant est faible par rapport à la densité des électrons et des trous libres.

1.4.2. Principaux mécanismes de recombinaison

Il existe plusieurs mécanismes de génération et de recombinaison des porteurs et la prédominance d'un de ces mécanismes dépend du dispositif considéré ou du point de fonctionnement considéré.

I.4.2.1. Génération-recombinaison bande à bande

La génération s'effectue par l'émission d'un électron de la bande valence vers la bande de conduction, suite à l'absorption d'un photon ou d'un phonon. A l'inverse, la recombinaison s'effectue par capture directe d'un électron de la bande de conduction par un trou de la bande de valence, avec émission d'un photon.

I.4.2.2. Génération-recombinaison Auger

La recombinaison est le processus inverse de l'ionisation par choc (impact) qui se produit lorsqu'un porteur de grande énergie cinétique (électron ou trou) perd la plus grande partie de son énergie cinétique en créant une paire électron-trou. Dans le cas d'un processus Auger, la recombinaison d'une paire électron-trou bande à bande s'accompagne par l'émission d'un photon qui peut être absorbé par un électron de la bande de conduction, acquérant ainsi une énergie plus importante.

I.4.2.3. Génération-recombinaison par centre recombinant

Dans le cas de dispositif à faible niveau de dopage, par conséquent à faible taux de recombinaison, la présence d'impureté joue un rôle important dans le processus de recombinaison. Ces impuretés font apparaître des niveaux d'énergies situés dans la bande interdite du semiconducteur.

I.4.3. Taux de Génération-recombinaison

Pour un semiconducteur non dégénéré, les taux de génération-recombinaison des électrons et des trous par un centre piège d'énergie E_t est donné par:

$$\begin{cases} U_n = R_n - G_n = C_n n p_t - e_n n_t \\ U_p = R_p - G_p = C_p p n_t - e_p p_t \end{cases} \quad (1.76)$$

où n et p sont les concentrations des porteurs libres (électrons et trous). R_n , R_p , G_n et G_p sont respectivement les taux de recombinaison et de génération pour les électrons et les trous. C_n , C_p , e_n et e_p sont les coefficients de capture et d'émission des électrons et des trous par le centre E_t . Les concentrations des centres négatifs et neutres sont n_t et p_t .

L'expression du taux de génération-recombinaison dans le modèle de Shockley-Read est donnée par:

$$U = \frac{\sigma_n \sigma_p V_{th} N_t (np - n_i^2)}{\sigma_p (p + p_1) + \sigma_n (n + n_1)} \quad (1.77)$$

σ_n et σ_p étant les sections efficace de capture et d'émission des électrons et des trous, V_{th} la vitesse des porteurs, N_t la densité de piège, n_1 et p_1 les densités d'électrons et de trous lorsque le niveau d'énergie de Fermi coïncide avec le niveau des centres recombinants.

Dans le cas où le taux de génération-recombinaison peut être mis sous une forme linéaire en n et p , l'intégration de l'équation (1.75) donnant le courant en fonction de la tension de polarisation de la jonction s'écrit [6]:

$$I = \sum_i I_{oi} \left[e^{\frac{qV}{A_i kT}} - 1 \right] \quad (1.78)$$

La sommation s'effectuant sur les divers processus de transport des porteurs. I_{oi} représente le courant de saturation inverse lié au processus i , A_i le facteur de qualité, k la constante de Boltzmann et T la température.

L'application du principe de superposition conduit au modèle d'une jonction qui considère séparément le processus de diffusion-recombinaison dans les régions neutres et le processus de recombinaison dans la zone de charge d'espace de la jonction.

1.5. PHENOMENES DUS AUX IRRADIATIONS

Les effets des irradiations sur les composants électroniques résultent de l'interaction rayonnement-matière qui se produit entre le flux de particules incidentes et les matériaux constitutifs du composant. Les trois constituants des composants électroniques étudiés sont: les semiconducteurs, les isolants et les métaux. Les effets généraux des rayonnements radiatifs sur ces constituants sont bien connus[12].

Les types d'irradiation ayant des effets significatifs sur les composants semiconducteurs sont variés:

- * électrons (e-) et protons (p+) rencontrés dans l'environnement spatial;
- * neutrons (n), rayons X et rayons γ dans le cas des agressions nucléaires exo et endo atmosphériques;
- * γ pour la robotique en milieu hostile;
- * n et γ en physique des particules à proximité du faisceau du collisionneur.

Les effets constatés de ces irradiations sont liés aux caractéristiques des particules incidentes (masses, charges, énergie cinétique), et à celles des cibles (masse, charge, densité). D'une façon générale, on distingue deux effets dans les semiconducteurs:

- déplacement d'atomes dans leur structure en réseau;
- création de paires électron-trou (ionisation).

Ces deux phénomènes sont capables de provoquer des dommages aussi bien temporaires que permanents.

I.5.1. Influence sur les semiconducteurs

Les effets dus aux irradiations, par déplacement ou ionisation, se traduisent par une réduction de la durée de vie des porteurs minoritaires, de la mobilité et lors d'une irradiation à forte dose par la présence de piégeage-dépiégeage de porteurs. Ces réductions de durée de vie entraînent des modifications dans la réponse dynamique des circuits, se traduisant par une diminution de la fréquence d'utilisation[12].

I.5.2. Influence sur les isolants

Les déplacements atomiques induisent peu de dysfonctionnement dans les isolants des composants et des circuits intégrés. Les seuls effets à mentionner sont la création possible de pièges capturant les porteurs et générant des dérives temporelles, ou modifiant les champs électriques de claquage dans les isolants minces, utilisés actuellement dans les circuits intégrés à haute densité[12].

I.5.3. Influence sur les métaux

Les déplacements atomiques peuvent modifier la conductivité des métaux, et ainsi perturber l'équilibre entre les éléments résistifs ajustés avec précision (circuit analogiques).

De même, à très forte fluence, les propriétés mécaniques peuvent être altérées (influence sur les soudures) ou l'effet d'électromigration accentué (rupture de connexions)[12].

I.5.4. Dégradation des paramètres électriques

Dans les composants électroniques, les paramètres qui se trouvent dégradés peuvent être [12]:

- la tension de seuil (V_T), la tension de bande plate (V_{FB}) ou la mobilité μ_{eff} ;
- le courant de fuite pour les jonction P-N polarisées en inverse ou pour les transistors de type n-MOSFET rectangulaire;
- le gain en courant pour les transistors bipolaires;
- l'immunité au bruit;
- le courant de déclenchement du latchup pour les dispositifs constitués de structures PNP;
- le SEU: (phénomène responsable du changement d'état) pour les mémoires bistables.

Ainsi, il apparaît que les effets des rayonnements sur les composants et circuits intégrés sont très divers et affectent l'ensemble des constituants d'un système en fonction de la nature de ces rayonnements, de leur flux et de leur énergie.

I.6. SYNTHÈSE

Ce chapitre avait pour objectif de rappeler les principaux résultats théoriques régissant le fonctionnement d'une structure MOS, d'une jonction P-N, ainsi que les généralités concernant les effets d'irradiation. Cet aspect théorique de notre travail nous servira de base aussi bien dans le développement de nos méthodes d'analyse que dans l'interprétation des résultats et la mise en oeuvre de la simulation.

REFERENCES

- [1] S.M. Sze, "Semiconductor Device, Physics and Technology", John Willey & Son, (1985).
- [2] V. Berland et A. Touboul, IEEE Trans. Nucl.Sci., Vol 39, p-367, Jun 1992
- [3] T. P. Ma, P. V. Dressendorfer, Ionizing Radiation Effects in MOS Devices and Circuit, J. Wiley New-Yorkn 1989.
- [4] C. T. Sah, and H. C. Pao, IEEE Trans. Electron Devices, ED-13, 393 (1966).
- [5] H. K. Ihanola, and J. L Moll, Solid-State Electronics, 7, 423, (1964).
- [6] R. Swanson, and J. Meidl, Solid-State Electronics, 21, 445, (1973).
- [7] G. Merckel, "A Simple Model of the Threshold Voltage of Short and Narrow Channel MOSFETs", Solid State Electron., 23, pp 1207-1213 (1980).
- [8] S. L. Jang, Solid-State Electronic, 34, 373 (1991).
- [9] A. Nussbaum, Phys. Stat-Sol, 19, 441 (1973).
- [10] C.T. Sah, Solar Cells, 17, 1-27 (1986).
- [11] A. Neugroshel and al, "A Method for Determining the Emitter and Base Lifetime in p-n Junction Diodes", IEEE Trans. on Electron Devices, Vol. ED-24, No 6, June 1977.
- [12] A. Holmes-Siedlle, L. Adams, "Hanbook of Radiation Effects", Oxford University Press Inc, New York, 1993.
- [13] L.D. Yau, "A Simple Theory to Predict The Threshold Voltage of Short Channel IGFET's", Solid State Electron., 17, 1059 (1974).

- [15] A. S. Grove and D. J. Fitzgerald, « Surface Effects on p-n Junctions: Characteristics of Surface Space-Charge Regions under Nonequilibrium Conditions », *Solis State Electron.*, 9, 783 (1966).
- [16] J. R. Brews, « A Charge-Sheet Model of the MOSFET », *Solid State Electron.*, 21, 345, (1978).
- [17] J. R. Brews, « Subthreshold Behavior of Uniformly and Nonuniformly Doped Long-Channel MOSFET », *IEEE Trans. Electron Devices*, ED-26, 1282 (1979).
- [18] R. R. Troutman, « Subthreshold Design Considerations for IGFET's », *IEEE J. Solid State Circuits*, SC-9, 55 (1974).
- [19] A. G. Sabnis and J.T. Clements, « Characterization of Electron Mobility in the inverted <100> Si Surface », *IEEE Tech. Dig., Int. Electron Device Meet.*, 1979, p.18.
- [20] R. W. Coen and R. S. Muller, « Velocity of Surface Carriers in Inversion Layers on silicon », *Solid State Electron.*, 23,34 (1980).
- [21] L. D. Yau, « Simple I-V Model for Short Channel IGFET's in Triode Region », *Electron. Lett.* 11,44 (1975).
- [22] M. Fukuma and M. Matsumura, « A Simple Model for Short Channel MOSFET's, *Proc. IEEE*, 65, 1212 (1977).

**CHAPITRE II : PRESENTATION DES COMPOSANTS ET
METHODES D'ANALYSE**

II.1. INTRODUCTION

Ce chapitre a pour objet de présenter les composants (capacités, transistors et diodes) sur lesquels ce travail a été réalisé. Ces composants sont issus de la technologie 1,2 μm de MATRA-MHS. Nous décrivons également ici les différentes techniques de mesure et d'extraction des paramètres développés. En particulier, nous présenterons nos méthodes particulières d'extraction de paramètres des capacités MOS, des transistors MOS et des jonctions.

II.2. PRESENTATION DES COMPOSANTS ETUDIÉS

Les composants étudiés sont issus de la technologie S.C M.O.S. 1,2 μm de MATRA-M.H.S à deux niveaux de métallisation. Ils sont contenus dans des véhicules de test différents montés dans des boîtiers DIL 40 et 24 broches.

II.2.1. Capacités MOS et Diodes

Les capacités et les diodes étudiées sont contenues dans le même véhicule de test, monté en boîtiers DIL 24 broches.

Les caractéristiques géométriques des capacités MOS étudiées sont données dans le tableau II.1. Ces capacités sont réalisées sur substrat n ou p, l'épaisseur d'oxyde étant dans tous les cas d'environ 19 nm. Pour chaque type de capacité (n ou p) nous avons une structure carrée de même surfaces et périmètres.

Nom	Type du substrat	Caractéristiques	Surface (μm^2)	Périmètre (μm)
C1	P-	Carrée 316 μm x 316 μm	99856	1264
C3	N-	Carrée 316 μm x 316 μm	99856	1264

Tableau II.1: *Caractéristiques géométriques des capacités.*

Le procédé de fabrication technologique de ces capacités étant le même que celui des transistors MOS, leur caractérisation nous permettra d'obtenir certains paramètres nécessaires à la caractérisation de ces transistors.

Le tableau II.2 présente les caractéristiques géométriques des diodes étudiées, ces diodes sont de plusieurs types et possèdent des structures carrées ou interdigitées. Les différentes jonctions n/p contenues dans ces diodes rendent comptes des caissons intégrés dans le transistor. Leur caractérisation permettra donc de mieux apprécier la qualité de ces jonctions dans le transistor.

Nom	Type de jonction	Caractéristiques	Surface (μm^2)	Périmètre (μm)
D5	N-/P-	Carrée $316\mu\text{m} \times 316\mu\text{m}$	99856	1264
D6	N-/P-	Interdigitée $L=400\mu\text{m}$ $W=10\mu\text{m}$ Espacement $10\mu\text{m}$	201600	41600
D7	N+/P-	Carrée $316\mu\text{m} \times 316\mu\text{m}$	99856	1264
D8	N+/P-	Interdigitée $L=400\mu\text{m}$ $W=2,4\mu\text{m}$ Espacement $1,8\mu\text{m}$	106075	88044

Tableau II.2: Caractéristiques géométriques des diodes

II.2.2. Transistors MOS

Les transistors étudiés sont des transistors MOS de technologie LDD (Lightly Doped Drain) à canal n (cf. figure II.1).

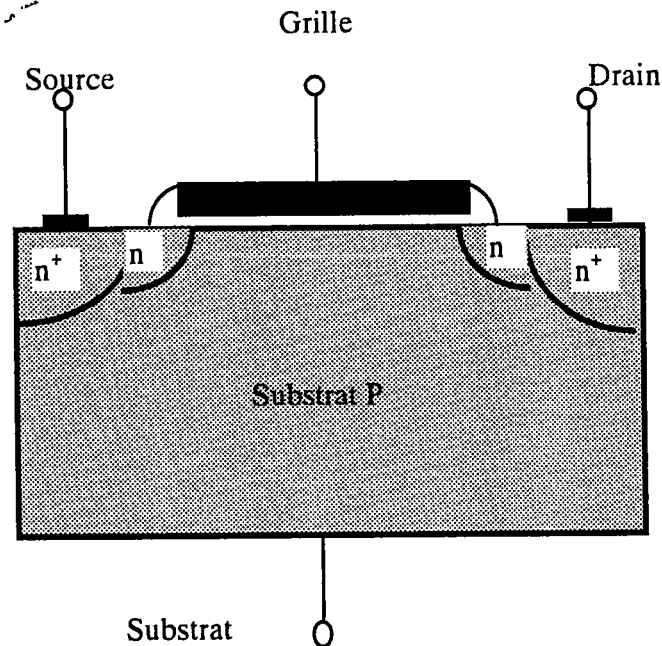


Figure II.1: Structure d'un transistor LDDMOS à canal N

Dans ce type de structure, la source et le drain présentent une région plus faiblement dopée au voisinage du canal actif du transistor. Ceci dans le but de réduire les effets de saturation de la vitesse des porteurs (par diminution du champ électrique longitudinal) et les phénomènes liés à l'injection des porteurs chauds. Par contre, cette technologie engendre une augmentation de la résistance d'accès des transistors.

Les transistors sont contenus dans des véhicules de test montés dans des boîtiers DIL 40 broches. Quatre géométries de grille sont disponibles, l'épaisseur de l'oxyde (19 nm) étant la même dans tous les cas. Le tableau II.3 donne leurs caractéristiques géométriques.

Toutes les grilles et tous les drains sont accessibles individuellement et chaque grille est protégée par un système de deux diodes montées en séries comme le montre la figure II.2. Ces diodes sont bloquées à l'aide d'une polarisation de 5 V lors de la caractérisation du transistor.

Nom	W (μm)	L (μm)
T1	25	0,8
T2	25	0,8
T3	25	0,8
T7	1,4	0,8
T8	1,4	0,8
T10	1,4	0,8
T13	1,4	25
T14	1,4	25
T15	1,4	25
T17	25	25
T18	25	25
T19	25	25

Tableau II.3: Caractéristiques géométriques des transistors MOS

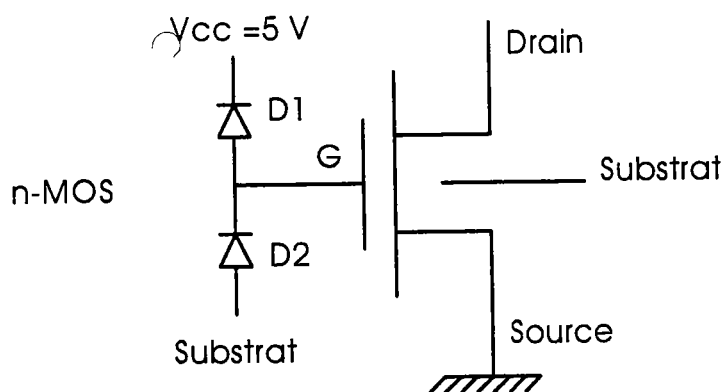


Figure II.2: Diodes de protection des transistors.

A l'intérieur d'un véhicule de test, trois lignes métalliques distribuent les alimentations de source, substrat et protection de grille à l'ensemble des transistors. La représentation schématique figure II.3 donne la caractéristique associée à l'un des transistors du boîtier avec la diodes de protection qui lui est associée.

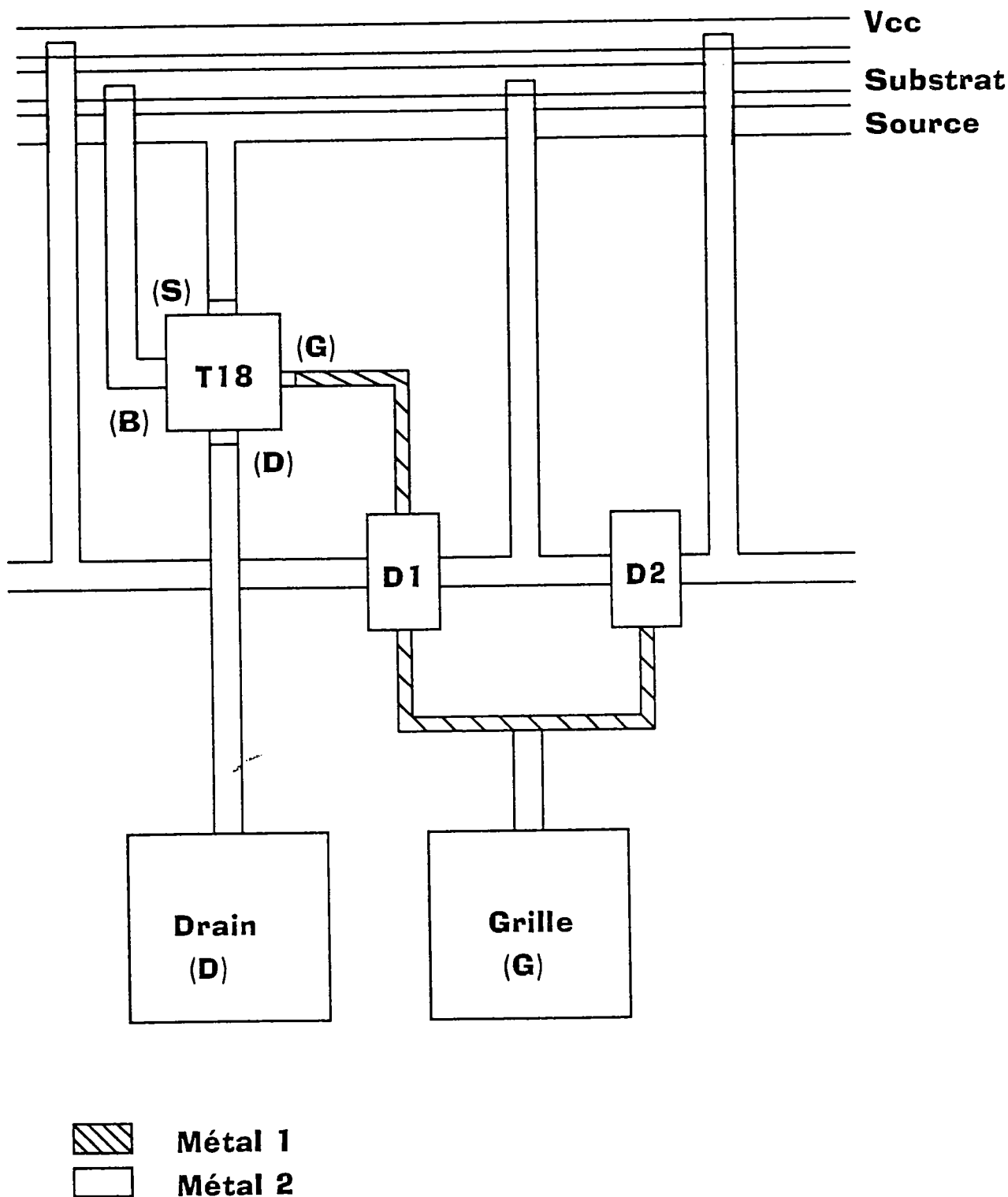


Figure II.3: Différents niveaux de métallisation.

II.3. METHODES D'ANALYSE

Ce paragraphe présente les bancs de mesure et les méthodes d'extraction des paramètres développés pour l'étude des composants que nous venons de présenter.

II.3.1. Analyse des capacités MOS

La caractérisation des capacités MOS a été effectuée à partir d'un pont d'impédance (H.P. LF IMPEDANCE ANALYSER 4192A) piloté par un ordinateur via un bus IEEE. Dans le cadre de ce travail, notre étude s'est limitée à une analyse classique du comportement haute fréquence (1 MHz) et à température ambiante (300K) de la structure MOS. Cette analyse est basée sur la comparaison des caractéristiques expérimentales et théoriques C-V haute fréquence.

II.3.1.1. Détermination de l'épaisseur de l'oxyde

L'épaisseur d'oxyde d_{ox} est déterminée à partir de la capacité mesurée de la structure en régime d'accumulation C_{acc} , la surface de l'oxyde étant fournie par le constructeur (cf. tableau II.1):

$$d_{ox} = \frac{\epsilon_{ox}}{C_{acc}} S \quad (II.1)$$

où S est la surface de la capacité

$$\epsilon_{ox} = \frac{1}{36\pi 10^9} 3.82 \text{ F/m}$$

Un exemple de mesure C(V) pour une capacité de type P est donnée figure II.4.

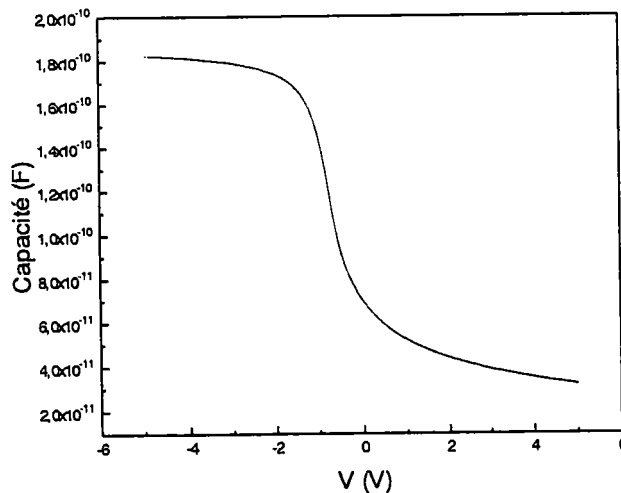


Figure II.4: Caractéristique C-V haute fréquence (1 MHz) d'une capacité MOS type P.

II.3.1.2. Détermination du niveau de dopage

Il est possible de déterminer la valeur du niveau de dopage du substrat près de la surface. En effet, en régime de déplétion la variation de la capacité correspond à la mise en série de la capacité d'oxyde C_{ox} avec la capacité C_{sc} due à la zone de charge d'espace dans le semiconducteur. Dans ce cas, la capacité de la structure se met sous la forme:

$$C = \frac{C_{ox}}{\sqrt{1 + 2 \frac{C_{ox}^2}{q\epsilon_{si}N_{sub}} V_G}} \quad (II.5)$$

Soit encore,

$$\left(\frac{C_{ox}}{C}\right)^2 = 1 + 2 \frac{C_{ox}^2}{q\epsilon_{si}N_{sub}} V_G \quad (II.6)$$

Ainsi, à l'aide de la pente de la courbe $\left(\frac{C_{ox}}{C}\right)^2 = f(V_G)$ on extrait le dopage du substrat N_{sub} , comme le montre la figure ci-dessous.

Remarque: Ce qui précède nécessite l'hypothèse d'un dopage uniforme près de la surface

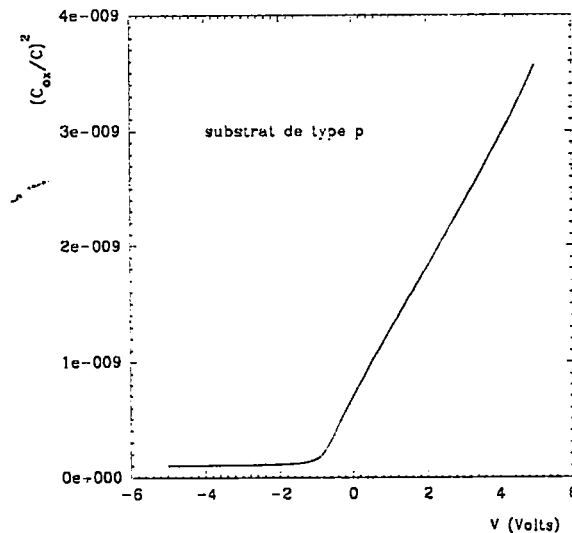


Figure II.5: Courbe de détermination du dopage

II.3.1.3. Détermination de la tension de bande plate

La capacité de l'oxyde et le dopage du substrat ayant été déterminés plus haut, la tension de bandes plates peut être déterminée par comparaison des caractéristiques

expérimentales et théoriques (idéale) C-V haute fréquence. La condition de bandes plates dans une capacité MOS idéale est réalisée pour une tension de grille nulle, dans ce cas la capacité de la structure équivaut à la capacité de bandes plates C_{FB} , donnée par:

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{1}{C_{sFB}} \quad (II.7)$$

Ainsi, l'équation II.7 peut encore s'écrire:

$$C_{FB} = \frac{\epsilon_{ox}}{d_{ox} + \frac{\epsilon_{ox}}{\epsilon_{si}} \sqrt{\frac{\epsilon_{si} kT}{q^2 N_A}}} \quad (II.8)$$

où C_{FB} est la capacité de bandes plates, obtenue en effectuant un développement

limité de I.21, et
$$C_{sFB} = \left[\frac{q^2 \epsilon_s N_A}{kT} \right]^{1/2}$$

Par conséquent, l'écart de tension pour conserver la même valeur C_{FB} entre les deux caractéristiques (idéale et réelle) correspond à la tension de bandes plates.

Une simulation numérique du comportement d'une structure idéale a permis la comparaison des caractéristiques idéales et réelles (cf figure II.6), et la détermination de la tension de bandes plates V_{FB} .

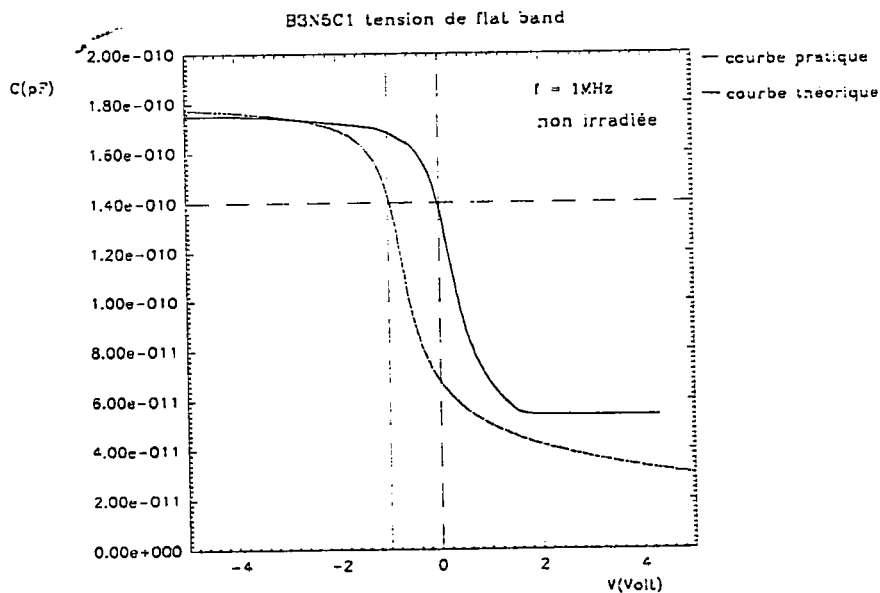


Figure II.6 : Comparaison des caractéristiques C-V théorique et expérimentale.

II.3.2. Analyse des transistors MOS

Le comportement électrique des transistors MOSFET est souvent décrit par la connaissance de ses paramètres caractéristiques. En général, ces paramètres sont de deux types:

- les paramètres physiques, ou paramètres de conception du dispositif, liés à sa structure physique (niveaux de dopage, longueur et largeur du canal, etc.). La connaissance de ces paramètres est notamment nécessaire pour pouvoir réaliser la simulation du dispositif, comme nous le verrons au chapitre IV.

- les paramètres électriques, découlant des caractéristiques électriques du transistor. (tension de seuil, mobilité à faible champ, etc.). Ces paramètres dépendent de certains paramètres physiques de conception.

Nous proposons également une méthode d'analyse du comportement électrique de la jonction substrat-drain du transistor MOS. Cette analyse permet d'apprécier la qualité de cette jonction à l'aide de notre logiciel de calcul PARADI, comme nous le verrons plus loin.

II.3.2.1. Méthodologie de test

L'ensemble du système de mesure utilisé est essentiellement constitué de:

- * une SMU (SOURCE-MEASURE UNITS) Keithley 236 pouvant fonctionner soit en mode source de tension continue (10^{-4} - 110 V) et ampèremètre, soit mode source de courant continu (10^{-13} - 10^{-1} A) et voltmètre. Les commandes tension, courant, ampèremètre et voltmètre étant programmables à distance.

- * une alimentation ASF 400 stabilisée en mode tension continue de 0 à 36 V. Les commandes tensions sont programmables à distance par une tension analogique 0 - 10 V pour chaque mode.

- * l'échantillon est monté sur un support à force d'insertion nulle DIL 40 broches.

- * un micro-ordinateur compatible IBM-PC, muni d'un port IEEE connecté à l'ensemble des appareils de mesure. Il permet la sauvegarde et le traitement des données.

II.3.2.2. Extraction des paramètres

Différentes méthodes d'extraction des paramètres électriques des MOSFETs ont été proposées dans la littérature[1-4]. Ces méthodes sont basées sur l'hypothèse que la tension de seuil peut-être obtenue par extrapolation, sur l'axe des tensions, de la partie linéaire de la caractéristiques de transfert $I_{DS}(V_{gs})$ à faible polarisation de drain. Ce qui en d'autres termes, revient à supposer que la mobilité effective des porteurs peut être considérée comme indépendante de la tension de grille. Cependant, d'autres travaux [5,6] ont montré que la mobilité diminuait sous l'effet de la tension de grille et ce notamment dans le cas de transistors à canal court.

Nous présentons ici une méthode[7] de détermination des paramètres de conduction des transistors MOS ayant des longueurs de grille différentes. L'hypothèse utilisée repose sur le fait que les composants étudiés étant fabriqués selon le même procédé technologiques, ils possèdent les mêmes valeurs de résistance d'accès R_{SD} et de réduction technologique de longueur du canal ΔL .

II.3.2.2.1. Equations du modèle

En forte inversion ($V_{GS} > V_T$) et en régime linéaire ($V_{DS} \ll V_{GS} - V_T$), l'expression du courant de drain, en tenant compte des résistances d'accès de source et de drain, est donnée par :

$$I_{DS} = \frac{W}{L_{eff}} \mu_{eff} C_{ox} (V_{GS} - V_T) (V_{DS} - R_{sd} I_{DS}) \quad (II.9)$$

où $R_{sd} = R_s + R_d$ (II.10) représente la résistance d'accès totale de source et drain,

et $L_{eff} = L_M - \Delta L$ (II.11) la longueur effective du canal (en fin de process), et L_M la longueur masque de la grille, comme visible sur la figure ci-dessous.

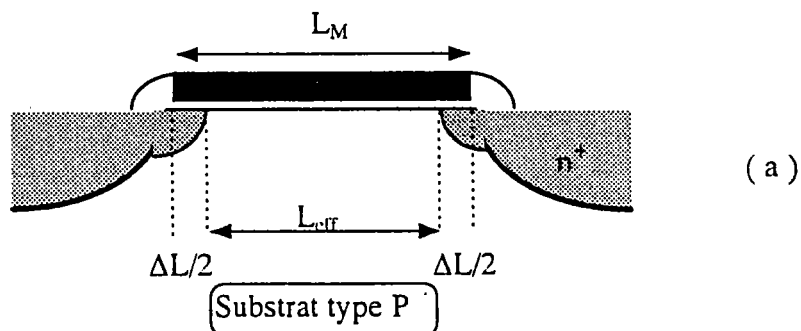


Figure II.7 : Différenciation des longueurs masque L_M et effective L_{eff} du canal.

Dans l'expression de la mobilité dans le cas de transistors à structure LDD, on néglige l'influence du champ électrique longitudinal du fait de l'existence d'une double diffusion latérale et que nous travaillons à faible polarisation de drain. On a alors:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (II.12)$$

où μ_0 est la mobilité à faible champ et θ le paramètre qui tient compte de la dégradation de la mobilité en fonction du champ électrique transversal. En combinant les équations (II.9) et (II.12), nous obtenons une nouvelle expression du courant de drain:

$$I_{DS} = \frac{KV_{DS}(V_{GS} - V_T)}{[1 + (\theta + KR_{sd})(V_{GS} - V_T)]} \quad (II.13)$$

où
$$K = \left(\frac{W}{L_M - \Delta L}\right)\mu_0 C_{ox} \quad (II.14)$$

La transconductance $g_m = \left.\frac{\partial I_{DS}}{\partial V_{GS}}\right|_{V_{DS}}$, a pour expression :

$$g_m = \frac{KV_{DS}}{[1 + (\theta + KR_{sd})(V_{GS} - V_T)]^2} \quad (II.15)$$

D'autre part, la résistance d'accès du transistor peut-être obtenue en écrivant que la résistance totale mesurée R_m (à faible polarisation de drain) est la somme de la résistance d'accès R_{sd} et de la résistance effective du canal R_{ch} :

$$R_m = R_{sd} + R_{ch} \quad (II.16)$$

avec
$$R_{ch} = \frac{L_{eff}}{[\mu_{eff} C_{ox} W (V_{GS} - V_T)]} \quad (II.17)$$

soit finalement, en combinant les équations (II.11) (II.16) et (II.17),

$$R_m = A + \left(\frac{\alpha}{W}\right)L_M \quad (II.18)$$

avec
$$A = R_{sd} - \left(\frac{\alpha}{W}\right)\Delta L \quad (II.19)$$

$$\text{et } \alpha = \frac{1}{\mu_{eff} C_{ox} (V_{GS} - V_T)} \quad (II.20)$$

II.3.2.2.2. Détermination de la tension de seuil V_T

La tension de seuil est déterminée à partir de la fonction II.21 pour de faibles valeurs de V_{DS} :

$$F(V_{GS}) = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{KV_{DS}} (V_{GS} - V_T) \quad (II.21)$$

à partir des données expérimentales.

Cette fonction étant linéaire en V_{GS} , la tension de seuil V_T pourra être obtenue par intersection avec l'axe des tensions de l'extrapolation avec la zone linéaire. La figure II.8 montre la fonction $F(V_{GS})$ à partir de laquelle ont été évaluées les tensions de seuil des transistors.

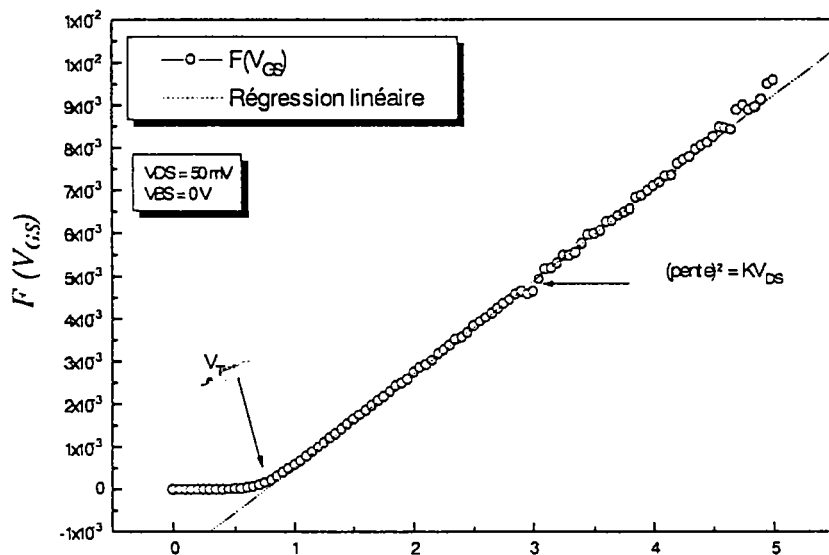


Figure II.8 : Tracé de la caractéristique $F(V_{GS})$ en vue de la détermination de la tension de seuil V_T

Notons ici que la pente de cette caractéristique étant liée au coefficient $\sqrt{KV_{DS}}$, où K est donné équation (II.14), la mobilité à faible champ μ_0 pourra être obtenue après détermination de ΔL .

Remarque: Les équations développées dans le paragraphe II.3.2.2.1, ont été établies dans le cas d'un transistor à canal long. Pour un transistor à canal court, il faut tenir compte de la chute de tension introduit par la charge d'espace sous la source et sous le drain (cf. paragraphe.I.3.5.1).

II.3.2.2.3. Détermination de R_{sd} et de ΔL

Cette détermination est basée sur l'exploitation des caractéristiques $I_{DS} = f(V_{DS})$, mesurées dans les conditions de forte inversion et en gardant $(V_{GS} - V_T)$ constant pour les transistors, ainsi les coefficients A et α pourraient être considérés comme constants pour chaque $(V_{GS} - V_T)$. Les mesures sont effectuées pour trois valeurs de tension $(V_{GS} - V_T)$ (cf. figures II.9). Les résistances mesurées R_m sont déterminées dans la zone de fonctionnement ohmique du transistor.

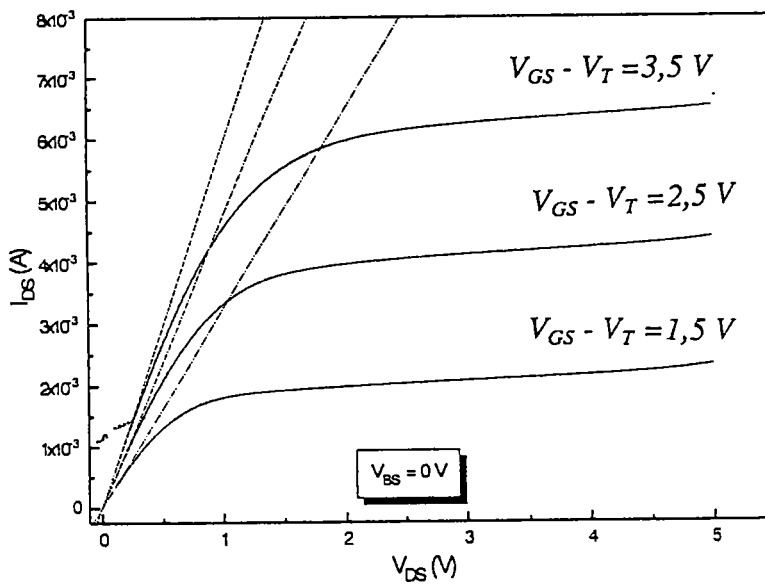


Figure II.9: Mesure des résistances totales $R_m = R_{sd} + R_{ch}$ pour différentes polarisations de grille $(V_{GS} - V_T) = 1; 2; 3V$, dans le cas d'un transistor $W/L=25/0,8$.

Ainsi, trois couples de valeurs $(R_m; L_M)$ peuvent être obtenus pour chaque transistor. Ces trois couples de valeurs vont permettre la résolution de l'équation (II.18) et l'obtention de trois couples solutions $(A; \alpha/W)$. La figure II.10 montre le tracé de la fonction représentative de l'équation (II.18).

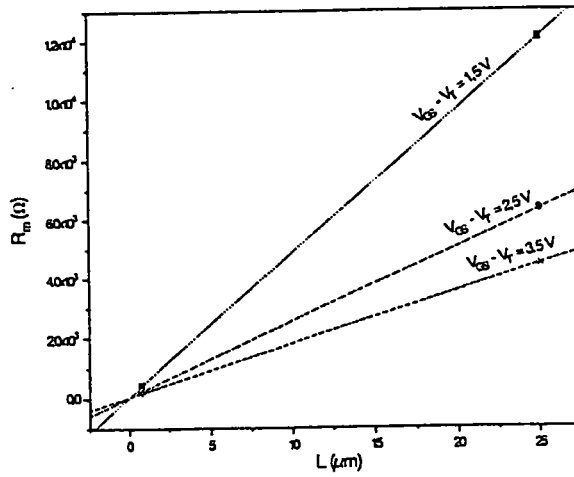


Figure II.10 : Variations de la résistance totale mesurée R_m en fonction de la longueur masque de la grille L_M , en vue de la détermination des constantes A et α/W .

Ainsi évalués, ces trois couples de valeurs vont permettre la résolution de l'équation (II.9), afin de déterminer la résistance d'accès R_{sd} et la réduction technologique de la longueur du canal ΔL . La figure II.11 représente les variations expérimentales du coefficient A en fonction de α/W .

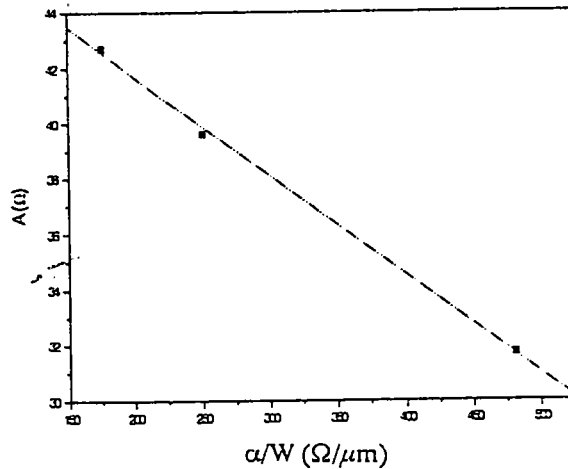


Figure II.11 : Courbe représentative des variations du coefficient A en fonction de α/W en vue de déterminer les paramètres R_{sd} et ΔL .

Conformément à l'équation (II.19), la résistance d'accès R_{sd} est obtenue par intersection entre l'extrapolation et l'axe des ordonnées, alors que la réduction technologique de la longueur du canal ΔL se déduit de la pente de la caractéristique.

Remarque: Il faut noter que dans tout ce qui précède on suppose que pour une même valeur de $(V_{GS} - V_T)$, la mobilité varie peu quelque soit la longueur et pour une largeur donnée.

II.3.2.2.4. Détermination de μ_0 et de θ

Connaissant ΔL , et le coefficient $\sqrt{KV_{DS}}$ la mobilité à faible champ peut alors s'écrire d'après (II.14):

$$\mu_0 = K \frac{L_M - \Delta L}{WC_{ox}} \quad (II.22)$$

Les coefficients d'atténuation de mobilité θ sont déterminés à partir du tracé expérimental de la fonction $\sqrt{g_m} = f(I_{DS})$. L'expression analytique de cette fonction est obtenue en combinant les équations (II.9) et (II.12) et (II.21), ce qui conduit à :

$$\sqrt{g_m} = \sqrt{KV_{DS}} - \frac{\theta + KR_{sd}}{\sqrt{KV_{DS}}} I_{DS} \quad (II.23)$$

Compte tenu de cette équation et du fait que tous les autres paramètres ont déjà été déterminés, les valeurs de θ pour chacun des transistors pourront être obtenues à partir de la pente de la caractéristique $\sqrt{g_m} = f(I_{DS})$.

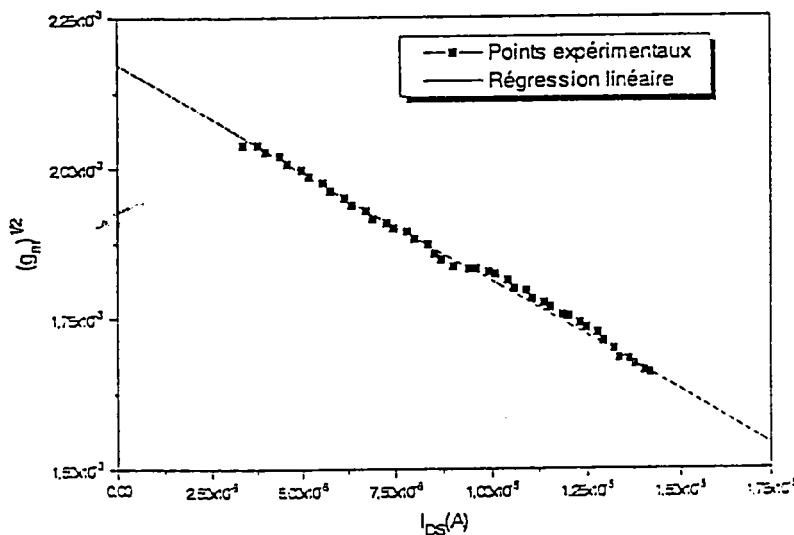


Figure II.12: Tracé de la caractéristique $\sqrt{g_m} = f(I_{ds})$ en vue de la détermination des coefficients d'atténuation.

Remarque: Les longueurs des transistors disponibles (cf tableau II.3) ne permettent pas une étude des limites de la méthode. Cependant, les valeurs des paramètres obtenus sont

en bon accord avec les données constructeur et les résultats d'autres travaux [8], comme nous le verrons au chapitre III.

II.3.2.2.5. Détermination des densités de charges piégées

Suite à une irradiation ionisante, les dégradations observées sur des transistors MOS dépendent de la polarisation de l'oxyde de grille par rapport au substrat durant l'irradiation. Les études réalisées sur des capacités MOS ont permis de relier les mécanismes de dégradation aux créations de charges dans la région de l'oxyde de grille et à l'interface Si/SiO₂. Il a été montré [9] que la dérive de la caractéristique C(V) était liée à la présence de charges dans l'oxyde, alors que la déformation qui s'ajoute à la translation précédente est due à la présence de charges d'interface.

Plusieurs auteurs proposent des méthodes permettant la séparation de ces deux composantes dans les transistors à structure MOS [10], [11]. Cette séparation permet de mieux comprendre la variation de la tension de seuil. Dans le cadre de cette étude, nous nous sommes intéressés à la méthode proposée par McWorther et Winokur [10], basée sur des mesures I-V en régime de saturation et en conduction sous le seuil.

La méthode consiste à déterminer la variation de la tension de seuil et de la tension de middle-gap suite à une irradiation. La variation de la tension de seuil, ΔV_{th} , est déterminée à partir de la fonction de transfert $I_D=f(V_{GS})$ mesurée en régime de saturation ($V_{DS} \gg V_{GS} - V_T$), avec:

$$\Delta V_{th} = V_{thIR} - V_{th0} \quad (II.24)$$

où V_{thIR} et V_{th0} sont respectivement les tensions de seuil après et avant irradiation.

La valeur de la tension de middle-gap est obtenue à partir de la caractéristique de transfert en régime de conduction sous le seuil à forte tension de drain au point où le courant $I_{DS}=I_{mg}$.

Le courant drain sous le seuil d'un MOSFET en régime de saturation est donné par la relation [12]:

$$I_{DS} = \sqrt{2}\mu \frac{W}{2L} \cdot (N_A L_B kT) \cdot \left(\frac{n_i}{N_A}\right)^2 \exp(q \cdot \phi_s / kT) \sqrt{(q \cdot \phi_s / kT)} \quad (II.25)$$

où ϕ_s est le potentiel de surface;
 N_A est le niveau de dopage dans le canal supposé uniforme;
 et L_B , la longueur de Debye extrinsèque: $L_B = \sqrt{kT\epsilon_{si} / (q^2 N_A)}$

On pose $C_m = \frac{\sqrt{2}\mu W}{2L}$

Le courant du middle-gap est obtenu pour le potentiel de surface tel que $U_S=U_F$, soit:

$$\phi_s = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (\text{II } 26)$$

La variation de la tension due aux charges dans l'oxyde est la différence entre les tensions de middle-gap avant et après irradiation, $\Delta V_{N_{ot}} = V_{mg_{IR}} - V_{mg_0}$. (II 27-a)

La contribution de la variation du nombre de pièges à l'interface est alors déterminée par la différence: $\Delta V_{N_{it}} = \Delta V_{th} - \Delta V_{N_{ot}}$. (II 27-b)

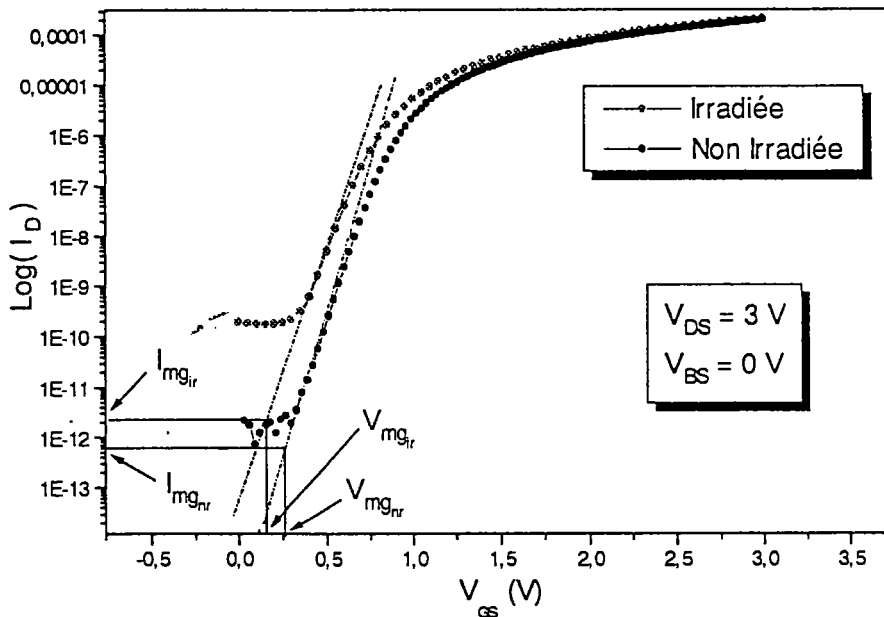


Figure II.13: Caractéristique de transfert en conduction sous le seuil et en régime de saturation

La dérive de la tension de seuil due à la variation de charges à l'interface permet de déterminer l'augmentation du nombre de pièges à l'interface par unité de surface:

$$\Delta N_{it} = \Delta V_{N_{it}} C_{ox} / q. \quad (\text{II } 28-a)$$

De même l'augmentation du nombre de charges piégées dans l'oxyde par unité de surface, ΔN_{ot} , est donnée par:

$$\Delta N_{ot} = \Delta V_{N_{ot}} C_{ox} / q \quad (\text{II 28-b})$$

II.3.2.2.6. Détermination des paramètres de la jonction drain-substrat

La jonction drain-substrat, pour les transistors à canal N est constituée du caisson de drain (N+) et du substrat (P). La figure II.14 présente cette jonction dans le cas d'un transistor MOS latéral classique.

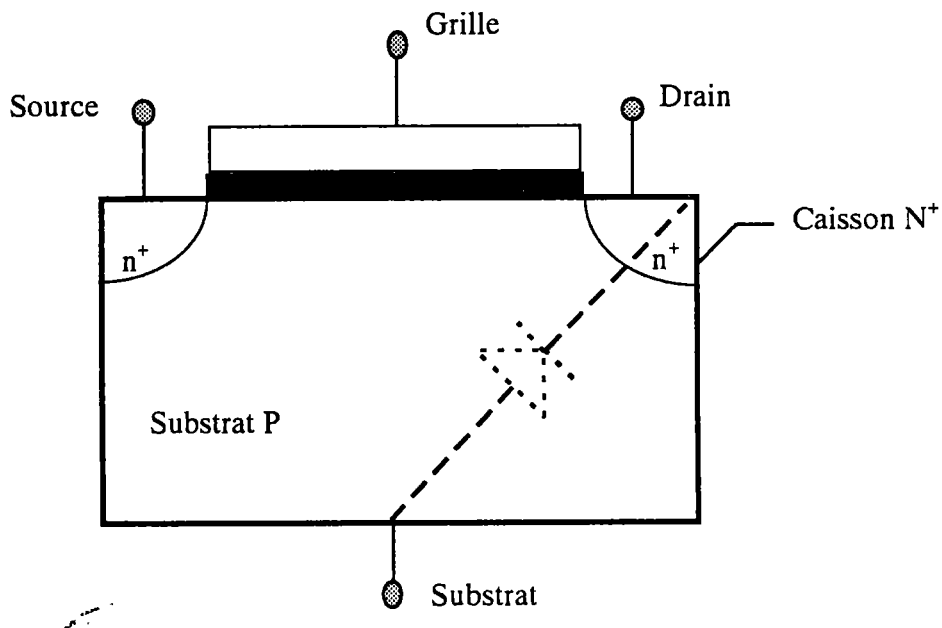


Figure II.14 : Représentation de la jonction drain-substrat dans le cas d'un transistor à canal N.

La caractérisation de la jonction drain-substrat permet:

- * Une évaluation de la qualité de cette jonction, qualité qui dépend du procédé de fabrication technologique (diffusion ou implantation des caissons de source ou de drain).
- * Une évaluation de la dégradation du substrat du transistor suite à une agression extérieure (irradiation, stress électrique, etc.)
- * Une utilisation de cette jonction comme indicateur complémentaire du niveau de dégradation du transistor soumis à une agression extérieure.

Dans le cadre de ce travail, l'étude de la jonction drain-substrat permet une caractérisation plus large du transistor, puisqu'elle fournit des informations concernant le volume du transistor (substrat). Les paragraphes précédents ayant eu pour objectif de caractériser l'oxyde, l'interface et le canal conducteur du transistor, l'étude de cette jonction apporte des informations nouvelles et originales.

Notre méthode numérique d'extraction de paramètres [13] permet de déterminer des grandeurs décrivant les mécanismes de transport dans la jonction drain-substrat. Cette méthode, appliquée ici au cas de la jonction drain-substrat, est en fait plus généralement applicable à tout type de jonction P-N. Le paragraphe suivant est consacré à l'analyse des diodes et expose l'essentiel de la méthode.

II.3.3. Analyse des diodes

II.3.3.1. Modélisation d'une jonction P-N

Dans le chapitre I, l'équation (I.72) $I = \sum_i I_{oi} \left[e^{\frac{qV}{A_i kT}} - 1 \right]$ rend compte des divers processus de transport de porteurs pour une jonction idéale, mais n'intègre pas les pertes d'énergie par conduction et par courant de fuite.

En pratique, le modèle le plus utilisé pour une jonction considère séparément le processus de diffusion-recombinaison dans les régions neutres et le processus de recombinaison dans la zone de charge d'espace de la jonction [9]. Dans ce cas l'équation précédente s'écrit:

$$I = I_{o1} \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] + I_{o2} \left[\exp\left(\frac{qV}{AkT}\right) - 1 \right] \quad (\text{II.29})$$

Le premier terme de cette équation prend en compte le processus de diffusion recombinaison dans la région neutre et I_{o1} est le courant de saturation inverse lié à ce processus. Le deuxième terme prend en compte la recombinaison dans la zone de charge d'espace avec I_{o2} courant de saturation inverse lié à ce processus et A le facteur de qualité de la jonction.

Pour prendre en compte les pertes dues aux liaisons, contacts et fuite en surface, des impédances sont introduites sous la forme de résistance série R_s et parallèle R_{sh} . La prise en

considération de ces pertes conduit à une nouvelle formulation de l'équation (II.29), donnée par:

$$I = \frac{V + R_s I}{R_{sh}} + I_{01} \left[\exp\left(\frac{q}{kT}(V + R_s I)\right) - 1 \right] + I_{02} \left[\exp\left(\frac{q}{AkT}(V + R_s I)\right) - 1 \right] \quad (II.30)$$

Le schéma équivalent de la diode est représenté sur la figure II.15. Deux diodes D1 et D2 en parallèle tiennent compte des deux mécanismes précédents auxquelles s'ajoute les résistances séries R_s et shunt R_{sh} .

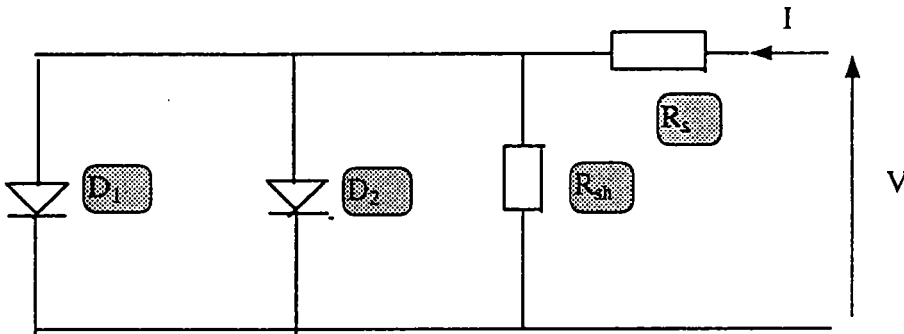


Figure II.15 : Schéma équivalent de diode modélisée par l'équation (II.29).

Trois modèles numériques associés à des modes de fonctionnement particuliers permettent de décrire les caractéristiques courant tension de la jonction:

* modèle SEM (Simple Exponentiel Model)

Dans ce modèle, le circuit équivalent ne contient plus qu'une seule diode [13] et le courant de la jonction dépend d'un seul terme exponentiel sous la forme:

$$I = \frac{V + R_s I}{R_{sh}} + I_0 \left[\exp\left(\frac{q}{AkT}(V + R_s I)\right) - 1 \right] \quad (II.31)$$

où I_0 représente le courant inverse constitué d'une composante de recombinaison. Ce modèle décrit le comportement d'une jonction dans laquelle l'un des processus de conduction domine largement les autres: diffusion (cas d'une jonction idéale avec A proche de 1) ou de recombinaison (A peut être bien supérieur à 2).

* modèle VDEM (Variable Double Exponentiel Model)

Ce modèle permet de séparer le courant dû à la diffusion (I_{01}) et le courant dû à la recombinaison (I_{02}) associé à des pièges dans la zone de charge d'espace. Dans ce cas le

courant de la jonction est décrit par deux termes exponentiels avec un facteur de qualité A variable sous la forme:

$$I = \frac{V + R_s I}{R_{sh}} + I_{01} \left[\exp\left(\frac{q}{kT}(V + R_s I)\right) - 1 \right] + I_{02} \left[\exp\left(\frac{q}{AkT}(V + R_s I)\right) - 1 \right] \quad (\text{II.32})$$

Le premier terme de cette équation représente le courant de diffusion avec un facteur de qualité égal à 1, alors que le second introduit un facteur de qualité A variable [14]. Ce modèle physique couvre, théoriquement, les deux autres cas. Il peut poser des problèmes de convergence ce qui justifie, d'un point de vue numérique, l'existence des deux autres.

*** modèle CDEM (Constante Double Exponentiel Model)**

Ce modèle est un cas particulier du modèle précédent, conservant le facteur de qualité A constant et égal à 2. C'est le modèle le mieux adapté numériquement, pour décrire la caractéristique lorsque les courants de diffusion et de recombinaison dans la jonction sont du même ordre de grandeur. Il correspond au modèle de SNS [15-16] pour un niveau de piège au milieu de la bande interdite et de distribution uniforme dans la jonction. Il répond aussi aux deux cas de deux niveaux symétriques par rapport au centre du gap.

II.3.3.2. Extraction des paramètres de la jonction

La méthode permettant l'extraction des paramètres I_{01} , I_{02} , R_s , A, R_{sh} , à partir des caractéristiques expérimentales I-V de la jonction est numérique [13].

A partir de la caractéristique expérimentale courant-tension sous forme de n points expérimentaux, le programme s'appuie sur trois zones associées à trois points remarquables: les points à courant-tension nulle ($I=0$, $V=0$) et courant tension maximale délimitant la zone de calcul (I_M , V_M), un point de la caractéristique choisit dans la zone de plus grande courbure (I_Z , V_Z) ainsi que les résistances dynamiques en ces trois points respectivement R_{sh0} , R_{s0} , R_{mp} . Le programme utilise ces déterminations pour calculer les différents paramètres de manière à ajuster au mieux la caractéristique théorique avec la caractéristique expérimentale. Le critère d'efficacité Q traduisant la qualité résultat obtenu représente la moyenne quadratique des distances entre les points expérimentaux et les points théoriques.

Q permet de préciser l'efficacité de la description du modèle utilisé lors du calcul. Ainsi, le meilleur modèle parmi SEM, VDEM, CDEM est celui qui donne la plus petite

valeur du critère d'efficacité Q , donc qui représente le mieux les processus de conduction dans la jonction.

La connaissance des paramètres ainsi extraits permet de qualifier les propriétés de la jonction et de préciser les processus de transport des porteurs.

II.4. SYNTHÈSE

Les différentes méthodes proposées pour caractériser tant les transistors que les jonctions seront utilisées pour extraire les différents paramètres des structures étudiées. Ces paramètres feront l'objet d'un suivi en vue de quantifier aussi bien les effets liés à la réduction des dimensions que ceux liés à la dégradation suite à une irradiation.

REFERENCES

- [1] T. Grotjhon and B. Hoeffinger, IEEE Trans. Electron Dev. ED 31, 234-246 (1984)
- [2] P. Rossel, H. Tranduc, J.L. Sanchez, A. Bellaouar, Revue Phys. Appl. 18, 478- 493 (1983)
- [3] F.H. De La Moneda, F.H. Kotecha, and M. Shatzkes, IEEE Electronic Device Letter EDL3, 10-12 (1982).
- [4] L. Risch, IEEE Trans. Electron Dev. ED 30, 959-961 (1984).
- [5] S. Critoloveanu, G. Ghibardo, and Chu-Hao, Physica B129, 542-546 (1985).
- [6] L. Akers, Arizona state University, private communication.
- [7] E. Blampain, A. Hoffmann, & J-P. Charles, "Methode de détermination des paramètres de conduction d'un transistor nLDDMOS", Récents Progrès en Génie des Procédés, Vol.10, p.153-158, 1996.
- [8] A. Hoffmann, Thèse, Université de Montpellier II, avril (1993).
- [9] S.M. Sze, "Semiconductor Device, Physics and Technology", John Willey & Son, (1985).
- [10] P.J. McWhorter and P.S. Winkur, "Simple Technique for Separating the Effects of Interface Traps and Trapped-Oxide Charge in Metal-Oxide-Semiconductor Transistor", Applied Physics Letters, Vol. 48, pp. 133-135, (1986).
- [11] T.P. Ma, P.V Dressendorfer, "Ionizing radiations effects in MOS devices and circuits", J.Wiley New-York.

- [12] K.F. Galloway, M. Gaitan, and T.J. Russel "A simple Model for Separating Interface and Oxide Charge Effects in MOS Device Characteritics", IEEE Trans. on Nuclear Science, Vol. NS-31, PP. 1497-1507, (1984)
- [13] J-P. Charles, I. Mekkaoui-Alaoui, G. Bordure, and P. Mialhe, Solid State Electronics, 28, 807-820, (1985).
- [14] A. Neugroshel and al, "A Method for Determining the Emittre and Base Lifetime in p-n Junction Diodes", IEEE Trans. on Electron Devices, Vol. ED-24, No 6, June 1977.
- [15] R. J. Stirn, "Junction Characteritics of Silicon Solar Cells", Proc. 9 th IEEE Photovoltaic Specialists' Conf., Silver Spring, Maryland, May 2-4,1972, IEEE, New York, 1972, pp.72-82.
- [16] C. T. Sah, and al, "Carrier Generation and Recombination in p-n Junction Characteristics", Proc. IRE, 45(Sept.)(1957)1228-1243.
- [17] W. Shockley, and W.T. Read, Phys. Rev. 87, 835 (1952).
- [18] Chu-Hao, B. Cabon-Till, S. Cristoloveanu and G.Ghibaud, Solid-state Electronics Vol. 28, No. 10. pp. 1025-1030 (1985).
- [19] Genda J. Hu, Chi Chang, and Yu-Tai Chia, IEEE Transaction on Electron , Devices, Vol. ED-34, No. 12 (1987).

CHAPITRE III : ETUDE EXPERIMENTALE

III.1. INTRODUCTION

Ce chapitre est consacré à l'étude expérimentale de l'influence de la géométrie et des effets induits par irradiation ionisante gamma (Co-60) et de déplacement (protons), sur les composants précédemment présentés. Cette étude repose sur la dégradation des paramètres de conduction du transistor, de celle des paramètres caractéristiques des jonctions drain-substrat et des diodes de protection des transistors. Une étude complémentaire est réalisée par le suivi de l'évolution du comportement des capacités MOS. Notons ici que l'intérêt de la caractérisation de la jonction drain-substrat est de permettre d'atteindre une description des processus de transport aux "interfaces" N-P internes, inaccessibles par les méthodes classiques.

III.2. ETUDE AVANT IRRADIATION

III.2.1. Transistor MOS en conduction

L'étude du transistor MOS en conduction a été effectuée conformément à la méthode exposée dans le paragraphe II.3.2.

III.2.1.1 Réseaux de caractéristiques

Les réseaux de caractéristiques courant-tension, pour un transistor de chaque géométrie étudiée, sont représentés dans les figures III.1 et III.2, respectivement pour les caractéristiques de transfert et celles de fonctionnement. Il est bien connu que les régimes de fonctionnement correspondant à des courants d'intensités différentes et dépendant des dimensions W et L (cf. équation (II.9)).

Les caractéristiques de transfert $I_{DS}(V_{GS})$ (figure III.1) ont été tracées en régime linéaire ($V_{DS} = 50$ mV) et pour différentes tensions de substrat ($V_{BS} = 0; -1; -2; -3; -4$ V). Pour une longueur de grille $L = 0,8 \mu\text{m}$ (figure III.1 (a) et (b)) on observe un début d'effet de saturation à forte tension de grille, par rapport aux caractéristiques des transistors de grande longueur $L = 25 \mu\text{m}$ (figure III.1 (c) et (d)).

Les réseaux de caractéristiques de fonctionnement $I_{DS}(V_{DS})$ (figure III.2) ont été tracés sans polarisation de substrat et pour différentes valeurs de tension de grille. Le régime linéaire est observable pour de faibles tensions de drain (inférieur à 1 V lorsque $V_{GS} = 4$ V), tandis que la saturation du courant de drain apparaît sur une large plage de tensions de drain ($V_{DS} > 2$ V).

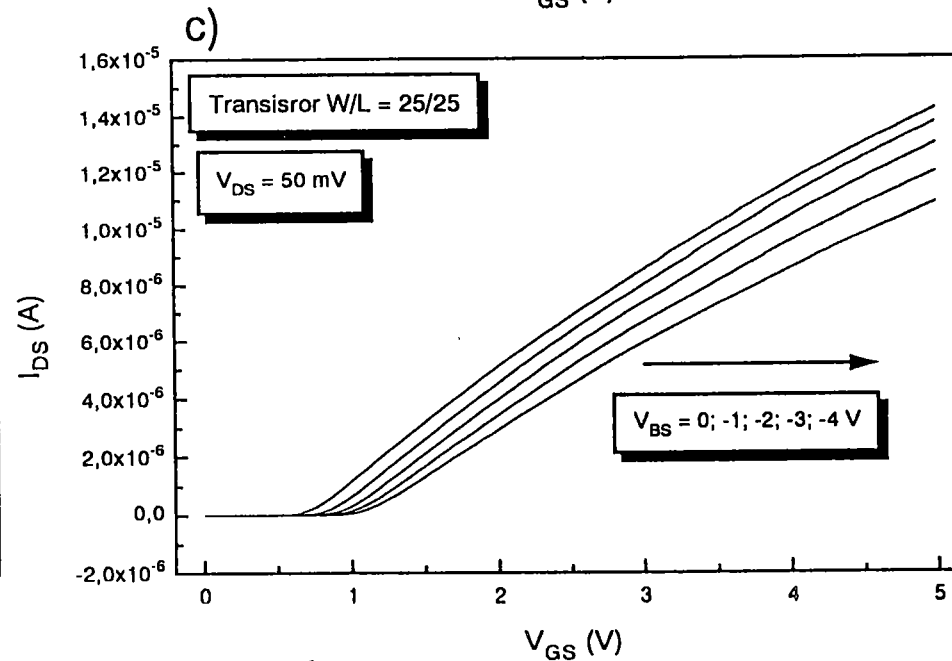
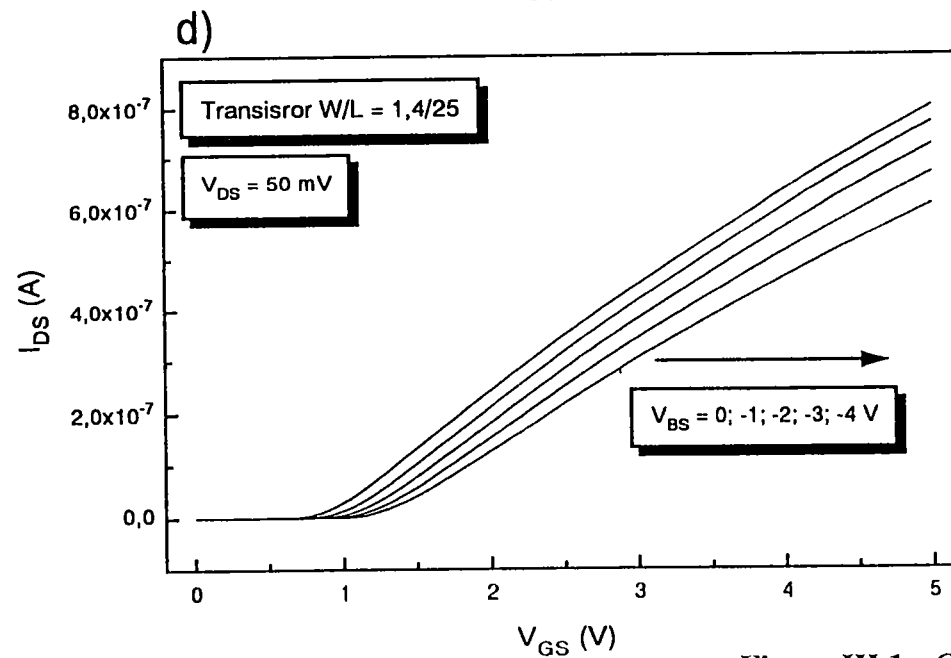
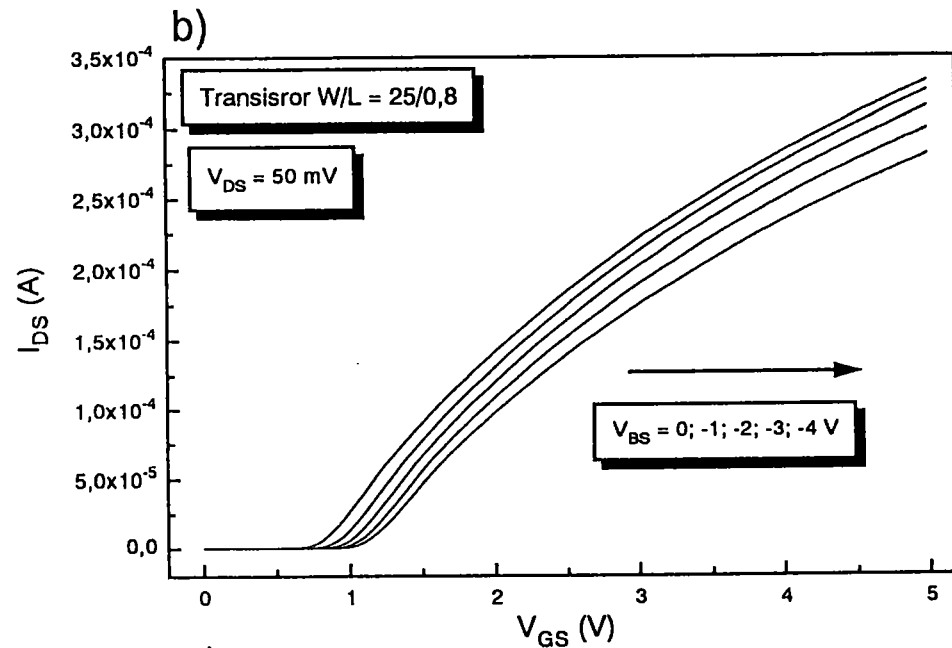
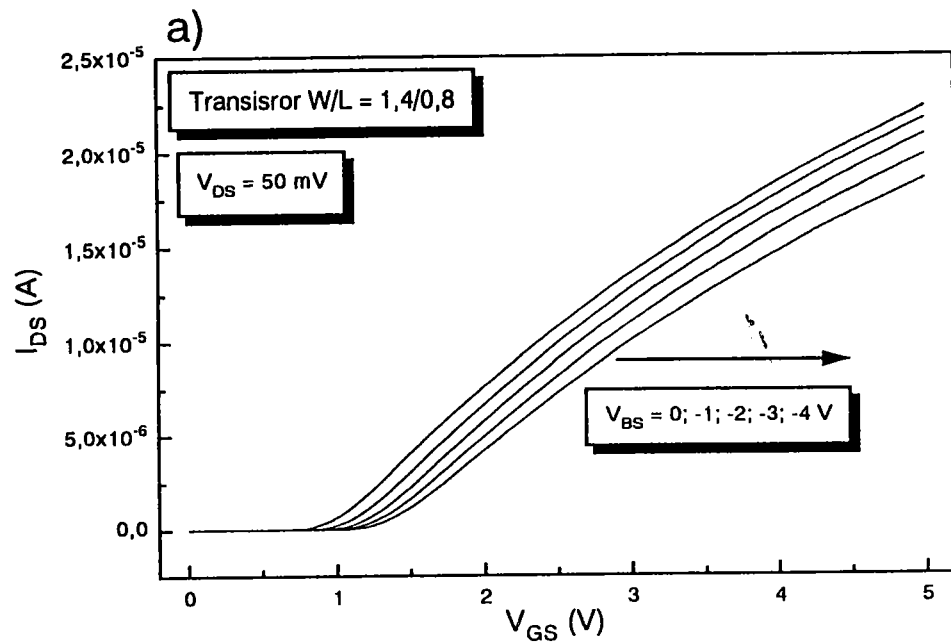


Figure III.1 : Caractéristiques de transfert.

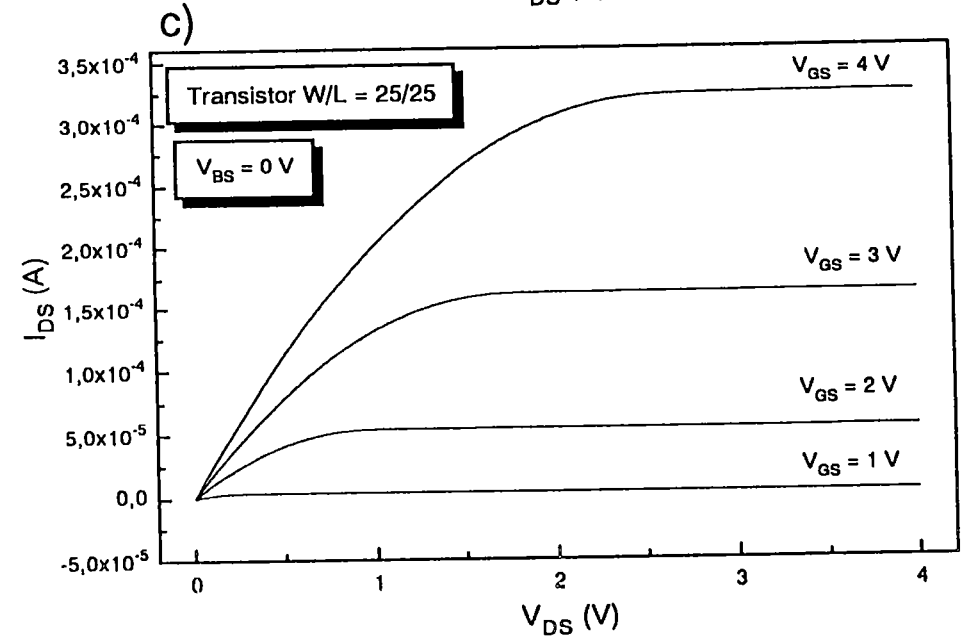
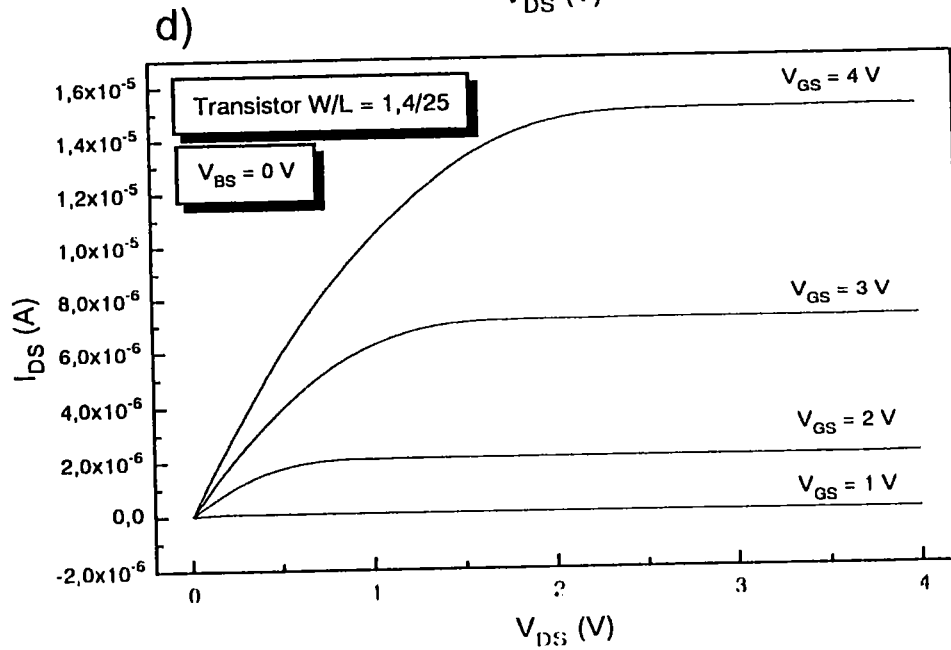
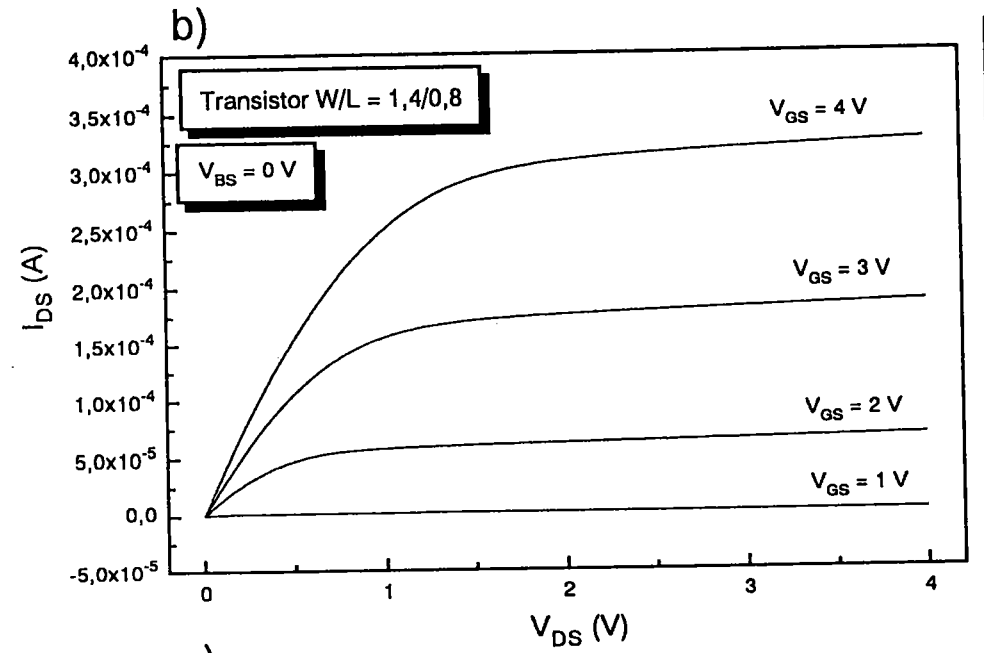
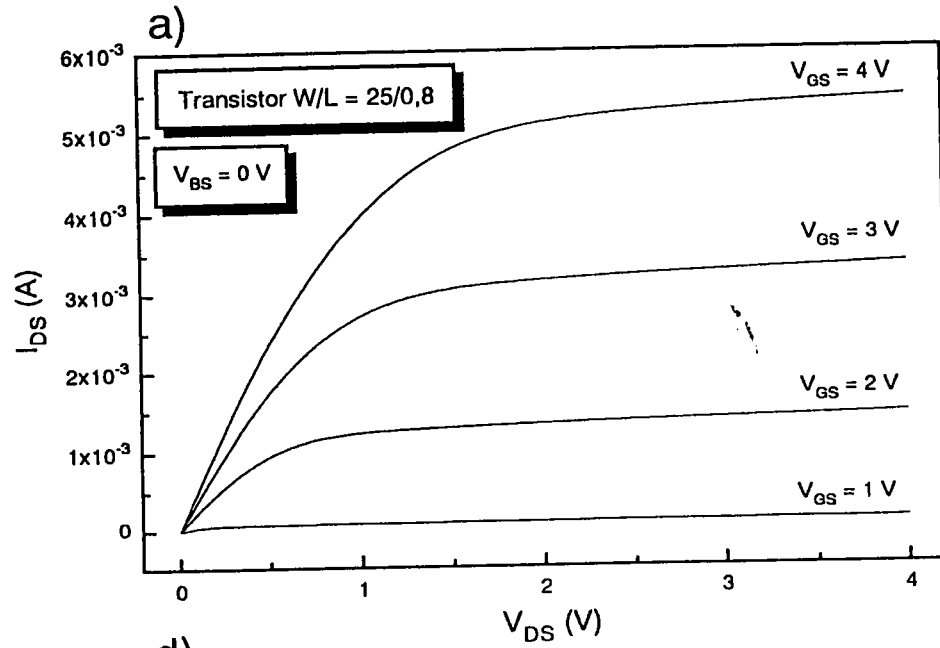


Figure III.2 : Caractéristiques de fonctionnement.

• Pour les transistors de faible longueur de grille $L=0,8 \mu\text{m}$ (figure III.2 (a) et (b)), le courant de drain est faiblement dépendant de la tension de drain V_{DS} dans la région saturée. Ceci est particulièrement visible lorsque la largeur de grille est grande ($25 \mu\text{m}$) (tableau III.1). Cet effet est attribué au rapprochement des zones "déplétées" de drain et de source lorsque la longueur de grille L est faible. Dans le cas extrême ou ces zones se touchent, pour de grandes valeurs de V_{DS} le courant circule entre source et drain hors du contrôle de la grille et suit une loi de variation en V_{DS}^2 . Ce phénomène typiquement lié aux faibles dimensions est aussi appelé le "punch through"[1].

$\Delta I_{DS} / \Delta V_{DS}$ (A/V)	$6,5 \cdot 10^{-6}$	$1,1 \cdot 10^{-4}$
W (μm)	1,4	25

Tableau III.1 : Valeurs des pentes des caractéristiques en saturation pour deux valeurs de W dans le cas où $L=0,8 \mu\text{m}$. On note que la pente des caractéristiques est plus importante dans le cas $W=25 \mu\text{m}$.

• La réduction de la longueur L de la grille est associée à un effet de saturation de la vitesse des porteurs dû au champ électrique longitudinal. Le courant dans le canal est alors limité et évolue proportionnellement à $(V_{GS}-V_T)^2$ et non plus proportionnellement à $(V_{GS}-V_T)$ comme c'est le cas en l'absence de saturation.

Dans les figures III.2 (a) et (b) où $L=0,8 \mu\text{m}$, les écarts entre les caractéristiques varient peu pour des valeurs consécutives de V_{GS} . Par contre, dans les figures III.2 (c) et (d) où $L=25 \mu\text{m}$, ces écarts ne sont plus proportionnels à V_{GS} .

La figure III.3 montre les variations de I_{DS} normées à sa valeur pour $V_{GS}=4 \text{ V}$ par rapport aux valeurs de V_{GS} prises pour $V_{DS}=3 \text{ V}$ (tirées des courbes de la figure III.2). Dans cette figure, on distingue clairement que pour les transistors de longueur $L=25 \mu\text{m}$ (c,d), les courbes s'écartent le plus de la linéarité, traduisant des écarts plus importants entre les caractéristiques pour des valeurs consécutives de V_{GS} .

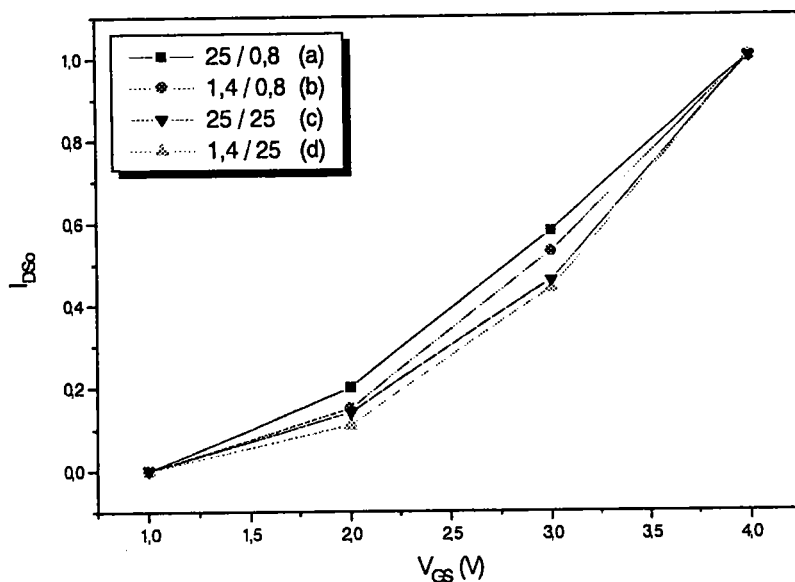


Figure III.3 : Variation de I_{DS} normées à sa valeur $V_{GS}=4V$ par rapport aux valeurs de V_{GS} prises pour $V_{DS}=3V$.

III.2.1.2 Extraction des paramètres de conduction

Les paramètres de conduction sont dépendants des dimensions géométriques. Ces paramètres sont extraits par combinaison des caractéristiques électriques, conformément à la méthode décrite au paragraphe II.3.2.2. Chaque géométrie de grille est représentée au niveau d'une plaquette par trois transistors (cf. Tableau II.3).

III.2.1.2.1. Tension de seuil et mobilité à faible champ

Dans les figures III.4 sont représentées les évolutions des tensions de seuil pour chaque transistor de deux plaquettes différentes. Comme nous allons le voir ci-dessous, contrairement à ce que laisse prévoir le modèle classique, la tension de seuil augmente avec la diminution de la longueur de grille L pour une largeur de grille W donnée. En effet le modèle théorique de départ (cf équation II.9) a été établi dans le cas de transistors de grandes dimensions.

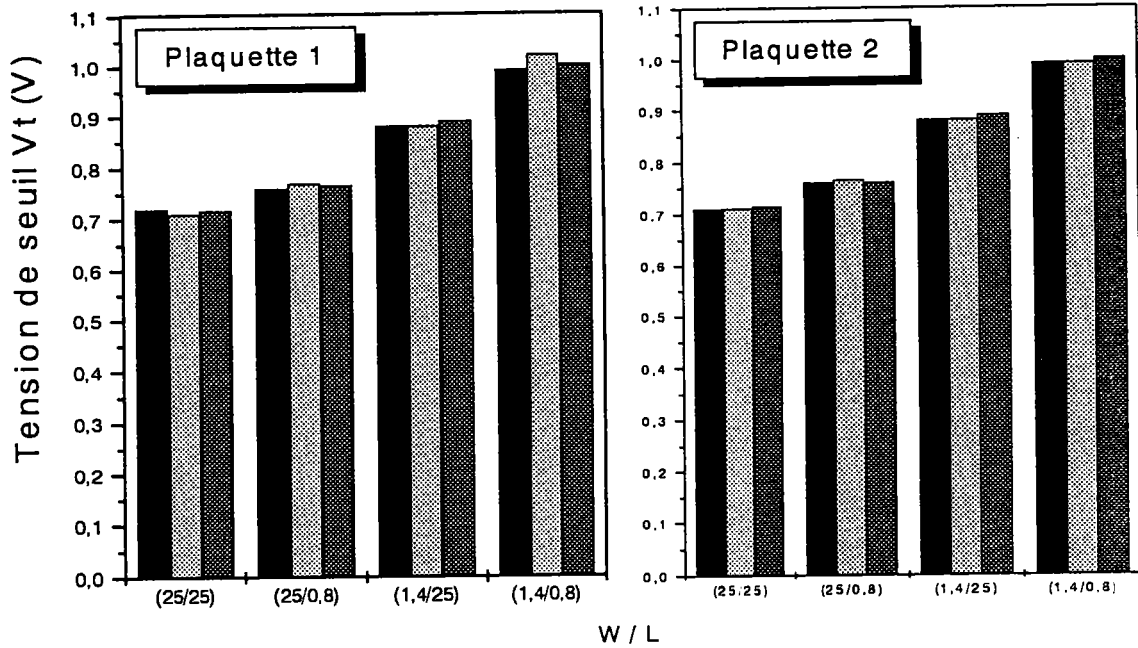


Figure III.4 : Evolution des tensions de seuil pour différentes géométries.

L'équation $F(V_{GS}) = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{KV_{DS}}(V_{GS} - V_T)$ (cf. équation II.21) utilisée pour la détermination de la tension de seuil est applicable dans le cas de structures de grandes dimensions. Appliquée à des transistors de petites dimensions, il faut prendre en compte la variation de la tension de seuil ΔV_T avec la longueur et la largeur du canal. Ainsi, sachant que $\Delta V_T = V_T - V_{TC}$ ($V_{Tlong} - V_{Tcourt}$), la détermination de la tension de seuil des structures de petites dimensions nécessite donc la correction $V_{TC} = V_T - \Delta V_T$. Le terme ΔV_T étant donné par les équations (I.73) et (I.73') respectivement dans le cas du canal court et du canal étroit.

Une estimation ΔV_T a été faite dans les deux cas précédents avec les paramètres technologiques suivants:

- $d_{ox} = 19 \text{ nm}$ (épaisseur d'oxyde de grille)
- $N_A = 6,5 \cdot 10^{16} \text{ at/cm}^3$ (dopage du canal)
- $N_D = 2 \cdot 10^{20} \text{ at/cm}^3$ (dopage du caisson n^+ source/drain)
- $r_j = 0,35 \mu\text{m}$ (profondeur de la jonction n^+ source/drain)
- $L = 0,8 \mu\text{m}$ (longueur de grille)
- $V_{DS} = 50\text{mV}$ (tension de drain)

a) **effet de canal court:** $\Delta V_T \approx 56 \text{ mV}$

Comme on peut le voir sur la figure III.4, dans le cas des transistors de largeur de grille $W = 25 \mu\text{m}$, la variation de tension de seuil mesurée est de l'ordre 50 mV. La correction

de 56 mV due à l'effet de canal court conduira à une valeur effective de tension de seuil plus petite et donc conforme à ce que prévoit l'ensemble des modèles théoriques [2-4]. Par contre, dans le cas des transistors de petite largeur de grille $W = 1,4 \mu\text{m}$, cette correction est insuffisante puisqu'il faut tenir compte ici d'une augmentation de tension de seuil avec la réduction de la largeur de la grille (cf. équation (I.73')).

b) effet de canal étroit: $\Delta V_T \approx -120 \text{ mV}$

Dans le cas des transistors de longueur de grille $L = 25 \mu\text{m}$, la diminution de la largeur de grille provoque une augmentation de la tension de seuil mesurée de l'ordre de 170 mV, supérieure à celle estimée théoriquement. Cette différence pouvant s'expliquer par le fait que l'équation (I.73') tenant compte de l'effet de la largeur de grille sur la tension de seuil, n'intègre pas les influences de l'extension des zones de charge d'espace sous les caissons de drain et source. Pour les longueurs de grille $L = 0,8 \mu\text{m}$ l'augmentation de tension de seuil mesurée est beaucoup plus importante, par suite du couplage des effets de diminution à la fois de la longueur et de la largeur.

L'évolution de la mobilité à faible champ est de même représentée sur la figure III.5 pour les différentes familles de transistors de deux plaquettes.

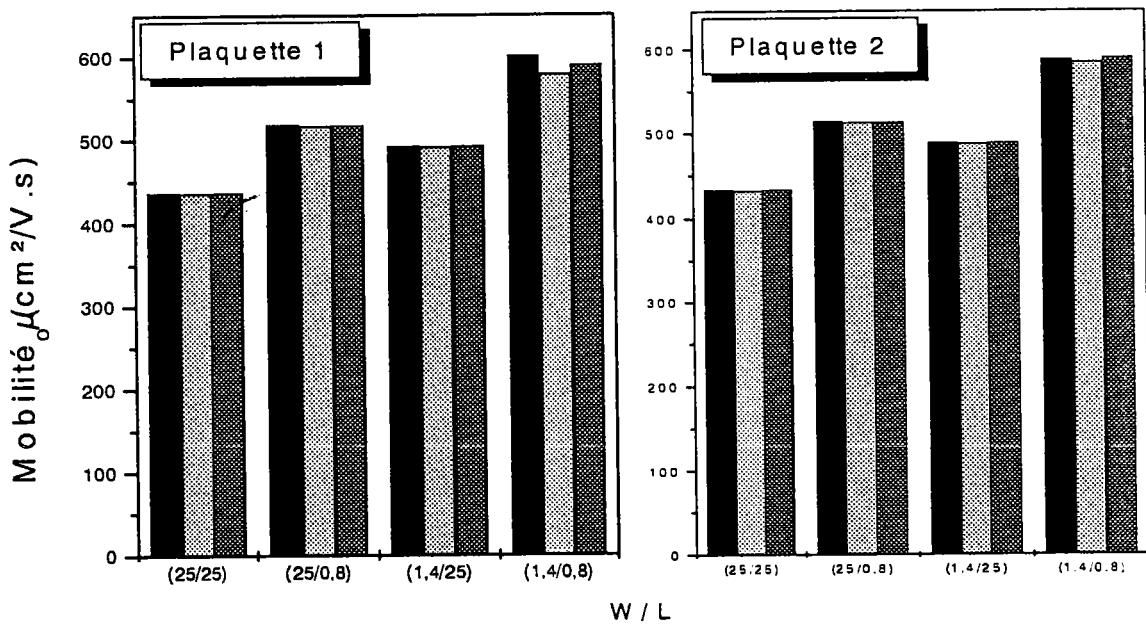


Figure III.5 : Evolution des mobilités à faible champ pour différentes géométries.

Il apparaît clairement que pour une même largeur de grille W , la diminution de la longueur entraîne une augmentation de la mobilité. De même pour une longueur de grille

fixée, la diminution de la largeur entraîne une augmentation de la mobilité mais avec une amplitude plus faible.

III.2.1.2.2. Coefficient d'atténuation de mobilité

Ne disposant que de deux longueurs de grille différentes, donc du fait du manque de transistors de longueurs intermédiaires (cf. Tableau II.3) pour cette technologie, nous avons utilisé les valeurs des résistances d'accès de source et drain fournies par MATRA-MHS. Ces valeurs sont fonction de W et données par la relation:

$$R_S + R_D = 45 * (25/W \text{ } (\mu\text{m}))$$

Il a été supposé que la structure est symétrique et donc que $R_S = R_D$. Pour les transistors étudiés, deux largeurs sont disponibles $W = 25 \mu\text{m}$ et $W = 1,4 \mu\text{m}$, soit respectivement $R_S + R_D = 45 \Omega$ et $R_S + R_D = 803.6 \Omega$.

Ainsi conformément à l'équation (II.23), les valeurs des résistances d'accès étant connues, l'évolution du coefficient d'atténuation est représentée sur la figure III.6.

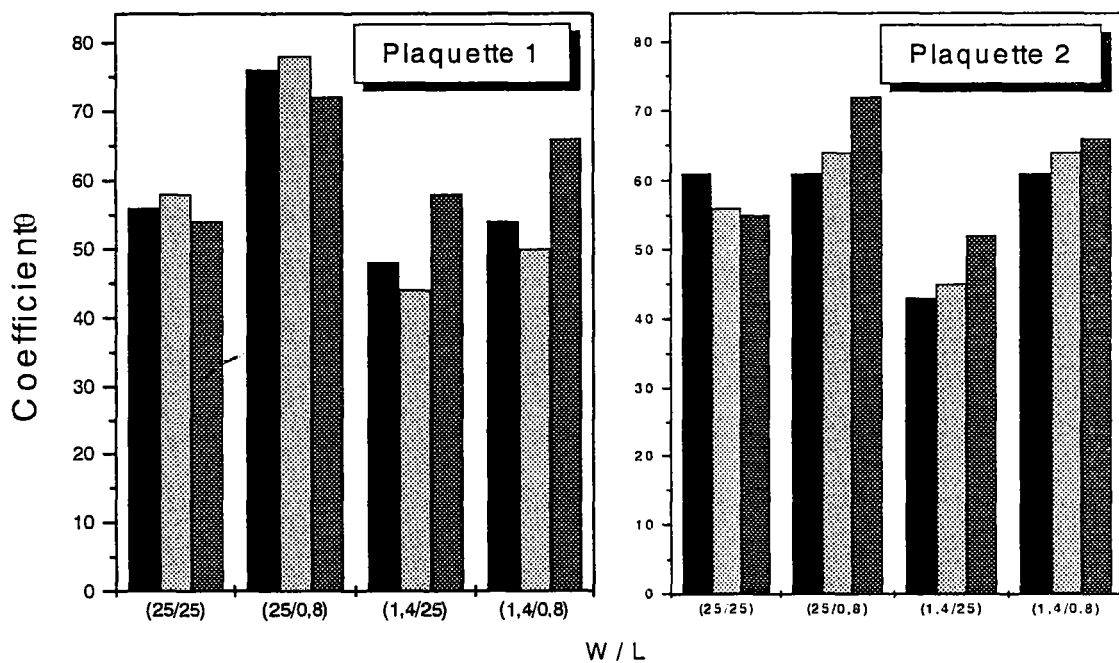


Figure III.6 : Evolution du coefficient d'atténuation de mobilité θ pour différentes géométries.

Malgré la dispersion des résultats, on peut tout de même noter une tendance d'ensemble. A largeur de grille fixée, le coefficient d'atténuation augmente avec la diminution de la longueur de grille. Au contraire, à longueur de grille fixée, celui-ci diminue avec la diminution de la largeur de grille.

III.2.1.3 Jonction drain-substrat des transistors

L'étude de la jonction drain-substrat des transistors est réalisée à partir de la modélisation d'une jonction P-N présentée au paragraphe II.3.3.1. Cette étude permet de montrer que la diminution des dimensions géométriques du transistor entraîne une modification des paramètres caractéristiques de sa jonction drain-substrat. En outre, nous verrons également dans ce paragraphe l'influence de la tension de grille sur cette jonction.

III.2.1.3.1. Influence de la géométrie

A polarisation de grille nulle ($V_{GS} = 0$ V), les caractéristiques de la jonction drain-substrat des transistors de différentes géométries d'une plaquette sont représentées dans la figure III.7. Comme on peut le voir, elles apparaissent bien groupées selon la géométrie et semblent beaucoup plus sensibles à l'effet de la largeur W qu'à celui de la longueur L , ce qui laisse prévoir que la largeur W jouera un rôle prépondérant dans les propriétés de la jonction.

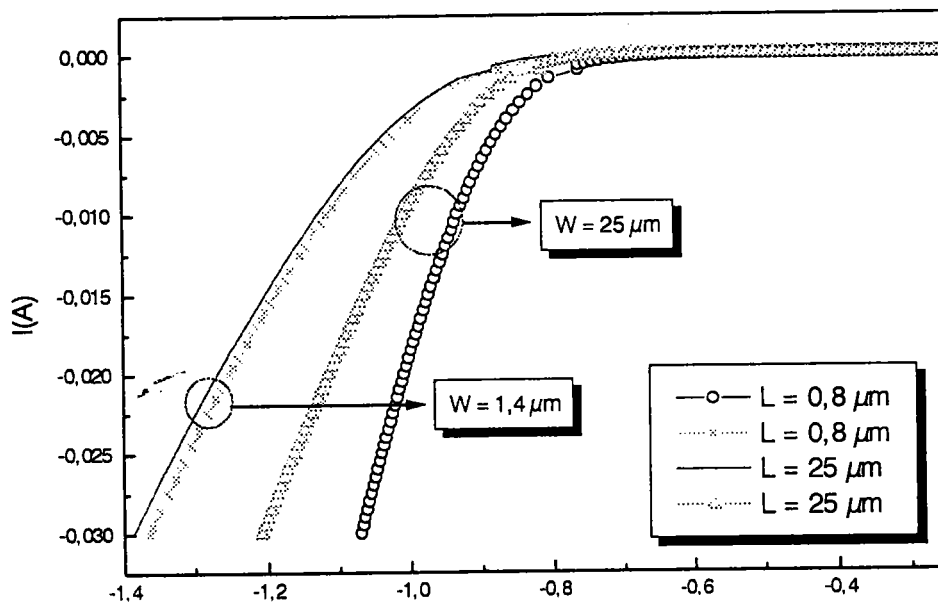


Figure III.7 : Evolution des caractéristiques I-V de la jonction drain-substrat pour les différentes géométries.

L'ensemble des composants les plus larges ($W = 25 \mu\text{m}$) présentent des caractéristiques bien séparées pour les deux longueurs de grille disponibles. Au contraire, les composants étroits ($W = 1,4 \mu\text{m}$) montrent des caractéristiques bien plus proches les unes des autres pour les mêmes valeurs de L .

Pour chaque géométrie étudiée, nous avons procédé à l'extraction des paramètres utilisés pour la modélisation d'une jonction P-N.

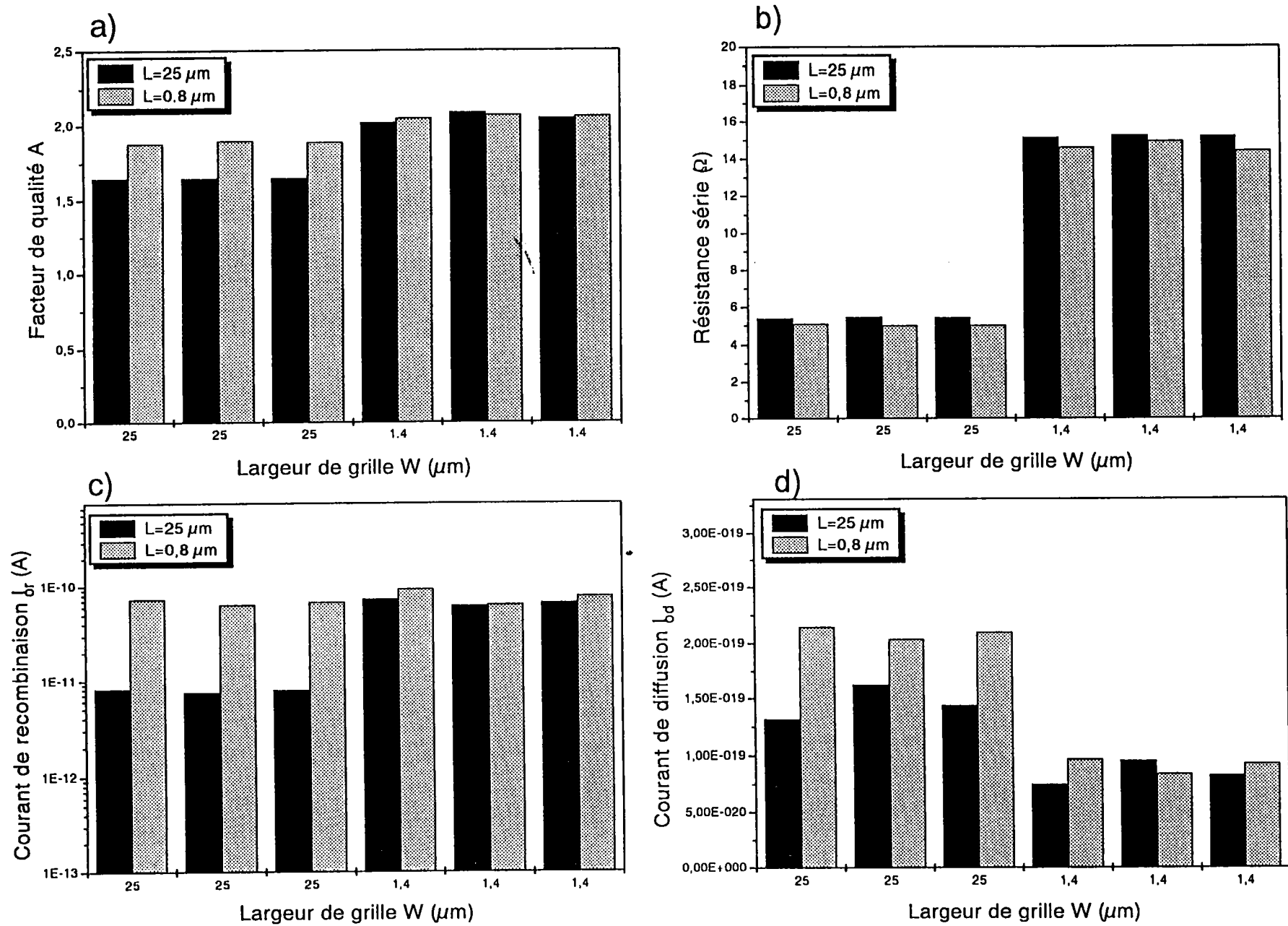


Figure III.8 : Paramètres de la jonction drain-substrat.

Dans les figures III.8 (a), (b), (c) et (d) sont représentées respectivement les évolutions des paramètres A (facteur de qualité), R_s (résistance série), I_{or} (courant de recombinaison), I_{od} (courant de diffusion). La meilleure description pour la modélisation ayant été obtenue selon le modèle VDEM (cf. II.3.3.1) incluant diffusion et recombinaison.

Dans l'ensemble le facteur de qualité A augmente avec la diminution de la largeur de grille W (figure III.8 (a)), et augmente également avec la diminution de la longueur de grille. Cet accroissement du facteur de qualité est lié à un accroissement de la recombinaison des porteurs dans la zone de charge d'espace, comme cela sera confirmé plus loin par l'évolution du courant de recombinaison I_{or} de la jonction.

D'une façon plus nette, la résistance série R_s augmente fortement avec la diminution de la largeur de grille W (figure III.8 (b)). Cette augmentation de R_s pouvant se comprendre par le fait qu'une diminution de W provoque une diminution de la surface conductrice de la jonction et donc une augmentation de la résistance. Par contre, une diminution de la longueur de grille L produit une diminution de la résistance série, traduisant la relation de proportionnalité qui les lie.

Les courants de diffusion I_{od} et de recombinaison I_{or} sont aussi influencés par la longueur L et largeur W de grille, c'est à dire par la surface de celle-ci. En effet, pour de très faibles surfaces, les procédés techniques de dopages conduisent à des couches de moins bonne homogénéité, introduisant ainsi des effets de bord qui amènent de très fortes concentrations de défauts. Ces effets sont responsables de l'accroissement du courant de recombinaison I_{or} , qui d'ailleurs va dans le même sens que l'augmentation du facteur de qualité. Cette augmentation du courant de recombinaison et du facteur de qualité montre que la jonction devient de moins bonne qualité avec la réduction des dimensions.

Les valeurs de résistance shunt extraites ne présentaient aucune évolution significative, traduisant le fait qu'aucun courant de fuite ne s'est manifesté suite à la réduction des dimensions.

La modélisation des caractéristiques de la jonction drain-substrat des transistors de type MOSFET permet donc de mettre en évidence une détérioration de ses propriétés dans le domaine submicronique.

III.2.1.3.2 Influence de la tension de grille

Une polarisation positive appliquée à la grille induit, par influence électrostatique, une variation du potentiel de surface de la jonction, qui modifie l'extension de la zone de charge d'espace de la jonction drain-substrat. Les caractéristiques de cette jonction peuvent ainsi être modifiées par la tension de grille V_{GS} , cette modification dépendant de la géométrie du transistor.

Notre étude de l'influence de la tension de grille sur la jonction drain-substrat s'est limitée au cas des tensions de grille inférieures à la tension de seuil ($V_{GS} < V_T$). En effet, pour des tensions de grille plus importantes que la tension de seuil, la couche d'inversion se forme dans le canal du transistor. Le courant de drain dans ce cas est une superposition du courant du transistor et de celui de la jonction, ce qui ne permet plus une modélisation conforme au modèle constituant la base de notre méthode numérique d'extraction des paramètres.

Un exemple de modification de caractéristiques I-V de la jonction sous l'effet de la tension de grille est représenté sur la figure III.9, dans le cas d'une structure de largeur $W = 25 \mu\text{m}$ et de longueur $L = 0,8 \mu\text{m}$. En particulier, cette figure met en évidence les modifications apportées dans la région du coude de la caractéristique.

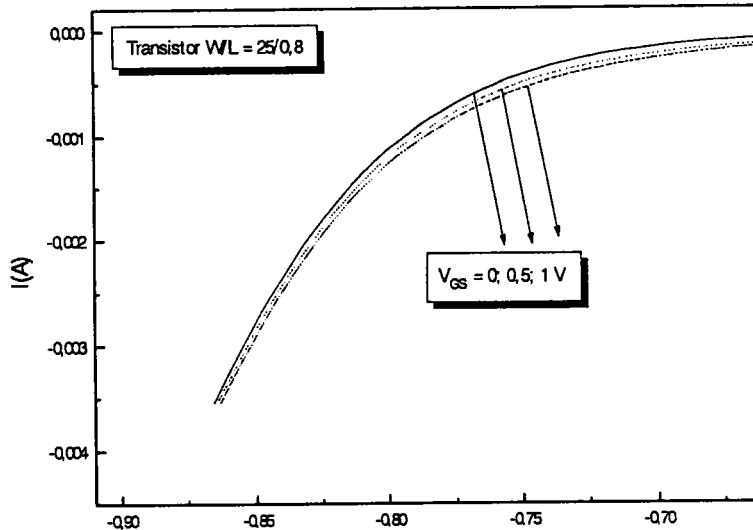


Figure III.9 : Effet de la tension de grille sur les caractéristiques I-V de la jonction drain-substrat.

Comme visible sur ces caractéristiques, la polarisation de la grille du transistor provoque une augmentation du courant de la jonction. Cette augmentation du courant dépend du type de géométrie et d'une manière générale, il a été constaté qu'elle était proportionnelle au rapport W/L du transistor.

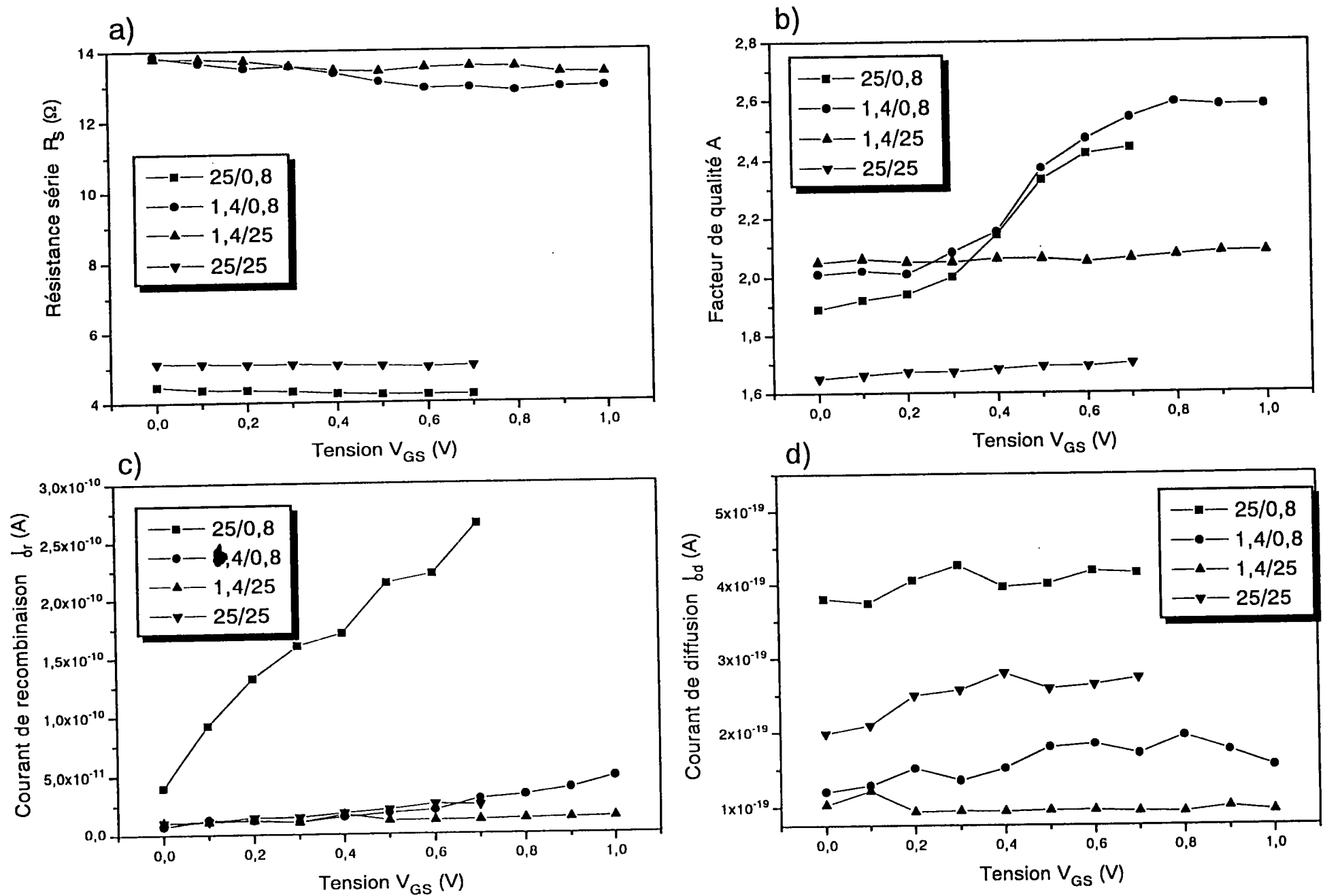


Figure III.10 : Influence de V_{GS} sur les paramètres de la jonction drain-substrat.

L'évolution des paramètres caractéristiques de la jonction sous l'influence de la tension de grille est représentée dans les figures III.10 (a), (b), (c), (d), respectivement pour le facteur de qualité, la résistance série, le courant de recombinaison et le courant de diffusion. L'extraction de ces paramètres ayant été obtenue selon le modèle VDEM (diffusion et recombinaison).

Le facteur de qualité A et le courant de recombinaison I_{or} des transistors de plus courtes longueurs montrent une influence très nette de la polarisation de grille. L'accroissement de ces deux quantités peut être lié à une extension relativement plus grande de la zone de charge d'espace et donc à une plus grande importance de la recombinaison des porteurs.

Les résistances séries présentent une faible réponse à la tension de grille. Les valeurs les plus élevées sont obtenues pour les transistors les plus étroits ($W=1,4 \mu\text{m}$), ce qui correspond aux surfaces de jonction les plus faibles et vérifie la proportionnalité inverse de la résistance avec la surface.

Quelque soit la structure, la résistance série R_s diminue lorsque V_{GS} augmente. L'augmentation de V_{GS} correspondant à une extension de la zone de charge d'espace, se trouve donc associée à une diminution de la zone de diffusion dans les zones neutres; zone qui détermine la résistance par leur profondeur.

Le courant de diffusion I_{od} n'est pratiquement pas influencé par la tension de grille malgré les quelques fluctuations observées qui, compte tenu des valeurs restent dans le domaine des incertitudes. Aucune évolution significative de la résistance shunt R_{sh} n'a été observée.

Remarque

1) La qualité de la description est précisée par le critère d'efficacité Q dont l'évolution en fonction de la tension de grille V_{GS} est représentée ci-dessous.

Il apparaît de cette courbe (cas d'une structure de géométrie $W = 25 \mu\text{m}$ et $L=0,8 \mu\text{m}$) que la description du modèle devient moins précise avec l'augmentation de la tension grille. Les valeurs du critère d'efficacité Q obtenues pour les fortes tensions de grille montrent que la description du modèle reste encore correcte.

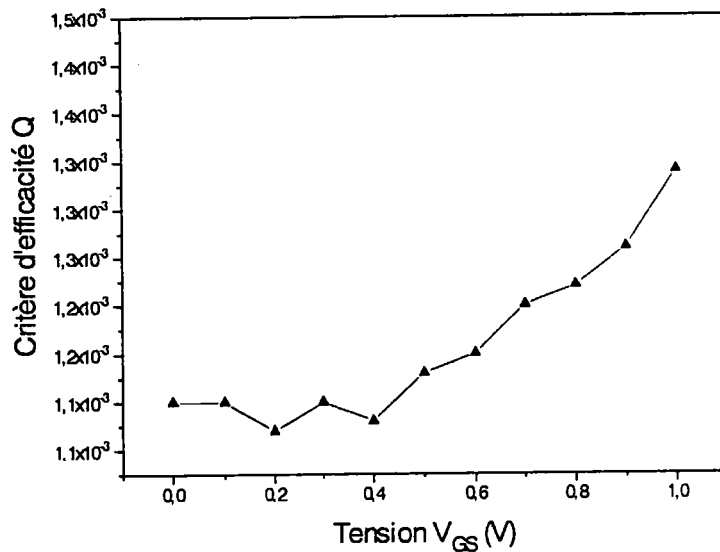


Figure III.11 : Evolution du critère d'efficacité avec la tension de grille.

La tendance indiquée par cette courbe montre que dans le cas où la tension de grille V_{GS} devient supérieure à la tension de seuil de ce transistor, 0,7V, les processus de conduction commencent à ne plus correspondre totalement au modèle.

2) Il a été observé en outre une dérive légère des valeurs des paramètres de la jonction drain-substrat suivant les plaquettes étudiées. Cependant les évolutions observées suivant les géométries étudiées restent les mêmes.

III.2.1.4 Diodes de protection des transistors

Chaque transistor disposant de deux diodes de protection de grille décrites au paragraphe II.2, nous avons réalisé une étude de ces diodes en vue d'évaluer leur qualité et leur dégradation suite à une irradiation comme nous le verrons plus loin. Cependant afin de ne pas alourdir cette présentation, et du fait qu'il existe une certaine similitude entre ces deux types de diodes, nous nous sommes limités à la présentation de l'étude des diodes de protection D2 de tous les transistors d'une plaquette.

Lors de la mesure des caractéristiques I-V de ces diodes, toutes les pattes de la puce sont mises à la masse, à l'exception de celle de la grille du transistor considéré.

Les caractéristiques des diodes de protection D2 sont représentées sur la figure III.12. Une légère dérive peut être observée sur ces caractéristiques et laisse prévoir une dérive possible des paramètres de modélisation de ces diodes.

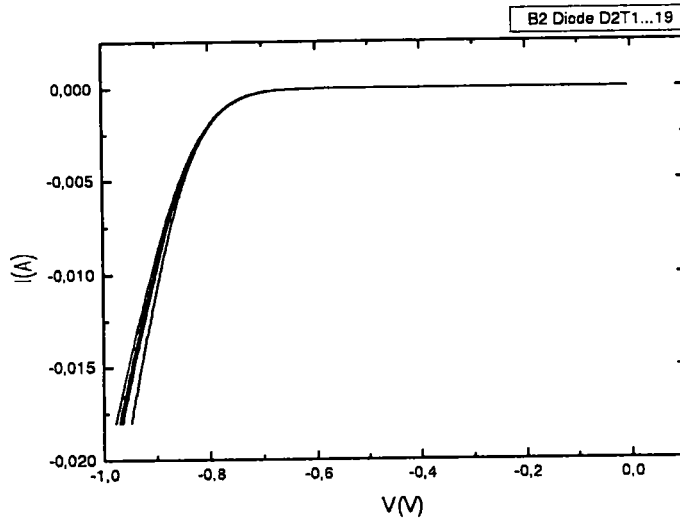


Figure III.12 : Caractéristiques I-V des diodes de protection D2

L'extraction des paramètres a été effectuée pour toutes les diodes de protection D2 selon le modèle VDEM. Les paramètres extraits sont regroupés sur le tableau III.2.

Paramètres N° Tr	I_{od} (A)	A	I_{or} (A)	R_s (Ω)	Q
T1D2	9,32E-19	1,70	3,17E-11	6,41	0,00204
T2D2	6,25E-19	1,65	1,55E-11	5,33	0,00122
T5D2	5,40E-19	1,54	0,45E-11	4,84	0,00092
T7D2	5,33E-19	1,68	3,6E-11	4,87	0,00151
T8D2	4,71E-19	1,72	4,10E-11	4,45	0,00213
T10D2	6,04E-19	1,49	2,62E-12	5,17	0,00162
T13D2	4,47E-19	1,69	2,91E-11	4,31	0,00191
T14D2	4,79E-19	1,68	2,50E-11	4,50	0,00180
T15D2	5,56E-19	1,61	1,13E-11	4,94	0,00140
T17D2	5,78E-19	1,69	2,78E-11	5,04	0,00176
T18D2	2,30E-18	2,02	3,25E-10	5,31	0,00348
T19D2	2,94E-19	1,74	4,46E-11	3,10	0,00223

Tableau III.2 : Extraction des paramètres des diodes de protection.

Ces paramètres indiquent une prédominance des phénomènes de recombinaison, cela est en particulier indiqué par les valeurs du facteur de qualité A (supérieur à 1) et du courant de recombinaison I_{or} qui est lui-même bien supérieur au courant de diffusion I_{od} .

Les résistances séries ont des valeurs relativement proches et le critère d'efficacité indique une bonne description de ces diodes par le modèle VDEM. L'ensemble de ces résultats ne montre pas de lien de variation des paramètres des diodes avec la taille du transistor auquel elles sont associées.

III.2.2. Capacité MOS et diodes

Les composants étudiés et les méthodes de caractérisation de ces structures ont été présentés au chapitre II.

III.2.2.1 Capacité MOS

Les mesures des capacités ayant été effectuées à 1 MHz, il est possible de mettre en évidence le comportement haute fréquence de ces structures dans les régimes d'accumulation, de déplétion et d'inversion. La détermination des paramètres a été effectuée pour des structures carrées de type n ou p.

Le comportement haute fréquence de ces structures est représenté ci-dessous pour les deux types de capacités étudiés. Les caractéristiques $(C_{ox}/C)^2 = f(V_G)$ sont utilisées pour la détermination du niveau de dopage du substrat.

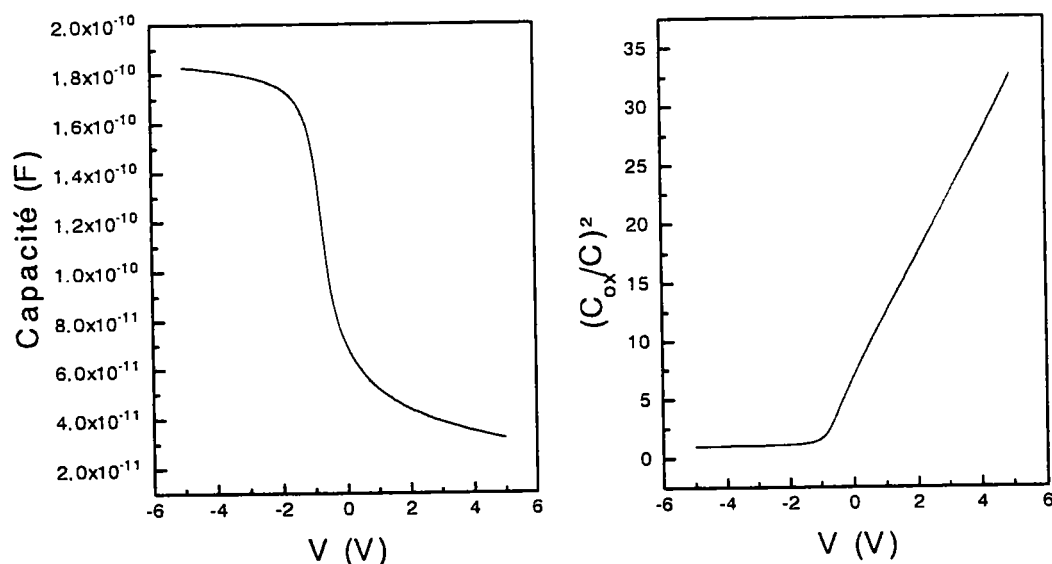


Figure III.12 (a): Caractéristique $C(V)$ et $(C_{ox}/C)^2$ de la capacité $C1$ de type P, mesuré à haute fréquence 1 MHz.

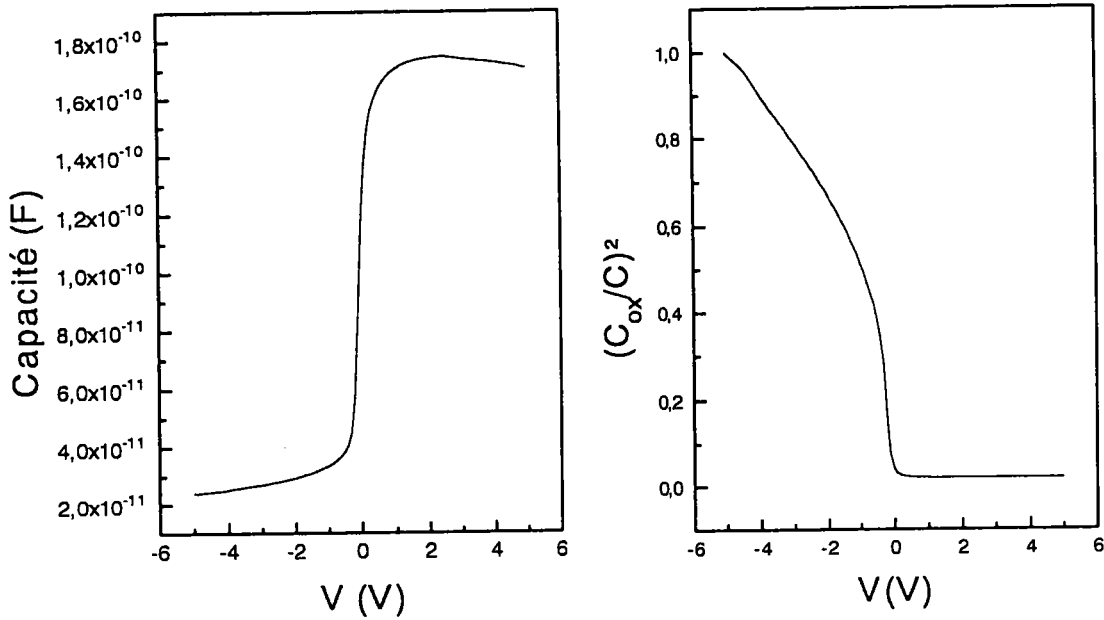


Figure III.13 (b): Caractéristique $C(V)$ et $(C_{ox}/C)^2$ de la capacité $C2$ de type N, mesurée à haute fréquence 1 MHz.

La capacité de l'oxyde C_{ox} est calculée à partir de la capacité mesurée en régime d'accumulation: fort V_G pour le type N, V_G très négatif pour le type P. Le niveau de dopage du substrat N_{sub} est obtenu en régime de déplétion. Pour ces capacités de type N, le tracé $(C_{ox}/C)^2 = f(V_G)$ fait apparaître deux niveaux de dopage, dus à une double implantation, le dopage le plus faible étant celui de la partie semi-conductrice la plus proche de l'interface.

Compte tenu des équations développées dans le paragraphe I.2.1.4, le comportement $C(V)$ d'une structure idéale a pu être simulé numériquement en vue de la détermination de la tension de bandes plates V_{FB} .

Les résultats obtenus pour les deux types de capacités sont récapitulés dans le tableau III.3. La même étude appliquée à d'autres boîtiers de capacités du même type a montré qu'il n'y avait pratiquement pas de dispersion des valeurs obtenues.

	Type	C_{ox} (pF)	d_{ox} (Å)	N_{sub} (at/cm ³)	V_{FB} (V)
C1	P	178	193	$6,51 \cdot 10^{16}$	-1
C2	N	173	190	$4,47 \cdot 10^{16}$ $6,88 \cdot 10^{15}$	0,6

Tableau III.3 : Récapitulatif des résultats obtenus.

III.2.2.2 Diodes

L'étude des diodes intégrées dans les boîtiers de capacité montre une allure des caractéristiques dépendant du type et de la structure de la diode, comme visible sur la figure III.14. Les diodes 5 et 7 de structure carrée se regroupent; de même pour les diodes 6 et 8 de structure interdigitée (cf. Tableau II.2). Les différences observées pour une même structure n'étant dues qu'à la différence des niveaux de dopage. En cela, les plus dopées (D7 et D8) se retrouvent plus à l'extérieur car possédant une tension de seuil plus élevée.

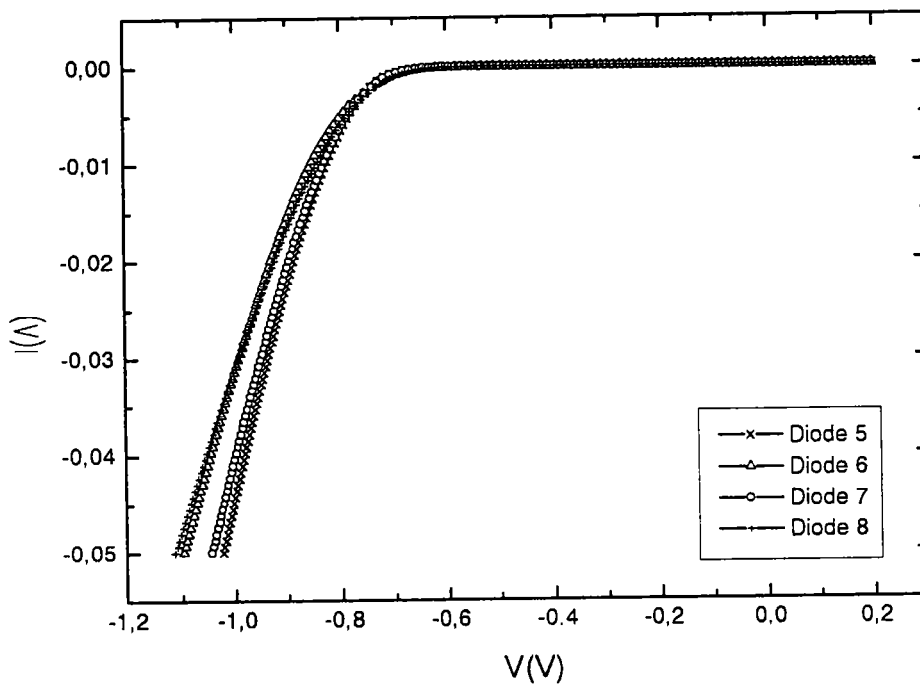


Figure III.13 : Caractéristiques I-V des diodes.

L'extraction des paramètres effectuée à l'aide de notre logiciel de calcul selon le modèle VDEM a conduit aux valeurs regroupées dans le tableau ci-dessous.

Diodes	I_{od} (A)	A	I_{or} (A)	R_s (Ω)	Qrms
D5	2,36E-20	1,46	6,74E-12	3,27	0,001021
D6	6,56E-17	2,47	2,01E-08	4,47	0,001867
D7	4,46E-20	1,46	8,23E-12	3,93	0,001740
D8	1,91E-17	2,05	2,10E-09	5,40	0,001247

Tableau III.3 : Paramètres calculés des diodes de boîtier capacité.

Les valeurs données dans le tableau précédent, montrent que les facteurs de qualité et les courants de recombinaison des structures interdigitées sont plus grandes. En effet, contrairement au cas des structures carrées, ces structures interdigitées induisent davantage de défauts par suite de l'importance des effets de bord. Notons également pour ces mêmes structures, des valeurs plus importantes des résistances séries et de courants de diffusion.

III.3. ETUDE APRES IRRADIATION IONISANTE (γ) Co-60

Ce paragraphe est consacré à l'étude du comportement des transistors MOS irradiés au Co-60, afin d'évaluer leur dégradation. Pour cela, nous procédons à une analyse systématique des paramètres de conduction du transistor, à celle des paramètres caractéristiques des jonction drain-substrat et des diodes de protection du transistor.

Ces irradiations ont été effectuées avec la collaboration de l'ESA/ESTEC. Le niveau d'irradiation était de 50 krad (Si) avec un débit de dose 50 rad(Si)/min. Tous les composants ont été irradiés avec $V_G = 0V$ (sans aucune polarisation de grille).

La dégradation des performances du transistor MOS suite à une irradiation ionisante est essentiellement liée aux charges piégées dans l'oxyde ainsi qu'à celle piégées à l'interface Si/SiO₂. Une densité de pièges importante provoque un décalage de la tension de seuil, dégrade la mobilité des porteurs du canal et change la pente sous le seuil [5].

Un autre effet de dégradation peut être mis en évidence par l'intermédiaire de l'évolution des paramètres caractéristiques de la jonction drain-substrat d'un transistor MOS [6-7].

Dans cette optique, l'évolution des paramètres de conduction du transistor sous l'effet de l'irradiation a d'abord été analysée, suivie de l'étude des paramètres de la jonction drain-substrat, des diodes de protection du transistor et de leur corrélation avec le fonctionnement du transistor.

III.3.1. Transistor MOS en conduction

L'étude des caractéristiques courant-tension avant et après irradiation permet d'analyser les causes de variation des grandeurs caractéristiques du fonctionnement des

transistors. Dans ce but, nous présenterons ici l'évolution des caractéristiques courant-tension dans les différents régimes de fonctionnement.

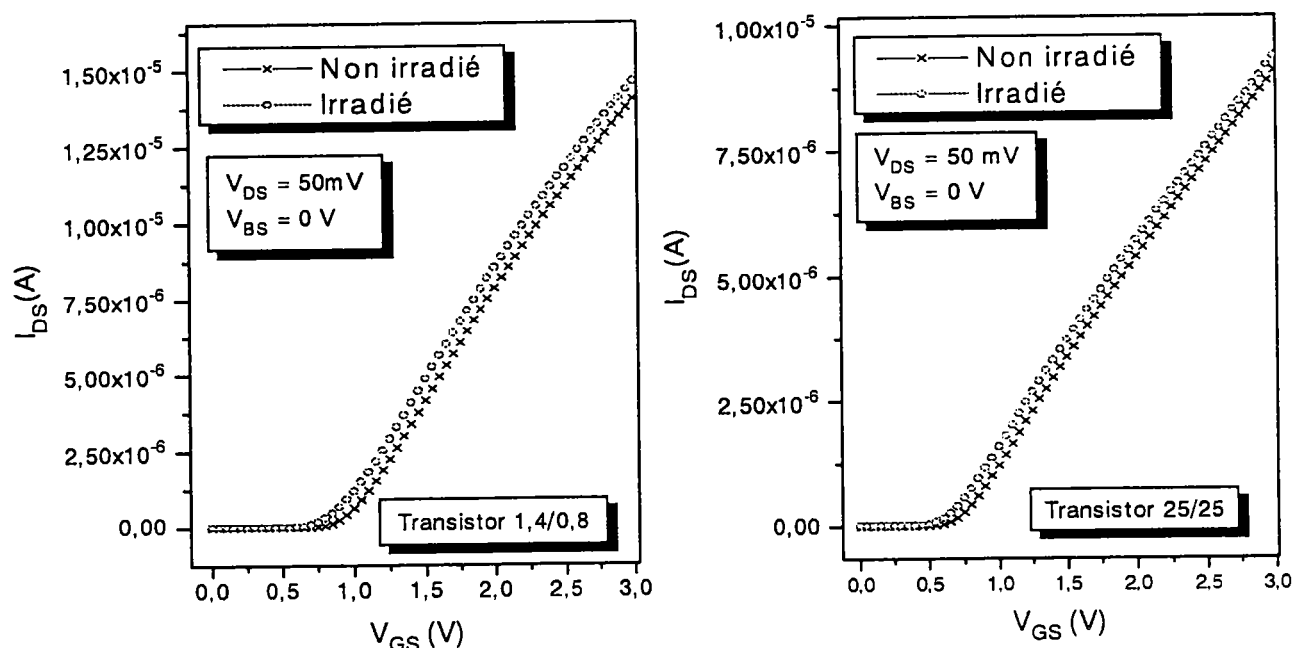


Figure III.15 : Evolution des caractéristiques de transfert avec l'irradiation.

Les évolutions des caractéristiques de transfert mesurées en régime linéaire sont représentées dans la figure III.15 pour les transistors de géométrie $W/L = 1,4/0,8$ et $25/25$. Pour l'ensemble des structures étudiées il a été observé un décalage similaire des caractéristiques, traduisant une diminution de la tension de seuil des transistors.

L'augmentation du courant de drain reste faible pour l'ensemble des structures, sauf pour les transistors de petite géométrie $W/L = 1,4/0,8$ qui présentent une plus grande sensibilité, comme visible sur la figure III.16.

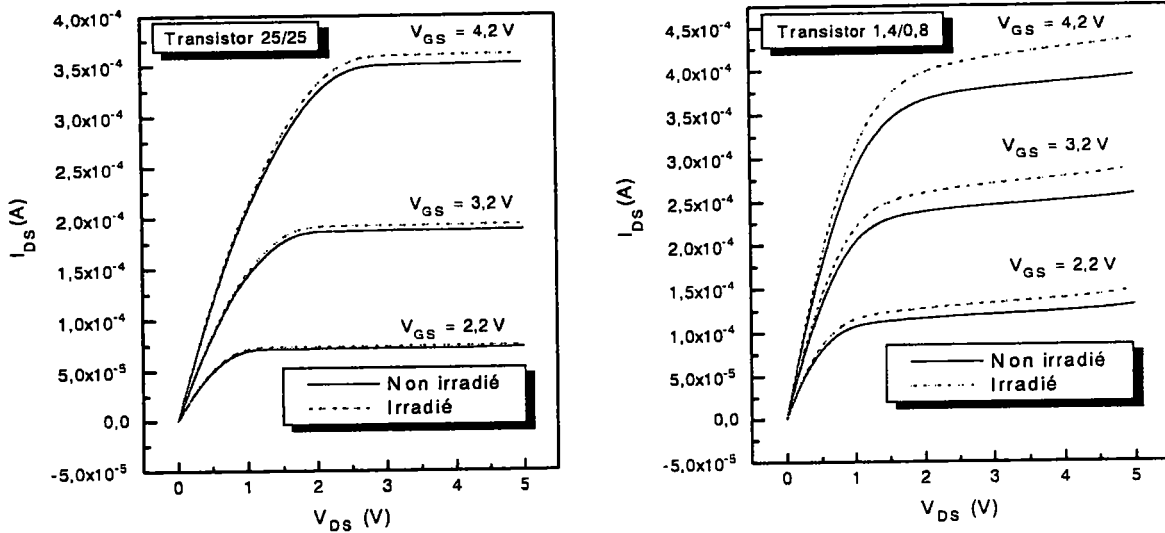


Figure III.16 : Evolution des caractéristiques de fonctionnement avec l'irradiation.

La détermination de l'ensemble des paramètres de conduction pour chacune des géométries étudiées a été obtenue de façon semblable à celle déjà mentionnée au paragraphe III.2. Ces paramètres sont regroupés dans le tableau III.5 (a) et (b), respectivement avant et après irradiation.

(a) Avant irradiation

Géométrie	25 / 0,8			1,4 / 0,8			1,4 / 25			25 / 25			
	Transistor	T1	T2	T5	T7	T8	T10	T13	T14	T15	T17	T18	T19
V_T (V)		0,79	0,79	0,78	1,03	1,02	1,01	0,94	0,92	0,93	0,74	0,73	0,73
μ_o (cm ² /V.s)		518	516	521	601	578	550	492	490	494	437	435	441
θ (10 ⁻³ .V ⁻¹)		76	78	72	54	50	63	48	43	58	56	58	54

(b) Après irradiation

Géométrie	25 / 0,8			1,4 / 0,8			1,4 / 25			25 / 25			
	Transistor	T1	T2	T5	T7	T8	T10	T13	T14	T15	T17	T18	T19
V_T (V)		0,66	0,67	0,66	0,90	0,90	0,89	0,83	0,82	0,84	0,64	0,63	0,64
μ_o (cm ² /V.s)		523	516	519	605	602	570	490	495	494	443	439	440
θ (10 ⁻³ .V ⁻¹)		74	72	79	60	53	58	46	50	48	60	53	57

Tableau III.5 : Récapitulatif des résultats obtenus pour les paramètres de conduction (a) avant irradiation et (b) après irradiation.

Pour l'ensemble de ces transistors, on note une diminution de la tension de seuil proche de 100 mV quelle que soit la géométrie considérée. Ceci peut être dû au fait que l'épaisseur d'oxyde (19 nm) de ces structures est la même pour tous les transistors. Cette faible épaisseur de l'oxyde de grille peut aussi expliquer la faible évolution de la tension de seuil comparativement à des structures de type D-MOS [8]. Par contre, nous n'avons pas observé une évolution significative de la mobilité à faible champ μ_0 et du coefficient d'atténuation de mobilité θ . D'ailleurs, au vu des caractéristiques de transfert (cf. figure III.14) pour lesquelles il n'apparaissait pas de changement de courbure, il était possible de prévoir que ces deux paramètres ne seraient pas influencés par l'effet de l'irradiation. Cependant, on constate une dispersion plus importante des valeurs de θ après irradiation.

Notons aussi l'apparition de courants de fuite sur toutes les structures étudiées après irradiation. Ces courants de fuite sont perceptibles dans le tracé semilogarithmique de la caractéristique de transfert en régime de conduction sous le seuil et à la saturation, sur la figure III.17.

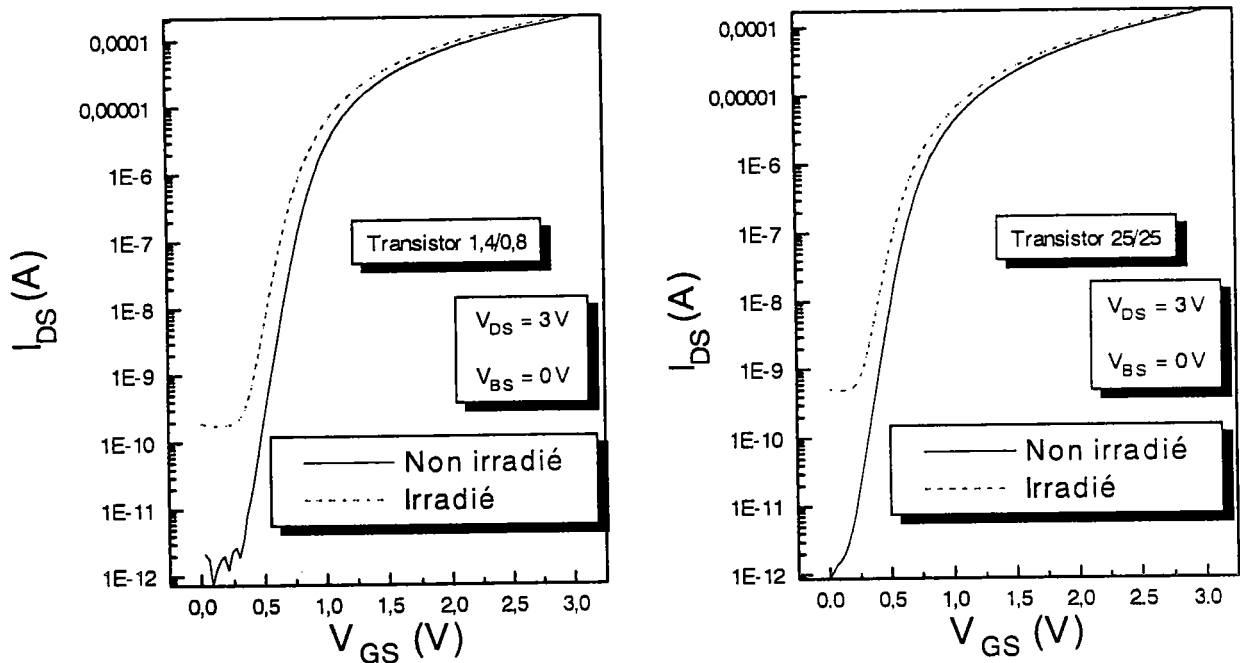


Figure III.17 : Evolution des caractéristiques de transfert en régime de conduction sous le seuil à la saturation.

Ces courants de fuite sont dus à la limitation du canal par des oxydes épais. En effet, l'accumulation de charges positives créées par l'irradiation dans ces régions peut être telle qu'elle induise des charges négatives en bord de grille dans le cas d'un substrat de type P. Ces

charges négatives constituent des canaux parasites normalement conducteurs et insensibles à la tension de grille. En outre, ces courants parasites sont beaucoup plus importants lorsque la grille est polarisée durant l'irradiation [9], ce qui n'est pas notre cas.

Nous avons appliqué sur un transistor de chaque géométrie la technique proposée par Mc Whorter et Winokur [10] qui permet de séparer les effets des charges piégées dans l'oxyde de ceux dus à la charge piégée à l'interface oxyde-semiconducteur (cf. II.3.2.2.5). Cette technique dite de "mid-gap" utilise la caractéristique de transfert en conduction sous le seuil.

Sur le tableau III.6 sont regroupées les valeurs des paramètres calculés pour chacune des géométries étudiées.

Paramètres Géométrie	ΔV_T (mV)	ΔV_{ot} (mV)	ΔV_{it} (mV)	ΔN_{ot} (cm ⁻³)	ΔN_{it} (cm ⁻³)
25 / 0,8	-110	-121	11	$1,35 \cdot 10^{10}$	$1,22 \cdot 10^9$
1,4 / 0,8	-112	-140	25	$1,56 \cdot 10^{10}$	$2,78 \cdot 10^9$
1,4 / 25	-101	-111	10	$1,23 \cdot 10^{10}$	$1,10 \cdot 10^9$
25 / 25	-97	-105	8	$1,17 \cdot 10^{10}$	$0,89 \cdot 10^9$

Tableau III.6 : Variation des densités de charges dans l'oxyde et de densités de charges d'interface.

On constate que l'effet des charges piégées dans l'oxyde est prépondérant sur la variation totale de tension de seuil (densité de charges d'interface négligeable).

III.3.2. Jonction drain-substrat après irradiation

Afin de suivre l'évolution des dégradations, nous avons analysé les caractéristiques courant-tension de la jonction drain-substrat après irradiation. Sans polarisation de grille, les évolutions des caractéristiques courant-tension de la jonction drain-substrat des transistors de différentes géométries sont représentées sur la figure III.18. On perçoit bien sur ces caractéristiques les déformations engendrées par l'irradiation. Ces déformations sont davantage visibles dans le cas des transistors de largeur de grille $W = 25 \mu\text{m}$ et peuvent être attribuées au fait que les surfaces de jonctions sont plus grandes et donc influencées par une charge des oxydes d'emballage plus importante.

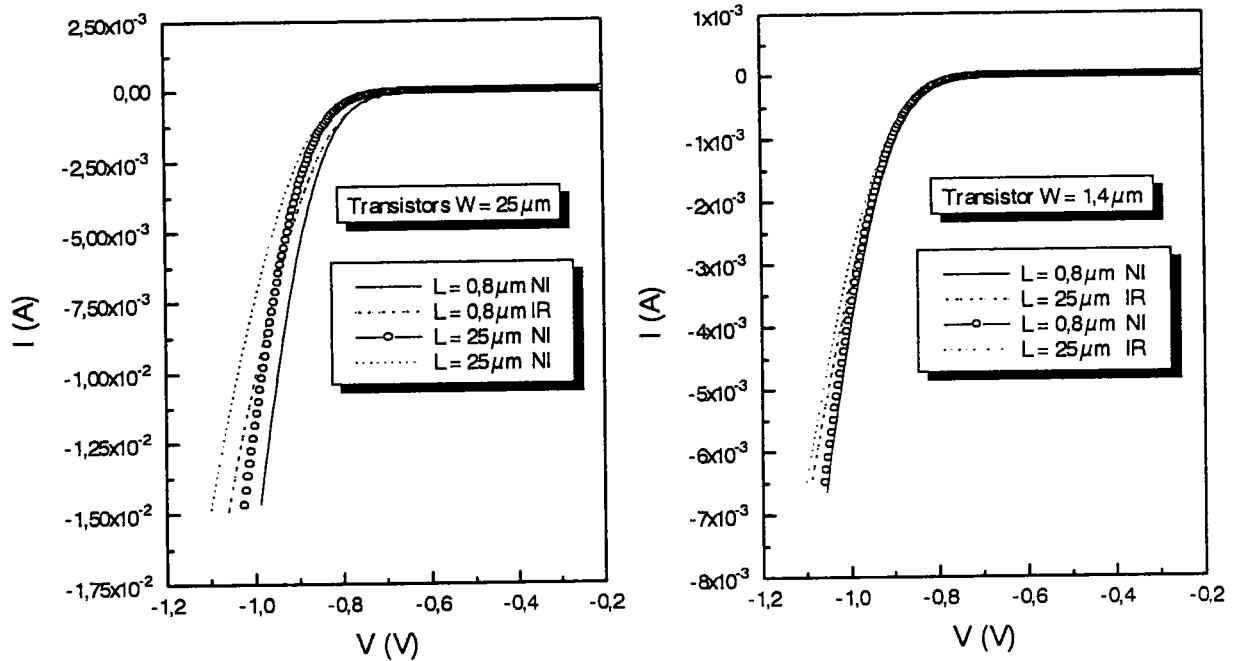


Figure III.17 : Effet de l'irradiation sur les caractéristiques des jonctions drain-substrat.

L'extraction des paramètres avant et après irradiation a été réalisée selon le modèle VDEM. Les résultats obtenus sont regroupés dans le tableau III.7 (a) et (b), respectivement avant et après irradiation pour deux transistors de chaque géométrie.

(a) Avant irradiation

Paramètres Transistors	A	I_{or} (A)	R_S (Ω)	I_{od} (A)	W / L
T1	1,96	$2,06 \cdot 10^{-10}$	3,96	$2,43 \cdot 10^{-19}$	25 / 0,8
T2	1,93	$1,63 \cdot 10^{-10}$	4,13	$2,80 \cdot 10^{-19}$	25 / 0,8
T8	2,62	$7,31 \cdot 10^{-10}$	12,35	$9,99 \cdot 10^{-19}$	1,4 / 0,8
T10	2,65	$8,56 \cdot 10^{-10}$	12,47	$1,26 \cdot 10^{-19}$	1,4 / 0,8
T13	2,57	$2,31 \cdot 10^{-9}$	12,06	$9,36 \cdot 10^{-19}$	1,4 / 25
T15	2,54	$1,25 \cdot 10^{-9}$	12,12	$1,05 \cdot 10^{-19}$	1,4 / 25
T17	1,81	$1,71 \cdot 10^{-10}$	4,95	$1,71 \cdot 10^{-19}$	25 / 25
T19	1,77	$1,31 \cdot 10^{-10}$	5,18	$1,31 \cdot 10^{-19}$	25 / 25

(a) Après irradiation

Paramètres Transistors	A	I_{or} (A)	R_S (Ω)	I_{od} (A)	W / L
T1	2,06	$5,05 \cdot 10^{-10}$	3,43	$4,15 \cdot 10^{-19}$	25 / 0,8
T2	2,09	$6,14 \cdot 10^{-10}$	3,54	$1,63 \cdot 10^{-19}$	25 / 0,8
T8	3,38	$9,08 \cdot 10^{-9}$	12,81	$1,51 \cdot 10^{-19}$	1,4 / 0,8
T10	3,47	$9,42 \cdot 10^{-9}$	12,79	$1,17 \cdot 10^{-19}$	1,4 / 0,8
T13	3,28	$7,30 \cdot 10^{-8}$	12,65	$9,83 \cdot 10^{-19}$	1,4 / 25

T15	3,22	$2,01.10^{-8}$	12,77	$1,45.10^{-19}$	1,4 / 25
T17	1,84	$2,64.10^{-10}$	4,22	$9,41.10^{-19}$	25 / 25
T19	1,78	$1,08.10^{-10}$	4,38	$1,66.10^{-19}$	25 / 25

Tableau III.6 : Récapitulatif des paramètres calculés de la jonction drain-substrat (a) avant irradiation, (b) après irradiation (γ).

Ces résultats montrent une augmentation du courant de recombinaison I_{or} associée à une augmentation du facteur de qualité A à la suite de l'irradiation. Les accroissements du facteur de qualité et de la résistance série impliquent davantage de phénomènes de recombinaison dans la zone de charge d'espace et montrent que la jonction a un comportement apparent dégradé après irradiation. Ce résultat s'explique par l'influence des charges d'oxyde épais d'isolation sur le potentiel de surface de la jonction, comme dans le cas du paragraphe III.2.1.3.2 sur l'effet de la tension de grille[8].

Ces champs électriques provoquent une extension supplémentaire de la zone de charge d'espace de la jonction, favorisant ainsi les processus de recombinaison.

Les valeurs du courant de diffusion sont dispersées et ne montrent pas d'évolution significative après une dose d'irradiation. Les valeurs déterminées de la résistance shunt étaient très importantes indiquant qu'aucun courant de fuite ne s'est manifesté dans la jonction suite à l'irradiation.

Les résultats précédents montrent ainsi une différence de sensibilité à ce type de vieillissement, suivant les dimensions, en particulier une meilleure tenue pour les transistors de plus petite largeur de grille $W = 1,4 \mu\text{m}$.

La comparaison de l'action de la tension de grille sur les paramètres de la jonction avant et après irradiation a été effectuée pour les transistors de petite largeur de grille $W = 1,4 \mu\text{m}$ à cause de leur plus grande sensibilité. L'évolution des différents paramètres caractérisant la jonction est représentée sur la figure III.19 (a), (b), (c), et (d), respectivement pour le facteur de qualité A, la résistance série R_s , le courant de recombinaison I_{or} et le courant de diffusion I_{od} . Cette figure doit être rapprochée de la figure III.10 qui montre l'effet de V_{GS} pour des transistors de largeurs différentes.

Le facteur de qualité (figure III.19 (a)) subit une forte augmentation suite à l'irradiation. Le courant de recombinaison (figure III.19 (c)) montre une sensibilité plus grande à la tension de grille après irradiation. Le processus de diffusion, quant à lui, reste du même ordre avec des valeurs de I_{od} (figure III.19 (d)) dispersées, non significative.

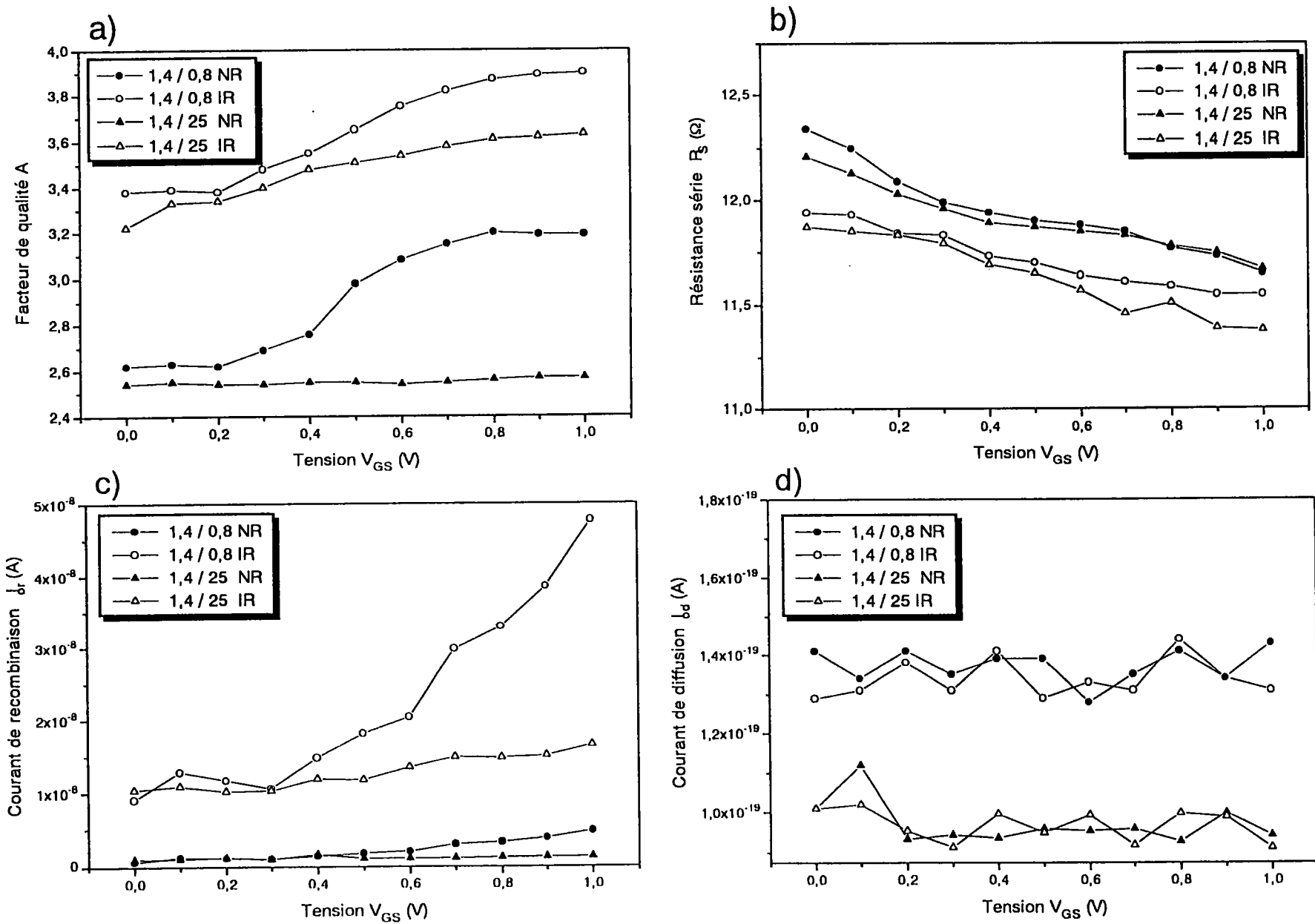


Figure III.19 : Influence de V_{GS} sur les paramètres de la jonction drain-substrat après irradiation (γ).

Ces évolutions impliquent des phénomènes de recombinaison plus important après irradiation. Cette dégradation est attribuée à l'influence des charges piégées dans les oxydes épais d'isolation qui agissent sur l'extension de la zone de charge d'espace de ces jonctions.

La résistance série (figure III.19 (b)) suit la même évolution avec V_{GS} mais se trouve diminuée après irradiation ionisante. Cette diminution, associée à l'augmentation de la zone de charge d'espace, peut être attribuée à la réduction de la profondeur des zones neutres.

Les résistances shunt ne présentent pas d'altération sous l'effet de la tension de grille après irradiation, de valeurs très importantes, elles permettent de vérifier la non ouverture du canal du transistor.

III.3.3. Diode de protection après irradiation

Un exemple de caractéristiques de diodes de protection illustrant la comparaison des courbes après irradiation est donné ci-dessous dans le cas de la diode de protection d'un transistor de géométrie $W/L= 1,4 / 0,8$.

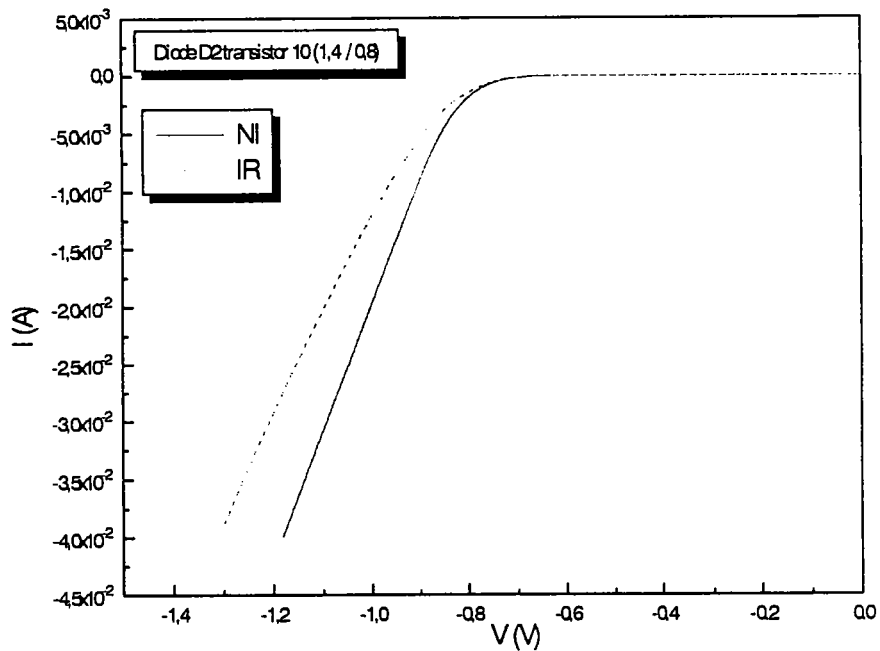


Figure III.20 : Comparaison des caractéristiques I-V de la jonction drain-substrat avant et après irradiation.

En vue d'évaluer la dégradation des diodes de protection du transistor, et de comparer leurs évolutions avec celles des jonctions drain-substrat des transistors, nous avons procédé à l'extraction des paramètres. Les résultats obtenus sont rassemblés dans le tableau III.8 une diode de protection d'un transistor de chaque géométrie.

(a) Avant irradiation

Diodes	A	$I_{or}(A)$	$R_s(\Omega)$	$I_{od}(A)$
T1D2 25/0,8	1,72	9,60E-11	4,56	7,13E-19
T10D2 1,4/0,8	1.81	4,57E-11	5,33	4,21E-19
T15D2 1,4/25	1,75	4,76E-11	4,88	3,36E19
T18D2 25/25	1,76	6,4E-11	5,34	2,88E-19

(a) Après irradiation

Diodes	A	$I_{or}(A)$	$R_s(\Omega)$	$I_{od}(A)$
T1D2 25/0,8	1,94	3,8E-10	8,29	5,13E-19
T10D2 1,4/0,8	1,93	1,9E-10	9,24	3,35E-19
T15D2 1,4/25	1,95	2,54E-10	9,35	1,36E-19
T18D2 25/25	1,95	4,51E-10	8,52	5,73E-19

Tableau III.8 : Récapitulatif des paramètres calculés pour les diodes de protection.

L'augmentation du facteur des processus de recombinaison suite à l'irradiation suit la même variation que celle observée pour les jonctions drain-substrat. Ceci confirme l'origine de cette influence attribuée aux oxydes de passivation. Le mécanisme de diffusion ne présente pas de changement notable dans la dispersion de ses valeurs. La forte augmentation de la résistance série après irradiation observée pour ces diodes de protection est contraire à celle de la diminution observée pour les jonctions drain-substrat. Il faut noter que la structure de cette dernière est connue alors que celle des diodes de protection ne nous a pas été transmise.

Remarque

La caractérisation des capacités MOS après irradiation n'a révélé, à l'image des caractéristiques de transfert des transistors en régime linéaire, qu'une translation vers la gauche de la courbe C(V). Sur la figure III.21 nous avons représenté l'évolution de cette courbe dans le cas d'une capacité de type P.

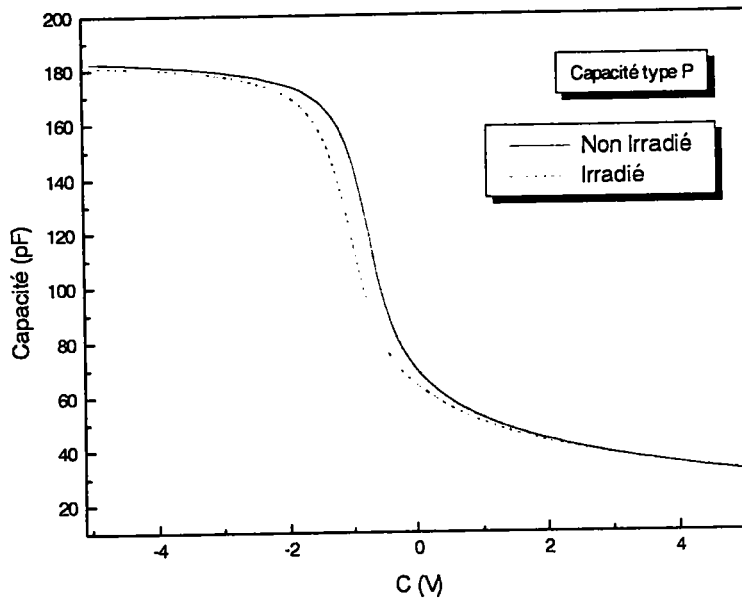


Figure III.21 : Comparaison des caractéristiques $C(V)$ avant et après irradiation

Ce décalage vers la gauche de la capacité traduit une diminution de la tension de bandes plates et donc aussi de la tension de seuil de la structure, effet généralement attribué aux charges piégées dans l'oxyde. Par contre il n'a pas été observé de modification de la pente de cette courbe après irradiation en régime de déplétion, effet généralement attribué à l'augmentation de la densité d'états d'interface.

Ainsi, ce comportement des capacités confirme la prédominance des charges piégées dans l'oxyde sur les états d'interface, comme observé sur les transistors (cf. tableau III.6)

III.4. ETUDE APRES IRRADIATION PROTONS

Nous nous intéressons dans ce paragraphe à l'étude des effets induits par irradiation protons sur les structures MOS déjà présentées. Notre démarche sera similaire à celle utilisée dans le paragraphe précédent.

Les irradiations protons ont été réalisées avec la collaboration de l'agence européenne spatiale ESA/ESTEC à PSI. L'énergie des protons incidents était de 150 MeV avec une dose de 10 krad (Si) et une fluence d'environ 9.10^{11} p/cm². Toutes les structures ayant été irradiées sans aucune polarisation de grille.

Il est généralement admis [11] que l'irradiation protons provoque davantage d'effets de déplacements atomiques que d'ionisation. Cependant il est également connu que dans le domaine des hautes énergies, les interactions nucléaires inélastiques dominent [12-13] et favorisent plutôt les effets d'ionisation.

Dans le cadre de ce travail, nous nous sommes placés à un niveau d'énergie intermédiaire (150 MeV), qui devrait permettre à la fois une dégradation des structures par effet d'ionisation et de déplacement.

En effet, pour connaître les influences relatives à chaque effet, nous pouvons nous reporter à la courbe proposée par Raymond et Patersen [14] donnant la variation du rapport η de l'énergie déposée sous forme ionisante et non ionisante en fonction de l'énergie des protons incidents.

Nous avons reporté sur la figure III.22 la courbe de variation proposée par [14]. A l'aide de cette courbe, nous avons pu évaluer pour notre cas un rapport $\eta \approx 48\%$, c'est à dire une prépondérance d'effets de déplacement de 52%.

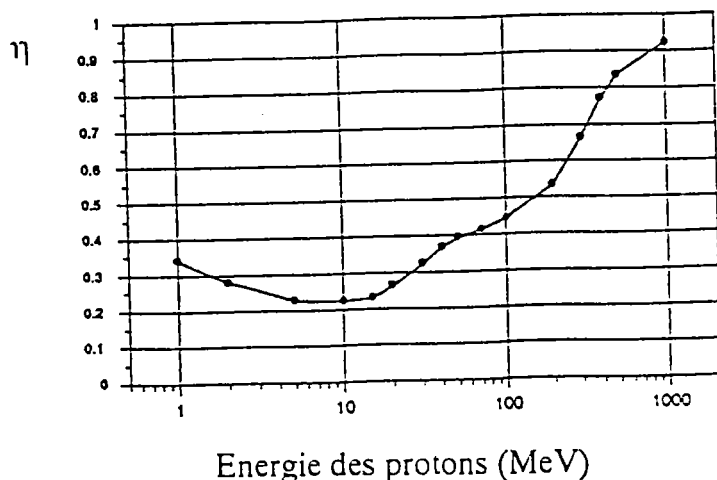


Figure III.22 : Variation du rapport d'énergie déposée sous forme ionisante et non ionisante en fonction de l'énergie des protons incidents.

III.4.1. Transistor en conduction

L'observation des caractéristiques courant-tension, permet de rendre compte des modifications engendrées par l'irradiation. Pour cela, nous avons représenté sur la figure III.23 l'évolution des caractéristiques de transfert en régime linéaire pour les transistors de géométrie $W/L=25/0,8$ et $1,4/0,8$.

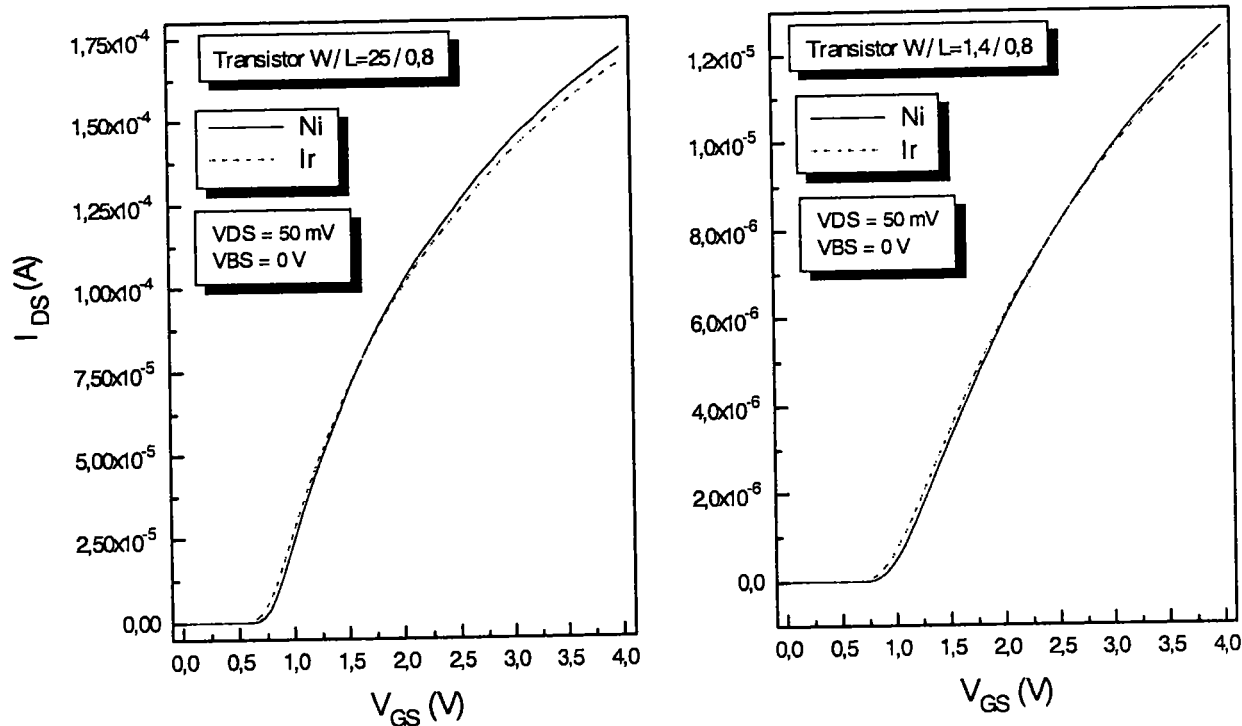


Figure III.23 : Evolution des caractéristiques de transfert en régime linéaire avant et après irradiation.

En comparant ces caractéristiques à celles obtenues dans le cas de l'irradiation γ (cf. figure III.15), nous distinguons ici à la fois une diminution de la tension de seuil et de la pente des caractéristiques avec croisement et diminution du niveau de courant.

La diminution de la tension de seuil peut être attribuée aux charges générées par l'effet ionisant des protons. Par contre, la diminution de la pente de la caractéristique traduit, elle, une diminution de la mobilité ou de la durée de vie des porteurs[11].

L'observation des caractéristiques de fonctionnement de la figure III.24, permet de mieux percevoir la diminution du niveau de courant après irradiation.

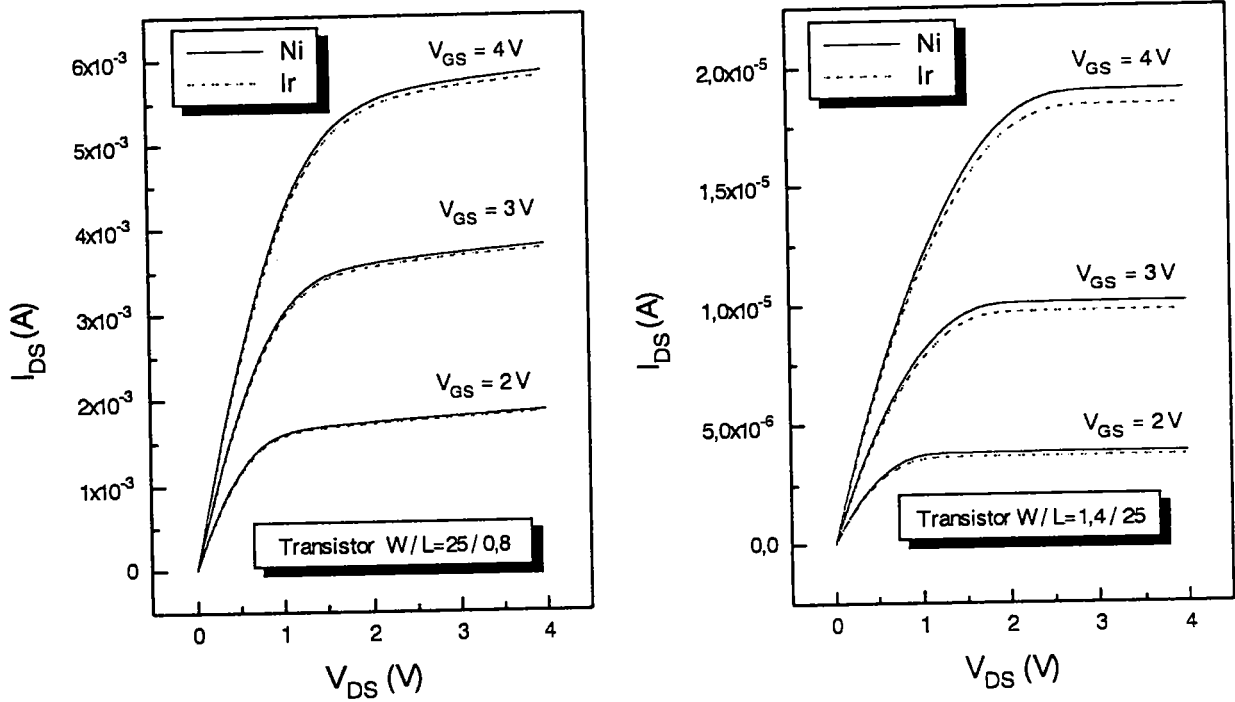


Figure III.24 : Evolution des caractéristiques de fonctionnement avant et après irradiation.

Le calcul des paramètres de conduction a conduit aux valeurs représentées sur le tableau III.9, concernant un transistor de chaque géométrie.

(a) avant irradiation.

W / L	V_T (V)	μ_o (cm ² /Vs)	θ (10 ⁻³ V ⁻¹)
25 / 0,8	0,79	533	75
1,4 / 0,8	1,03	580	53
1,4 / 25	0,88	490	46
25 / 25	0,74	445	55

(b) après irradiation

W / L	V_T (V)	μ_o (cm ² /Vs)	θ (10 ⁻³ V ⁻¹)
25 / 0,8	0,74	524	77
1,4 / 0,8	0,97	570	52
1,4 / 25	0,83	479	43
25 / 25	0,68	436	58

Tableau III.9 (a), (b) : Paramètres de conduction avant et après irradiation.

Comme on pouvait s'y attendre au vu des caractéristiques de transfert, on note une diminution de la tension de seuil V_T de près de 50 mV après irradiation. La mobilité de

surface μ_0 , montre également une diminution, alors que le coefficient d'atténuation de mobilité θ ne semble pas présenter d'évolution.

L'observation du comportement de la caractéristique de transfert en régime de conduction sous le seuil à la saturation (figure III.25) permet de mettre en évidence l'existence de courant de fuite après irradiation.

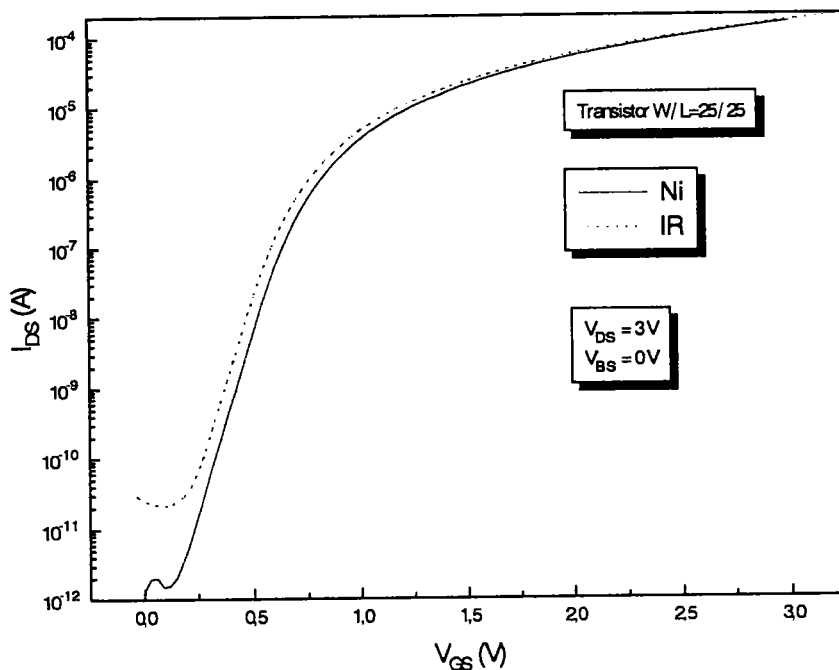


Figure III.24 : Caractéristique de transfert en régime de conduction sous le seuil à la saturation.

Cependant, le calcul de la variation de la densité de charges d'interface et des charges piégées dans l'oxyde n'a pas pu s'effectuer étant donné que la méthode proposée par [10] est développée pour le cas d'une irradiation ionisante.

III.4.2. Jonction drain-substrat après irradiation

L'analyse des caractéristiques de la jonction drain-substrat après irradiation protons a été réalisée afin de suivre l'évolution de sa dégradation. Cette analyse concerne en particulier ici la jonction drain-substrat des transistors de géométrie $W/L=25/0,8$. La modification de la caractéristique courant-tension est représentée dans la figure III.25.

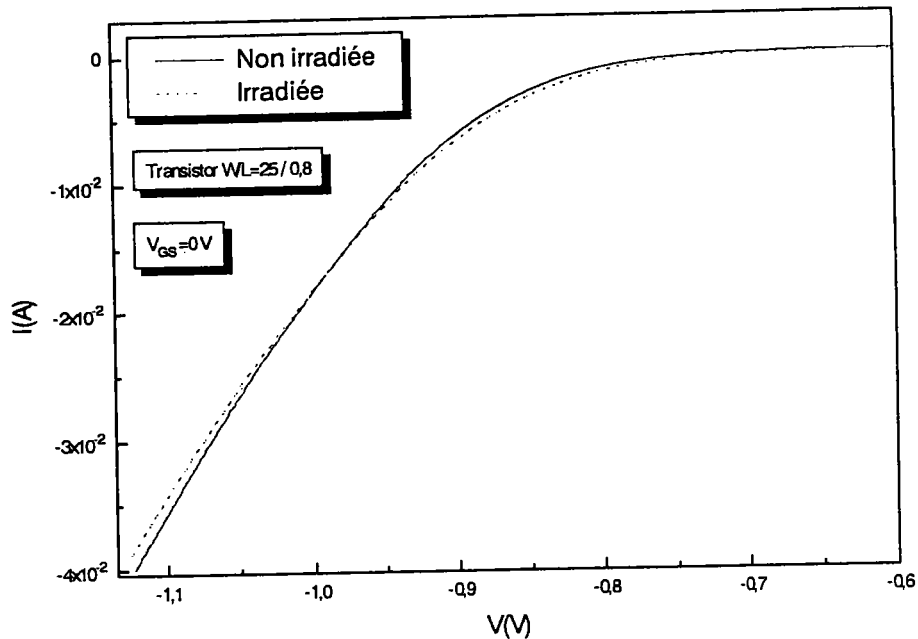


Figure III.25 : Caractéristique I-V de la jonction drain-substrat après irradiation protons.

Cette figure montre un croisement de caractéristiques, contrairement au cas observé pour une irradiation ionisante γ (cf. figure III.18). Ce croisement de caractéristiques confirme l'hypothèse de la différence des processus impliqués.

L'étude de l'influence de la tension de grille V_{GS} sur la jonction a conduit après extraction des paramètres selon le modèle VDEM, incluant diffusion et recombinaison, à l'ensemble des caractéristiques présentées dans la figure III.26.

Cette figure est à rapprocher de la figure III.19 concernant les effets de dose. Les évolutions du facteur de qualité III.26 (a) et du courant de recombinaison (d) sont semblables à celles provoquées par l'irradiation gamma. L'augmentation de la résistance série après irradiation correspond à l'aspect déplacement de cette irradiation. Le courant de diffusion (c) correspond lui aussi à l'effet de déplacement associé à la création de centres recombinants agissant ici dans la zone neutre de la jonction. Ce paramètre apparaît comme significatif pour la caractérisation des effets de déplacement par irradiation.

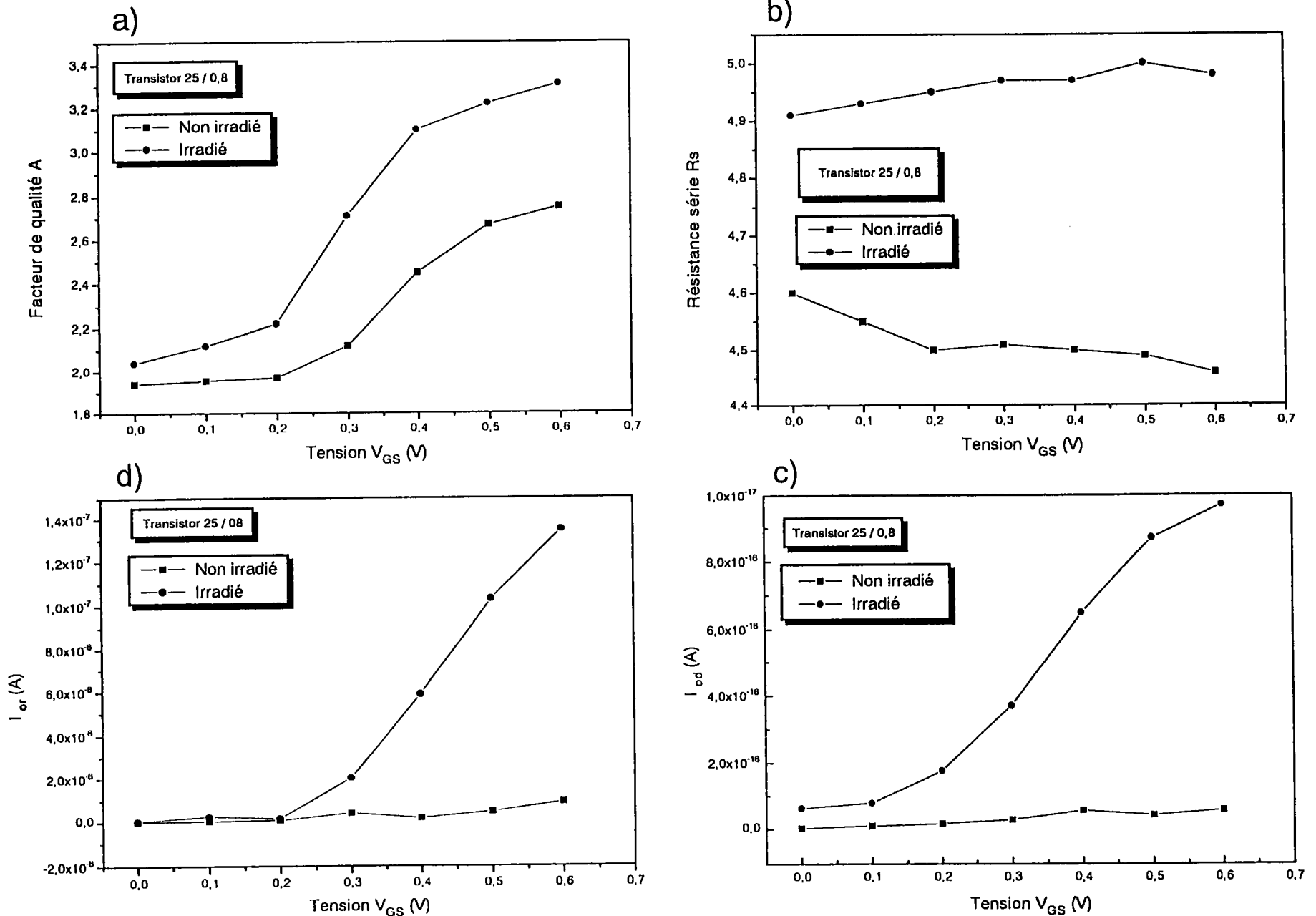


Figure III.26 : Influence de V_{GS} sur les paramètres de la jonction drain-substrat après irradiation protons.

III.5. SYNTHÈSE

En synthèse de ce chapitre consacré à l'étude expérimentale, il faut retenir quatre points fondamentaux:

- l'étude avant irradiation a permis l'observation et l'analyse de l'évolution des paramètres de conduction ainsi que de ceux décrivant la modélisation de la jonction drain-substrat. En particulier, l'influence des dimensions sur la tension de seuil a été analysée. La caractérisation de la jonction drain-substrat du transistor a clairement fait ressortir une dégradation de ces propriétés, plus marquée dans le cas des transistors de faible largeur.

- le rôle joué par la polarisation de la grille sur les mécanismes de conduction de la jonction est précisé en particulier pour les faibles dimensions. L'évolution des paramètres de la jonction ayant été associée à une extension supplémentaire de la zone de charge d'espace.

- L'étude après irradiation ionisante gamma a permis d'associer la dérive de la tension de seuil à la densité de charges piégées dans l'oxyde de grille. L'évolution des paramètres de la jonction drain-substrat montrait un comportement similaire à celui observé par l'influence de la polarisation de grille. Cette similitude rend compte des effets de champ provoqué par les charges piégées dans les épais oxydes d'isolation.

- L'étude après irradiation protons a fait apparaître à la fois des dégradations liées à des effets de déplacement d'atomes et à des effets d'ionisation. En particulier, il a été mis en valeur l'évolution des paramètres μ_0 , R_s et I_{od} , qui apparaissent ainsi comme significatif pour la caractérisation des effets de déplacement par irradiation.

REFERENCES

- [1] S. M. Sze, "Physics of Semiconductor Device", John Wiley 1 Sons (1981).
- [2] Zhi-Hong Liu and all, "Threshold Voltage Model for Deep-Submicrometer MOSFET's", IEEE Transactions on Electron Devices. Vol.40. No. 1. pp 86-95. January 1993.
- [3] D. R. Poole and D. L. Kwong, "Two-dimensional Analysis Modeling of Threshold Voltage of Short-Chanel MOSFET's with Arbitrarily Doped Substrate", IEEE Electron Device Let., Vol. EDL-7, pp. 407, 1986.
- [4] J. Lutz and S. Venkatesan, "Techniques for Reducing yhe Reverse Short Channel Effect in Sub-0.5 μm CMOS", IEEE Electron Device Letters, Vol 16. No 9, September 1995.
- [5] T.P.MA & P.V. Dressendorfer, "Ionizing radiation effects in MOS devices and circuits", J. Wiley, New-York, (1989).
- [6] L. Le Bras, M. Bendada, P. Mialhe, E. Blampain and J-P. Charles, "Recombination via radiation-induced defects in field-effect transistor. J. Appl. Phys. 76 (10), pp.5676-5680, 15 November 1994.
- [7] M. De la Bardonnie, A. Mouad, P. Mialhe, O. Elmazria, A. Hoffmann, B. Lepley and J. P. Charles, "Characterization Method for Ionizing Radiation Degradation in Power MOSFETs", IEEE Trans. On Nuclear Science, Vol. 42 N. 6, pp. 1622-1627, Dec 1995.
- [8] E. Blampain, A. Haddi, A. Mouad, A. Hoffmann, J-P. Charles et P. Mialhe. "Correlation of Total Dose and Gate Bias Effects on the HEXFET Body-Drain Junction". Proposé, Radecs 97, 4ème Congrès Europeen, Cannes, France, 15-19 septembre 1997.
- [9] C. Barros, "Evaluation de technologie MOS par des mesures de conduction et de bruit de fond. Application au durcissement", Thèse Académie de Montpellier, 1996.

- [10] P.J. Mc Whorter, P.S. Winokur, "Simple Technique for Separating the effects of interface traps and trapped oxide charge in Metal-Oxide-Semiconductor transistors", Appl. Phys. Lett., Vol 48, n°2, (1986).
- [11] A. Holmes-Siedlle, L. Adams, "Hanbook of Radiation Effects", p-49, Oxford University Press Inc, New York, 1993.
- [12] C. J. Dale and al, "A comparison of Monte-Carlo and analytic treatments of displacement in Si microvolumes", IEEE Trans. Nuclear Science NS41 No. 6, pp-1974, Dec. 1994.
- [13] K.C. Dimiduk and al, "Electron Irradiation of GaASP LEDs", IEEE Tans. Nuclear Science NS32 no6, p-4010, Dec 1985.
- [14] R.L. Pease and al, "Comparison of proton and neutron carrier removal rate", , IEEE Trans. Nuclear Science NS34 No 6, p-1623, Dec 1987.

CHAPITRE IV: SIMULATION

IV.1. INTRODUCTION

L'évolution permanente de la technologie vers une miniaturisation croissante des composants électroniques entraîne une sensibilité importante de leur comportement électrique à la réduction des dimensions. Il est donc important de mieux comprendre les phénomènes physiques induits, et dans ce but la simulation numérique se présente comme une solution efficace.

La simulation numérique est devenue depuis quelques années une aide importante au développement de la conception et de la caractérisation des dispositifs électroniques. En effet, la simulation est un outil moins coûteux et plus rapide que l'approche expérimentale. Pour les circuits VLSI (Very Large Scale Integration), les performances du dispositif final sont fortement liées au procédé de fabrication. En simulation cependant, ces performances dépendent des deux niveaux que sont: la simulation de procédés de fabrication (Process) et la simulation du comportement électrique (Device).

Nous nous sommes donc intéressés à deux niveaux de simulation: l'aspect simulation de procédés de fabrication et l'aspect simulation du comportement électrique de la structure réalisée.

Dans ce chapitre la simulation effectuée sur des transistors nLDDMOS (canal n Lightly Doped Drain MOS) est présentée. A l'aide du simulateur de procédés de fabrication (bidimensionnel) ATHENA et du simulateur de comportement électrique ATLASII fournis par SILVACO.

Une simulation complète partant de la conception d'un transistor nLDDMOS à sa caractérisation électrique a été réalisée. La validation de la simulation est vérifiée par comparaison des résultats obtenus par simulation avec ceux obtenus expérimentalement.

Tout d'abord, nous donnerons une description des traitements thermiques, base de la technologie planar de laquelle sont issus les procédés de fabrication actuels. Suivra une présentation des logiciels de simulation et de leur environnement de travail, après quoi nous expliquerons la méthodologie mise en oeuvre et les différentes étapes nécessaires à la réalisation de la structure simulée. Nous discuterons ensuite du choix des modèles physiques et du calibrage du logiciel. Une étude comparative des résultats expérimentaux et simulés sera effectuée. Enfin, nous terminerons par l'analyse de quelques effets propres à cette technologie particulière et de la possibilité de simulation des effets d'irradiation.

IV.2. LES OPERATIONS ELEMENTAIRES

Les composants de la microélectronique (diode, transistors, etc.,) sont fabriqués selon une technologie issue du modèle planar, basée sur des traitements thermiques. Nous présentons ici les traitements thermiques de base rencontrés au cours des différentes étapes de fabrication des composants étudiés.

Les choix technologiques pour les transistors MOS sont:

- le type du canal P ou N.
- l'orientation cristalline du substrat.
- le matériau constituant l'électrode de grille: aluminium, polysilicium, etc.
- le matériau choisi pour le diélectrique de grille.
- les types de dopants à utiliser.

Le choix pratique des dopants se restreint en fonction de plusieurs considérations:

- la solubilité limite des impuretés dans le silicium doit être la plus élevée possible. En cela, les plus performants sont le phosphore (P), le bore (B), et l'arsenic (As).
- l'aptitude du dopant à se localiser dans le silicium plutôt que dans l'oxyde de silicium est un critère également très important. Cette aptitude est mesurée par le coefficient de ségrégation m qui représente le rapport des concentrations dans le silicium et dans l'oxyde à l'équilibre.

IV.2.1 L'orientation cristalline du substrat

La connaissance précise des plans cristallins d'une tranche de silicium est indispensable, puisqu'elle conditionne plusieurs paramètres (densité d'états de surface proportionnelle à la densité de rupture des liaisons, tension de seuil, etc.). L'orientation cristalline est caractérisée par les indices de Miller. Le tableau IV.1 rappelle quelques valeurs typiques de tension de seuil en fonction de l'orientation cristalline du substrat, de l'épaisseur et de la nature de la grille pour des structures n'ayant pas subis d'implantation d'ajustement de la tension de seuil.

Orientation cristalline du substrat	Cristal [1.1.1.]			Cristal [1.0.0.]	
	Caractéristiques de la grille	SiO ₂ grille Al	Si ₃ N ₄ grille Al	SiO ₂ Si poly	SiO ₂ grille Al
Tension de seuil (V).....	4 à 6	1,5 à 2,5	1,8 à 2,2	2 à 3	0,4 à 1,2
Epaisseur de l'isolant de grille (μm).....	0,12-0,15	0,1	0,12	0,12	0,12

Tableau IV.1: Valeurs de tension de seuil selon l'orientation cristalline du substrat et les caractéristiques de la grille.

La nature de la grille intervient sur la tension de seuil par l'intermédiaire de la différence des travaux de sortie entre la grille et le substrat. Cette différence de travaux de sortie constitue un potentiel dont dépend la tension de seuil. Ce potentiel est de -0,9V entre aluminium et silicium de résistivité 1 à 10 Ωcm. En remplaçant l'aluminium par du silicium polycristallin fortement dopé, le potentiel de contact passe à 0,3V, soit une réduction de tension de seuil de 1,2 V.

IV.2.2 L'épitaxie

Elle consiste à maîtriser la croissance (épaisseur, uniformité, reproductibilité) d'une couche sur un substrat généralement monocristallin porté à température convenable. Tant que la couche déposée reste mince devant l'épaisseur du substrat (inférieure à 10% de l'épaisseur du substrat), son orientation cristalline reste la même que celle du substrat. Il existe trois techniques de croissance épitaxiale:

- l'Épitaxie en Phase Vapeur (VPE) est loin d'être la plus utilisée pour les dispositifs à base de silicium, mais est très utilisée pour les dispositifs à base de GaAs. La température typique de la réaction est de 1200 °C.

- l'Épitaxie en Phase Liquide (LPE) est la croissance d'une couche épitaxiée sur un substrat cristallin par précipitation directe de la phase liquide. Cette technique est particulièrement utilisée pour la réalisation de composés III-V. Elle permet la croissance de couche fines ($\geq 0,2\mu\text{m}$) avec un contrôle précis du dopage et de la nature des couches, du fait de sa faible vitesse de croissance.

- L'Épitaxie par Jet Moléculaire (MBE), implique la réaction d'un (ou plusieurs) atome (ou molécules) avec une surface cristalline sous vide poussé ($<10^{-9}$ Torr). L'épitaxie par jet moléculaire permet un contrôle précis de la composition chimique et du profil de dopage [1].

IV.2.3 Oxydation et dépôt

De nombreux procédés de fabrication de dispositifs électroniques à base de silicium sont liés aux propriétés de l'oxyde de silicium SiO_2 , par conséquent au choix de la technique de croissance de cet oxyde. Les deux procédés couramment utilisés pour la croissance d'oxyde sont: l'oxydation thermique et le dépôt.

L'oxydation thermique

L'oxyde de grille et les oxydes de champ sont générés par oxydation thermique, seul ce procédé permet l'obtention d'oxyde de haute qualité (avec de faibles densités d'état d'interface). L'oxydation du silicium est réalisée par chauffage d'une tranche de silicium dans une enceinte d'atmosphère de gaz oxydant. Les deux approches classiques sont:

- l'oxydation humide (à l'eau): dans laquelle le gaz oxydant est de la vapeur d'eau chauffée entre 900°C et 1000°C . C'est un procédé rapide.

- l'oxydation sèche (à l'oxygène): dans laquelle le gaz oxydant est de l'oxygène pur chauffé à une température proche de 1200°C , de façon à avoir un taux de croissance acceptable. Ce procédé est lent.

Oxyde déposé

Les oxydes d'isolement entre couches conductrices ou de protection ne peuvent être obtenus que par dépôt. Le principe général est de provoquer une réaction chimique au niveau d'un mélange gazeux conduisant à la formation de SiO_2 et de composés volatiles. Les températures de réaction se situent entre 300 et 1000°C ce qui permet de ne pas modifier profondément les caractéristiques des structures préexistantes. Les procédés de dépôt chimique en phase vapeur sont: CVD (Chemical Vapor Deposition), LPCVD (Low Pressure CVD) qui conduit à un oxyde de bonne qualité, et LTO (Low Temperature Oxydation) où l'énergie d'activation est obtenue par HF (plasma) ce qui permet de travailler à des températures de 400°C .

Il est à noter que l'oxydation consomme le silicium, phénomène bien perceptible lors de la formation des oxydes de champ. En outre, ces oxydes peuvent servir de masque lors des opérations de diffusion et d'implantation des divers caissons.

IV.2.4 La diffusion thermique

A partir d'une plaquette de silicium dopée uniformément, on peut créer par diffusion une jonction uniforme de surface aussi étendue qu'on le désire. Il suffit pour cela de diffuser une impureté de type opposé avec une concentration supérieure à celle du cristal original.

La diffusion s'opère en deux étapes, la première est le prédépôt, où le dopant est fourni sous forme gazeuse en quantité contrôlée, la seconde consiste à répartir les impuretés dans le volume, par exemple lors des inévitables traitements thermiques ultérieurs. Il est habituel de travailler à température élevée pour réduire les temps de traitement. La constante de diffusion dépend de la nature des deux corps en présence et est une fonction fortement dépendante de la température.

IV.2.5 L'implantation ionique

L'implantation ionique tend à remplacer la diffusion par prédépôt tout en créant des possibilités nouvelles. Dans ce procédé, la plaquette de silicium du substrat est soumise directement à l'action d'impuretés ionisées. L'énergie communiquée aux ions, mais aussi leur nature, définissent la profondeur moyenne d'implantation et le profil de concentration. La souplesse et la reproductibilité de l'implantation ionique permet de réaliser de nombreuses opérations de dopage. Les gammes d'énergie utilisées vont de 30 à 300 keV et les doses de 10^{11} à 10^{16} at/cm².

L'implantation ionique est souvent utilisée pour modifier superficiellement les dopages afin de corriger les tensions de seuil. Son inconvénient majeur est lié au fait qu'elle crée des défauts: dislocation du réseau, introduction d'ions dans les sites interstitiels. La seule façon de guérir ces défauts est d'opérer un recuit thermique qui entraîne une redistribution des impuretés. Ses avantages sont la précision du contrôle des profils de dopage et le faible niveau de température du procédé. L'implantation ionique est surtout utilisée pour effectuer des dopages peu profonds, alors que la diffusion permet d'obtenir des jonctions beaucoup plus profondes.

IV.2.6 Défauts et redistribution des impuretés

Lorsque des ions énergétiques pénètrent un substrat semiconducteur, ils perdent leur énergie dans une série de collisions électroniques et nucléaires et sont ainsi freinés. Les collisions électroniques sont généralement responsables de la génération de paires électrons-trous, alors que les collisions nucléaires provoquent des déplacements d'atomes et introduisent des défauts dans la structure cristalline.

A cause des défauts induits lors des opérations d'implantation ionique, les paramètres du semiconducteur tels que la mobilité et la durée de vie des porteurs sont sévèrement dégradés.

IV.2.7 La gravure

La gravure opérée par attaque chimique en milieu humide est sélective et isotropique. La sélectivité est liée au choix des agents chimiques permettant d'arrêter l'attaque à l'interface de deux couches différentes. L'isotropie conduit à une mauvaise définition du motif à graver, en particulier pour des gravures latérales.

Les procédés de gravure sèche, plus récents ont été introduits pour résoudre les problèmes d'isotropie et de contamination posée par la gravure humide. On peut classer les techniques de gravure sèche en deux catégories:

- la gravure ionique, qui consiste à diriger un faisceau d'ions vers la cible à traiter. La gravure résultante est verticale (anisotropique) mais sans sélectivité.

- la gravure plasma, qui consiste à exciter par un champ électromagnétique un mélange gazeux à basse pression dans lequel est immergé le substrat. L'énergie transmise crée des espèces actives (ions, radicaux ou atomes excités) qui consomment le matériau à graver. Selon la géométrie, la direction du mouvement des espèces est quelconque ou préférentielle, ce qui détermine l'importance de l'anisotropie. La sélectivité dépend de la géométrie et de bien d'autres paramètres.

En pratique cependant, chaque technique de gravure utilise en proportion variable les deux aspects.

IV.3. PRESENTATION DES LOGICIELS DE SIMULATION

La volonté des concepteurs de logiciels à développer les outils de simulation les plus complets possibles afin de toucher un large public, a conduit à la conception de logiciels commerciaux couvrant un large domaine. Ces logiciels requièrent un langage particulier, aussi leur utilisation demande-t-elle une longue période d'apprentissage. Dans le cadre de nos travaux, nous nous sommes intéressés à deux modules d'un ensemble de logiciels commercialisés par SILVACO International. Ces logiciels couvrent toutes les étapes de la conception d'un dispositif électronique, de sa fabrication à la détermination de ses performances dans un circuit électronique.

L'ensemble du logiciel se décompose en deux types d'outils: les uns interactifs et les autres de simulations.

IV.3.1. Les outils interactifs

DevEdit : éditeur de structure et outil de maillage permettant de générer ou de modifier la structure du dispositif à simuler. DevEdit peut être contrôlé par des lignes de commande ou par un écran graphique interactif.

DeckBuild : environnement de développement et d'exécution pour tous les simulateurs SILVACO. DeckBuild offre une aide et une prise en charge qui permet d'éviter l'apprentissage d'une syntaxe de commande généralement très complexe. Il permet aussi une exécution automatique et très pratique des programmes et réalise des sauvegardes systématiques des étapes intermédiaires d'exécution.

TonyPlot : outil de visualisation de structures et de caractéristiques offrant toutes les fonctionnalités des outils scientifiques.

Optimizer : outil d'optimisation pour le calibrage des simulateurs de process et de dispositifs. Cet outil permet un ajustage automatique des paramètres électriques ou de process en jouant sur un ou plusieurs paramètres d'entrée.

IV.3.2. Les outils de simulation

Les outils de simulation proprement dits sont regroupés en quatre niveaux:

ATHENA : Simulation des procédés technologiques de fabrication (process).

ATLAS : Simulation du comportement électrique du dispositif (device).

UTMOST : Extraction de paramètres à partir des caractéristiques électriques, mesurées ou simulées, pour SPICE.

SMART-SPICE : Simulation de circuit électrique (SPICE).

Les noms commerciaux SILVACO de ces logiciels et les liens reliant les uns aux autres sont précisés dans la figure IV.1.

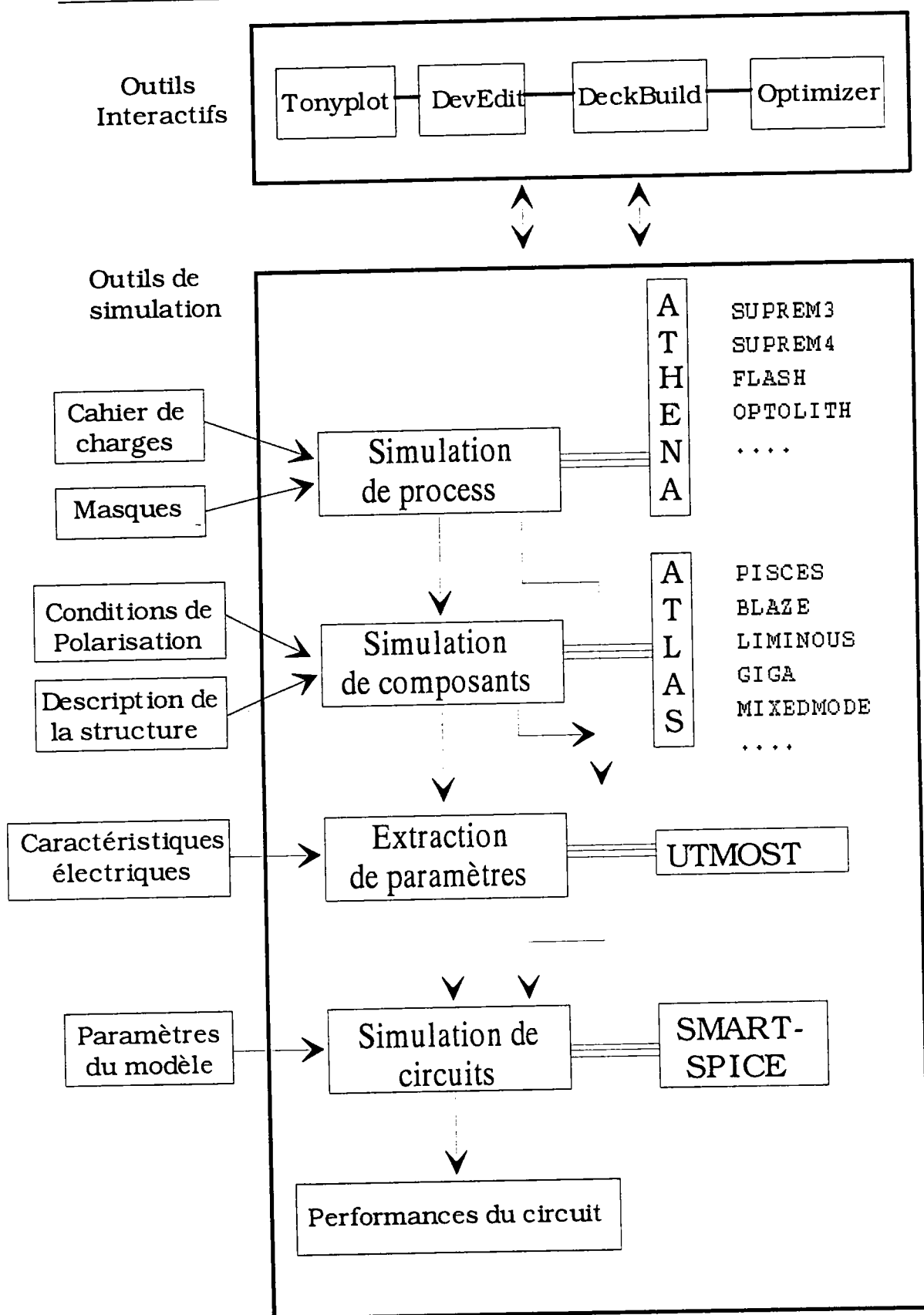


Figure IV.1: Différents niveaux et outils de simulation

IV.3.3. Le logiciel de simulation process ATHENA

ATHENA est un logiciel de modélisation numérique 2-D simulant les procédés de fabrication technologiques des dispositifs électroniques à partir de modèles physiques. Il comprend un module permettant à l'utilisateur de définir de nouveaux modèles, un maillage adaptatif, et est constitué des sous programmes suivants:

-SSUPREM3: permet la simulation de procédés de fabrication 1-D. Il simule un nombre varié d'étapes technologiques dans la conception de circuits intégrés ou de dispositifs discrets à base de silicium. Il permet:

- de choisir le type d'atmosphère sous lequel on veut effectuer les différentes opérations.

- de choisir le type d'oxydation du silicium, polysilicium, et nitrure de silicium.
- d'effectuer différentes implantations ioniques.
- d'effectuer des croissances par épitaxie.
- d'effectuer des dépôts basse température ou des gravures de matériaux variés.

-SSUPREM4: permet la génération, l'analyse et l'optimisation de structures 2-D à base de silicium. Il simule les étapes de fabrication telles que l'implantation ionique, la diffusion et l'oxydation. Sa structure regroupe trois modules:

- le module "Silicide" (Si/polySi/SiO₂, orientation cristalline, croissance cristalline, dopage de base, etc)
- le module "PREDICT2" (diffusion et implantation empiriques)
- le module "Monte Carlo ion implant" (implantation ionique de type Monte Carlo)

-ELITE: permet l'utilisation de modèles complexes dans les procédés de dépôt et de gravure. Ces procédés sont modélisés par la définition d'une "machine" et l'utilisation de cette "machine" pour la réalisation de l'opération. ELITE inclue également un modèle de dépôt de type Monte Carlo et un modèle de Polissage Mécanique et Chimique (PMC).

-OPTOLITH: permet la simulation de lithographie optique, avec des possibilités de développement de photorésistes.

-FLASH: permet la génération, l'analyse et l'optimisation de structures à composés semiconducteurs. Il simule l'implantation et la diffusion dans le GaAs et d'autres composés semiconducteurs, tels que SiGe. Il comprend également un module d'implantation Monte Carlo.

IV.3.4. Le logiciel de simulation de dispositifs ATLAS

ATLAS est un logiciel général de simulation numérique 1-D, 2-D, et 3-D, de dispositifs à semiconducteurs. Il est constitué de plusieurs modules, dont les principaux sont:

- S-PISCES: simulateur de dispositifs à base de silicium.
- BLAZE: simulateur de dispositifs à base de matériaux semiconducteurs arbitraires (incluant les semiconducteurs II-VI, III-V, et IV-IV).
- LUMINUS: simulateur de dispositifs optoélectroniques.
- DEVICE3D: simulateur de dispositifs 3-D.

Dans le cadre de nos travaux, nous nous sommes intéressés au simulateur de dispositifs électroniques à base de silicium PISCES. PISCES est un programme de modélisation 2-D simulant le fonctionnement interne de tous les dispositifs semiconducteurs à base de silicium, MOSFETs, SOI-MOSFETs, BJT, diodes, Thyristors, CCDs ... Il calcul les distributions internes des paramètres physiques et prédit le comportement électrique des dispositifs en régime permanent ou transitoire. Il peut donc:

- simuler la distribution des potentiels, des champs électriques, des porteurs et des courants.
- modéliser les courbes I-V et C-V, les réponses en alternatif et les caractéristiques en régime transitoire.
- permettre l'optimisation des paramètres électriques en ajustant les paramètres process.
- extraire les paramètres SPICE du dispositif.

La structure du dispositif à simuler peut être complètement arbitraire. Une fois celle-ci réalisée, elle est découpée en éléments finis, non forcément uniformes, formant ainsi un maillage. Le potentiel électrostatique et les concentrations des porteurs en fonction de l'espace et du temps sont alors calculés à chaque noeud du maillage à partir des équations de Poisson (IV.1) et de continuité (IV.2) et (IV.3).

$$\operatorname{div}(\operatorname{grad}\bar{\psi}) = -\frac{q}{\epsilon_{sc}}[p - n + N_D^+ - N_A^-] \quad (\text{IV } 1)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div}\bar{J}_p + G_p - R_p \quad (\text{IV } 2)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \vec{J}_n + G_n - R_n \quad (\text{IV } 3)$$

où n et p sont respectivement les concentrations d'électrons et de trous, \vec{J}_n et \vec{J}_p les densités de courant des électrons et des trous, G_n et G_p les taux de génération pour les électrons et les trous, R_n et R_p les taux de recombinaison pour les électrons et les trous et q la charge d'un électron.

Ces trois équations forment ainsi un système couplé. Les potentiels et les concentrations n et p sont alors déterminés par des méthodes de calculs numériques tels que les algorithmes de Newton ou de Gummel. Le choix de l'algorithme de calcul est à spécifier suivant l'étude à réaliser comme nous le verrons plus loin.

Les profils de dopage du dispositif peuvent être obtenus en utilisant des fonctions analytiques, des résultats expérimentaux stockés dans des bases de données ou des logiciels de simulation de procédé de fabrication, type SUPREM.

IV.4. PRESENTATION DE LA STRUCTURE SIMULEE

La structure simulée est un transistor LDDMOS à canal N issue de la technologie 1,2 μm de MATRA-MHS. Les données fournies par le constructeur ont été obtenues à l'aide du simulateur de dispositifs 2-D TITAN 6. Ces données portent sur la structure géométrique et les profils de dopage dans les différentes régions. La figure IV.2 représente la structure géométrique du transistor. Cette structure est celle d'un transistor de type N d'une cellule CMOS de même procédé de fabrication.

Les caractéristiques principales de ce transistor sont:

- Substrat P^+ d'une épaisseur de 600 μm
- Epitaxie P^- d'épaisseur 4 μm , sur substrat P^+
- Implantation de champ (zone AGP)
- Longueur de grille 0,8 μm
- Epaisseur de l'oxyde grille 19nm
- Epaisseur du polysilicium de grille 0,3 μm
- Oxyde de champ épaisseur 0,5 μm
- La longueur totale du transistor n MOS est de 4 μm

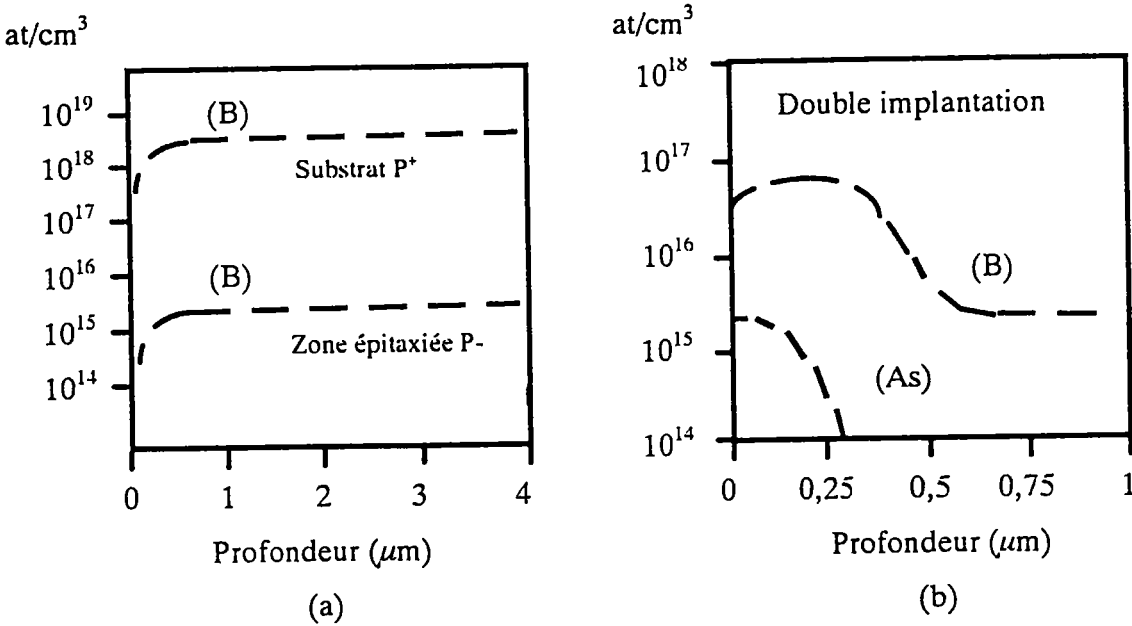


Figure IV.3: (a) Profils de dopage du substrat et de la couche épitaxiée, (b) Implantation d'ajustement de la tension de seuil.

Contrairement aux structures classiques, ces transistors présentent une double implantation en surface de la couche épitaxiée pour l'ajustement de la tension de seuil, comme le montre la figure IV.3 (b). L'implantation de Bore (type P) suit une loi gaussienne avec un pic de concentration de $6,7 \cdot 10^{16} \text{ at/cm}^3$ à une profondeur de $0,25 \mu\text{m}$. L'implantation d'arsenic (type N) suit la forme d'une courbe de diffusion, son pic est en surface et sa profondeur de $0,3 \mu\text{m}$. Notons enfin que dans le cas d'un transistor à canal N, une implantation de type P provoque une augmentation de la tension de seuil, alors que celle de type N produit une diminution de la tension de seuil du transistor. L'ajustement de la tension de seuil se fera donc par un choix précis des conditions d'implantation (doses, énergies) et des traitements thermiques.

L'implantation de champ (zone AGP) dans la couche épitaxiée est destinée à isoler les transistors les uns des autres (notamment dans le cas des cellules CMOS). Une autre fonction de cette implantation est de limiter les effets de la dose cumulée. Son profil de dopage est représenté dans la figure IV.4 (a). Cette implantation est effective à partir de la profondeur $0,5 \mu\text{m}$ à cause de la présence d'une épaisse couche d'oxyde de champ. Son profil est pratiquement identique à celui de l'implantation de bore pour l'ajustement de la tension de seuil.

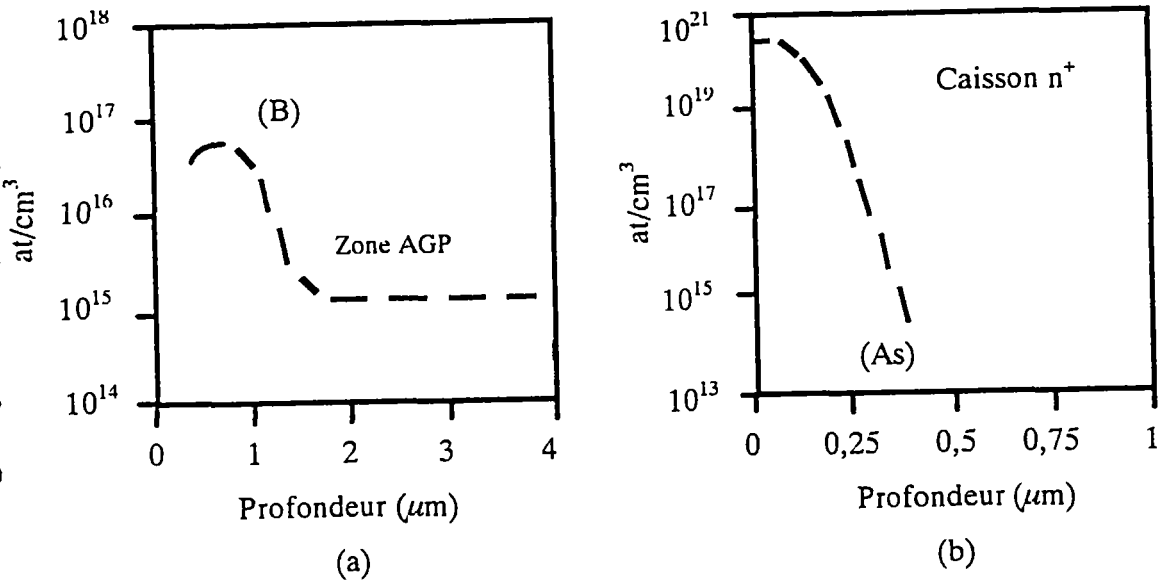


Figure IV.4: Profils de dopage (a) de la zone AGP, (b) des caissons n⁺ de drain et de source.

Les diffusions n⁺ de drain et de source des transistors sont implantées dans la couche épitaxiée. Leur profil de dopage est représenté dans la figure IV.4 (b), il présente un pic de concentration de $2 \cdot 10^{20}$ at/cm³ et une profondeur de jonction de 0,4 μm.

Ne possédant pas les données technologiques du procédé de fabrication exact de ces transistors, notre démarche consistera à effectuer certains choix des paramètres process (dose, énergie, température et temps de recuit, etc...) qui permettront de reproduire au mieux les profils de dopage fournis par le constructeur.

IV.5. REALISATION DE LA SIMULATION PROCESS

IV.5.1. Les étapes de la simulation

La conception d'un dispositif électronique à l'aide du simulateur process ATHENA comporte plusieurs étapes de réalisation: constitution des masques, implantations ioniques, diffusions, recuits, oxydations, gravures. Il convient donc tout d'abord de définir:

- la structure géométrique, les niveaux, profils et types de dopage à simuler.
- la séquence des différentes étapes process à mettre en oeuvre.
- le choix des modèles physiques qui seront utilisés pour les différentes étapes de la séquence process.

La structure géométrique, les niveaux et les profils de dopage ayant été définis, il convient ici de préciser les étapes essentielles de la séquence de réalisation de la structure.

- 1) Définition du substrat (Si) de type P⁺: choix de l'orientation cristalline et dopage du substrat.
- 2) Croissance de la couche épitaxiée (Si) type P⁻ et dopage uniforme. Afin que la couche épitaxiée conserve la même orientation cristalline que le substrat, l'épaisseur maximum de cette couche ne doit pas excéder 10% de celle du substrat.
- 3) Dopage de la couche épitaxiée en surface pour ajustement de la tension de seuil par double implantation ionique de bore et d'arsenic.
- 4) Recuit en vue d'une guérison du réseau cristallin et ajustement du profil de dopage par la redistribution des impuretés.
- 5) Dépôt et gravure de l'oxyde et du polysilicium de grille utilisés comme masques lors des opérations de dopage.
- 6) Implantation des caissons de source et de drain, n⁺ et n⁻ (arsenic et phosphore).
- 7) Recuit afin de restructurer le réseau cristallin et ajuster le profil de dopage des caissons.
- 8) Gravure de l'oxyde de grille côté drain et source.
- 9) Constitution des électrodes par métallisation d'aluminium.

Dans le cas particulier du simulateur de process ATHENA, il est à noter que la réalisation du dispositif à simuler s'effectue pour une demi structure. Puis par symétrie verticale, le simulateur génère directement la partie complémentaire de la structure à simuler.

La possibilité de construction de la structure par symétrie réduit considérablement le nombre d'opérations de la séquence process. En pratique cependant, le nombre d'opérations de la séquence réelle sera beaucoup plus grand.

IV.5.2. Construction de la structure nLDDMOS

Les données techniques fournies par le constructeur (cf. figure IV.3) étant limitées à la structure géométrique et aux profils de dopage dans les différentes régions du transistor, il nous a fallu déterminer par ajustement les paramètres et les modèles process permettant d'approcher au mieux les profondeurs de jonctions et les profils de dopage fournis.

Nous décrivons ici de façon complète les différentes étapes process mises en oeuvre lors de la simulation du transistor à longueur de grille de 0,8 μ m.

IV.5.2.1 Initialisation du substrat type P⁺

Pour la simulation, la cellule est considérée unique et isolée, alors qu'elle est dans la réalité construite sur un substrat épais (environ 600 μm) en communication avec les cellules des transistors voisins.

Dans un premier temps, nous définissons le substrat en spécifiant ses dimensions, le type de matériau (ici le silicium), son orientation cristalline et son dopage de base. Un prémaillage nécessaire à la réalisation des différentes étapes process doit également être spécifié.

Conformément aux remarques faites dans le paragraphe IV.2.1, la grille étant en polysilicium et les tensions de seuil mesurées dans la gamme 0,4 à 1,2 V, nous avons opté pour une orientation cristalline [1.0.0.] pour le substrat. L'épaisseur de la couche épitaxiée étant estimée à 4 μm (cf. figure IV.2), nous avons choisi lors de la simulation un substrat ayant une profondeur de 40 μm , de façon à conserver une croissance épitaxiale de même orientation cristalline que le substrat. Cette zone est dopée uniformément P⁺ à l'aide d'atomes de bore de concentration 2.10^{18} at/cm³.

IV.5.2.2 Croissance de la couche épitaxiée type P⁻

La couche épitaxiale est obtenue par combinaison des procédés de diffusion et de dépôt intégrés dans le simulateur. L'épaisseur totale de la couche est de 4 μm , déposée par tranches de 20 sous-couches pendant 30 minutes. La température varie linéairement entre 900 et 1000°C, sous une pression de 1 atmosphère. Le dopage uniforme de la couche épitaxiée type P⁻ (bore) de 2.10^{15} at/cm³ est réalisé lors de la croissance des différentes sous couches par spécification de son niveau.

IV.5.2.3 Implantation d'ajustement de la tension de seuil

Pour ajuster la tension de seuil du transistor, un surdopage par double implantation est effectué à la surface de la couche épitaxiée (futur canal du transistor). La figure IV.5 représentant le profil de dopage pour l'ajustement de la tension de seuil, montre une implantation de bore présentant un profil Gaussien et une implantation d'Arsenic dont la forme est proche de celle d'une diffusion peu profonde.

a) Oxyde d'implantation

Pour réduire les défauts d'implantation en surface, nous avons fait croître un oxyde fin à la surface de la couche épitaxiée avant l'opération d'implantation. Ceci a permis d'obtenir un profil de dopage non altéré en surface. Cette couche d'oxyde a été ensuite gravée après la réalisation de l'implantation. Les conditions prises pour simuler l'oxydation sont les suivantes:

temps de diffusion = 11 minutes

température = 925 °C

ambiance : oxygène sec HCl

pression = 1 atmosphère

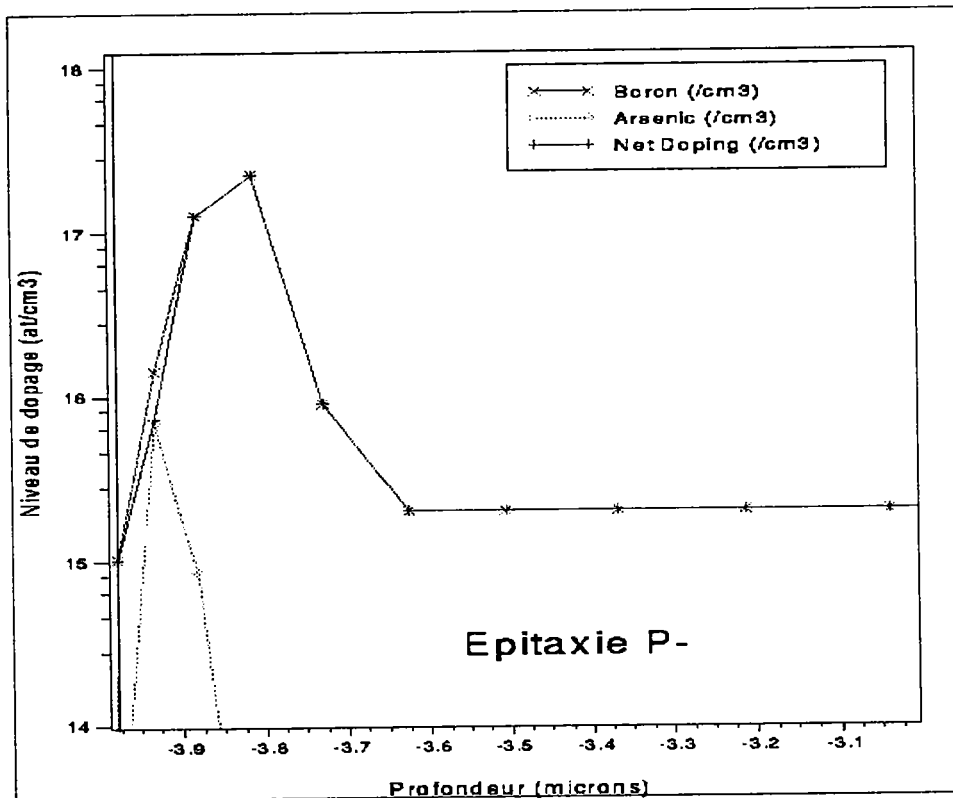


Figure IV.5: Profil de dopage d'ajustement de la tension de seuil avant recuit.

b) Implantation de bore et d'arsenic

Nous avons opté, vu les différents modèles d'implantation proposés dans la bibliothèque du simulateur ATHENA, pour un modèle Gaussien pour l'implantation de bore

et pour un modèle de Pearson pour l'implantation d'arsenic (cf. ATHENA, manuel, p. 3-42). Ces modèles étant ceux qui possèdent les formes les plus proches des profils de dopage fournis par le constructeur. Notons ici la particularité de ces structures, qui contrairement aux structures classiques, présentent une double implantation de types opposés dans le futur canal du transistor. L'intérêt de cette double implantation étant d'une part d'ajuster la tension de seuil, et d'autre part de contrôler la mobilité des porteurs en surface. Les conditions d'implantation sont les suivantes:

* pour le bore:

dose : $2.5 \cdot 10^{12}$ at/cm⁻².

énergie : 40 keV.

modèle : Gaussien.

nature du matériau : silicium cristallin.

* pour l'arsenic:

dose : $3.5 \cdot 10^{10}$ at/cm⁻².

énergie : 90 keV.

modèle : Pearson

nature du matériau : silicium cristallin

Remarque: L'implantation de la zone AGP dopée au bore possède un profil de dopage semblable à celui de l'implantation en bore pour l'ajustement de la tension de seuil. Mais dans le cas de la zone AGP, cette implantation a un pic de concentration à une profondeur de 0,5 μm dans la couche épitaxiée (cf. figure IV.6 (b)).

c) Redistribution des dopants

Du fait des défauts induits lors des opérations d'implantation ionique, il est nécessaire de procéder à un recuit qui permet d'améliorer la structure cristalline. De plus, ce recuit entraîne une redistribution des impuretés introduites, permettant ainsi un meilleur ajustement des profils de dopage. Les figures IV.6 (a) et (b) représentent les profils de dopage net d'ajustement de la tension seuil V_T et de la zone AGP après recuit.

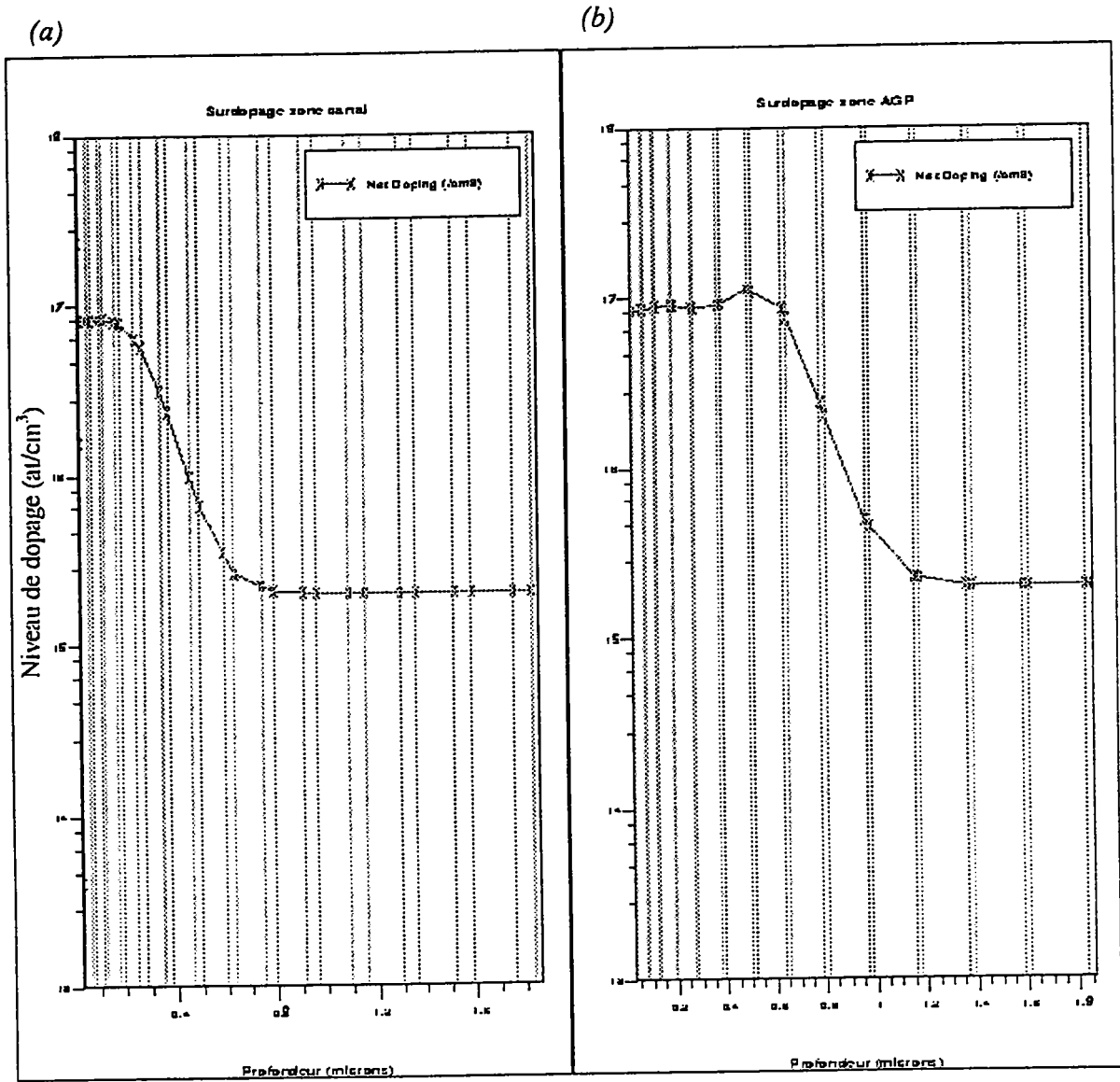


Figure IV.6: (a) Profil de dopage net d'ajustement de la tension de seuil après recuit,
 (b) Profil de dopage net de la zone AGP après recuit.

Les conditions prises pour simuler le recuit sont:

temps de diffusion : 45 minutes.

température : 1040 °C.

ambiance : Azote.

pression : 1 atmosphère.

méthode : "Fermi compress" (cf. ATHENA, manuel, p. 2-30)

IV.5.2.4 Dépôt de l'oxyde et du polysilicium de grille

L'étape suivante consiste à graver les couches d'oxyde d'implantation et celles dues à l'étape de recuit, avant de déposer l'oxyde de grille.

Afin de mieux contrôler l'épaisseur de l'oxyde de grille, nous avons choisi de le générer par dépôt. En effet, l'épaisseur d'une couche d'oxyde obtenue par oxydation thermique est plus difficilement contrôlable. Mais il est important de noter que les couches d'oxyde déposées sont de moins bonne qualité (densité d'états d'interface plus grande) que celles obtenues par procédé d'oxydation thermique.

L'oxyde de grille a une épaisseur de 19 nm, sur cet oxyde a été déposée une couche de polysilicium d'épaisseur $0,3 \mu\text{m}$ constituant l'électrode de grille. Ces couches d'oxyde et de polysilicium serviront de masque pour l'implantation des caissons.

IV.5.2.5 Implantation des caissons n^+ et n^- de source (ou drain)

Après le dépôt de l'oxyde et du polysilicium de grille, deux ouvertures sont réalisées successivement par gravure en vue de l'implantation des caisson n^+ et n^- de la structure LDD de source (ou drain). Le caisson n^+ est implanté à l'aide d'atomes d'arsenic de dose 6.10^{15} at/cm², d'énergie 130 keV, et selon le modèle "Pearson". Le caisson n^- est implanté à l'aide d'atomes de phosphore de dose 5.10^{13} at/cm², d'énergie 25 keV et selon le même modèle. Une étape de recuit est également nécessaire pour la redistribution des impuretés en vue de l'ajustement du profil de dopage et de la guérison du réseau cristallin. Les conditions de ce recuit étant:

temps de diffusion : 50 minutes

température : 950 °C

ambiance : azote

méthode : "Fermi compress"

Le masque et l'ouverture d'implantation des caissons de source (ou drain) sont représentés dans la figure IV.7, où l'on distingue la diffusion latérale sous la grille après recuit.

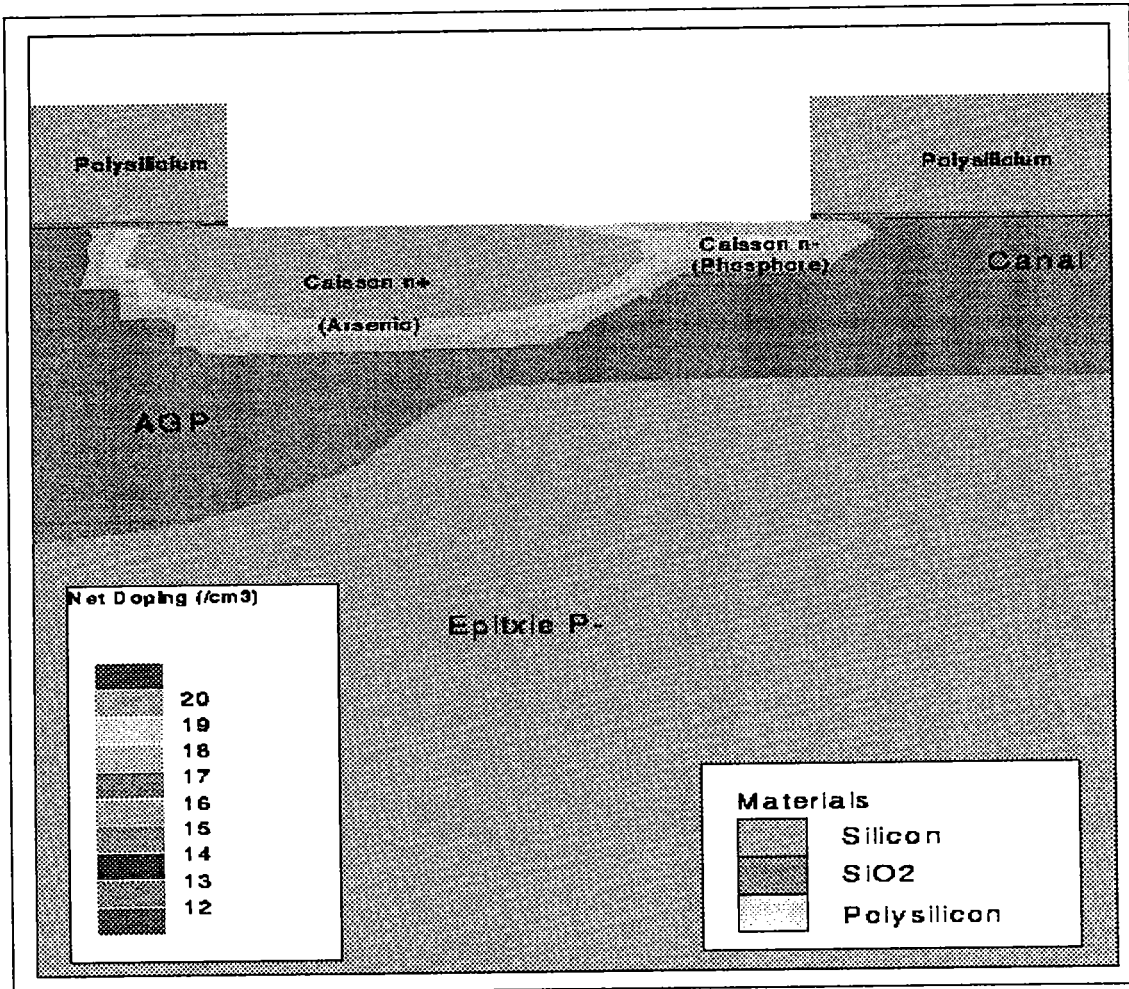


Figure IV.7: Implantation des caissons n^+ et n^- de source après recuit.

A ce stade de la simulation, deux longueurs doivent être évaluées :

- la réduction technologique de la longueur du canal ΔL : variation de la diffusion latérale de source (ou de drain) après traitement thermique.

- la longueur effective du canal L_{eff} : distance entre les caissons de source et de drain en fin de process (après traitement thermique).

Après recuit, les diffusions latérales des caissons de drain et de source réduisent la longueur du canal de $\Delta L \approx 2 \times 0,024 = 0,048 \mu\text{m}$ (la valeur fournie par le constructeur étant $\Delta L \approx 0,05 \mu\text{m}$). La longueur effective du canal du transistor simulé est alors de $L_{\text{eff}} = 0,752 \mu\text{m}$ ($L_{\text{eff}} = L_M - \Delta L$).

La figure IV.8 représente sur un schéma non à l'échelle les longueurs ΔL et L_{eff} .

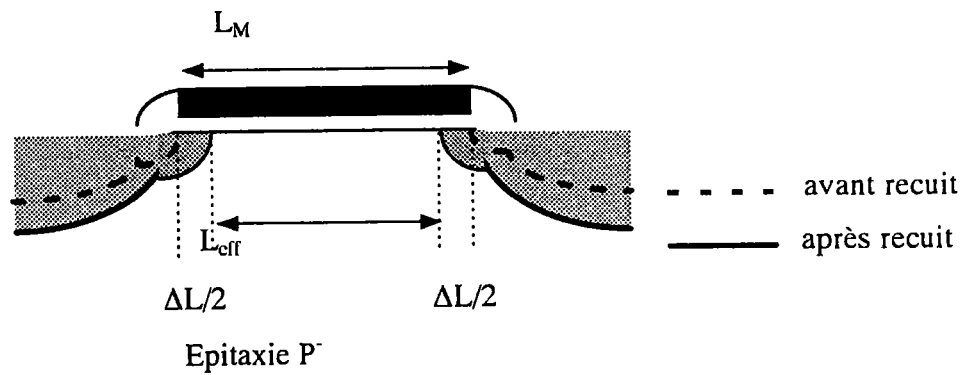


Figure IV.8: Détermination de la longueur effective du canal après recuit.

Remarque: Lors de la simulation de l'implantation des caissons n^+ et n^- , nous avons choisi d'implanter le caisson n^+ avant le caisson n^- . Ceci dans le but de réduire le nombre d'étapes de masquages et de gravures. En outre, il a été vérifié que la symétrie du processus d'implantation des caissons n^+ et n^- , génère les mêmes profils de dopage quelque soit l'ordre d'implantation des caissons.

IV.5.2.6 Dépôt des contacts métalliques

Enfin, après génération de la demi structure complémentaire par symétrie, la dernière étape de la simulation process consiste à déposer les contacts en aluminium de source, drain et substrat ainsi qu'à spécifier la position des différentes électrodes. La structure simulée finale est représentée dans la figure IV.9.

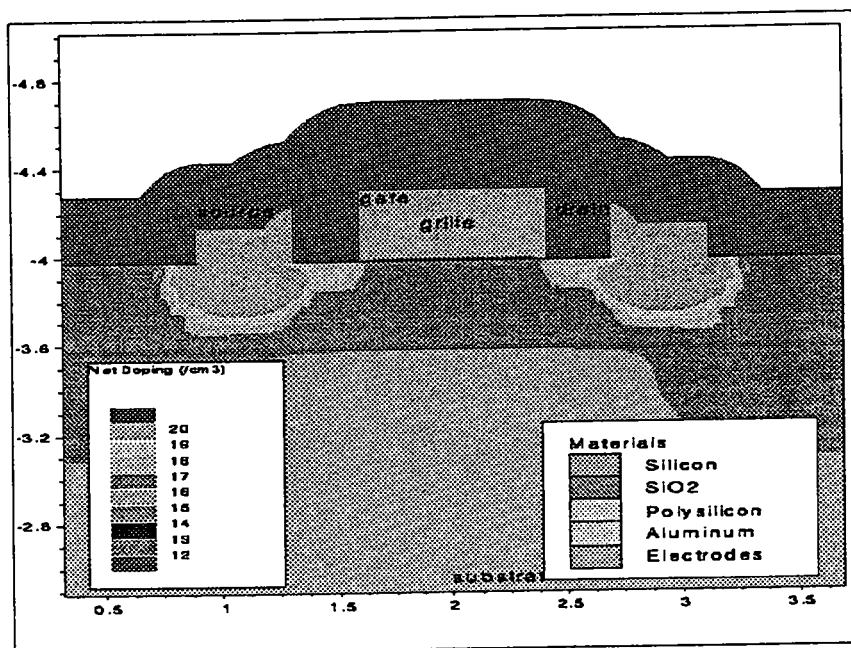


Figure IV.9: Structure finale du transistor n LDDMOS simulé.

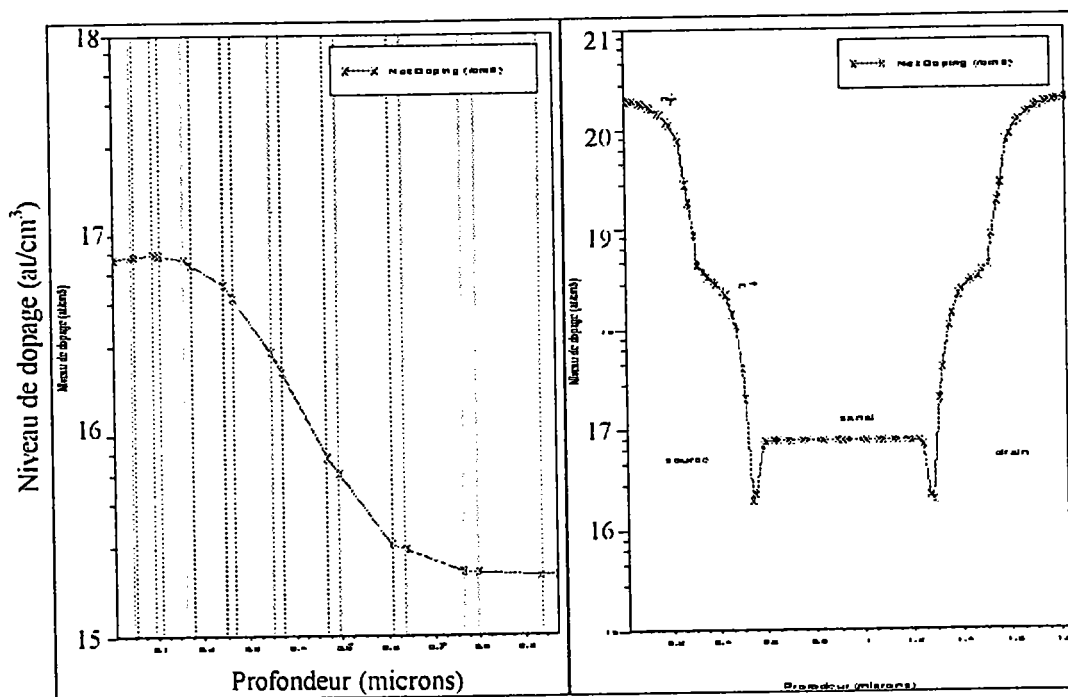


Figure IV.10: Profil de dopage de la structure finale du transistor n LDDMOS simulé
 (a) dopage net du canal selon une coupe verticale (grille-substrat),
 (b) dopage net du canal selon une coupe longitudinale (source-drain).

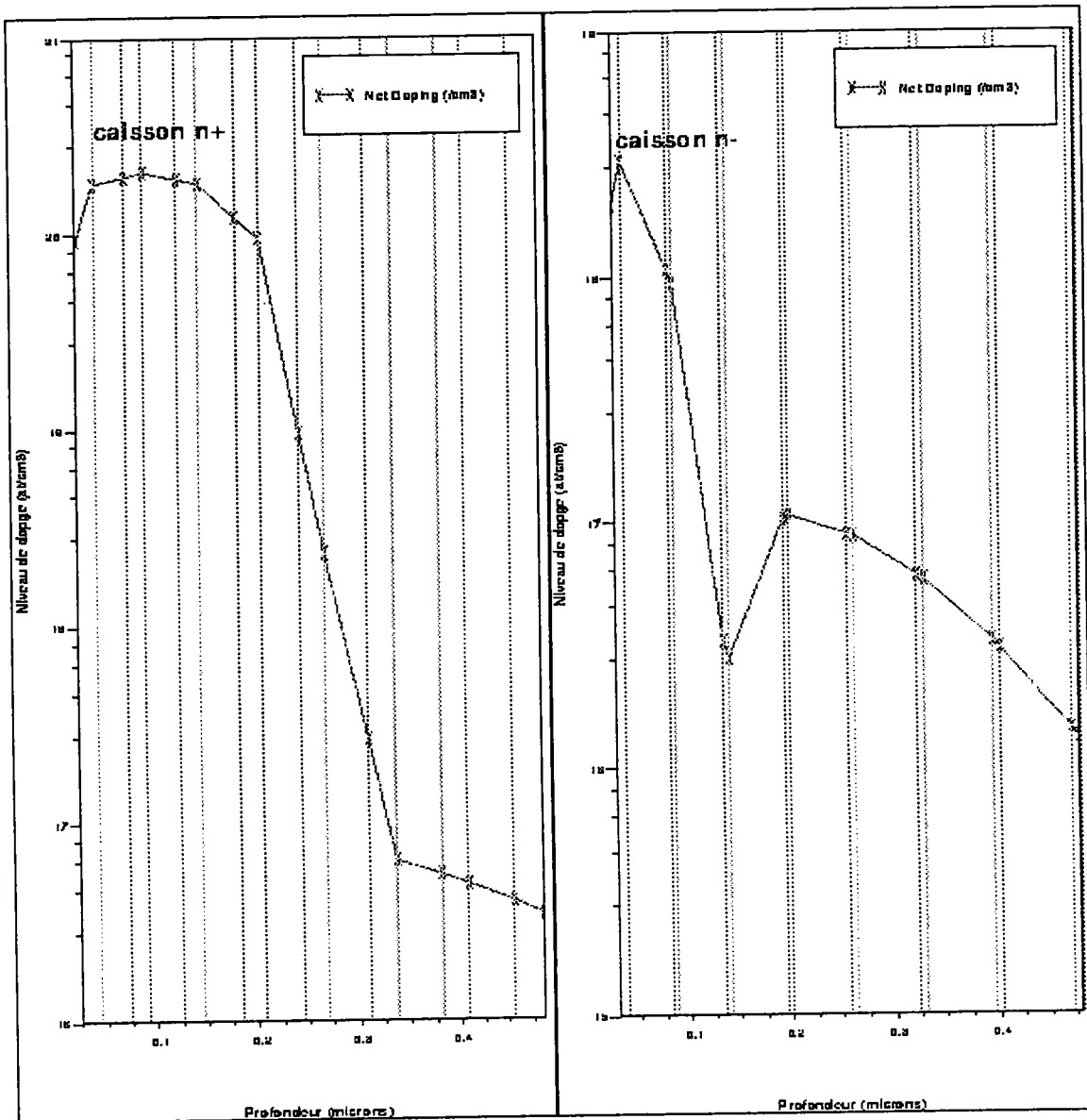


Figure IV.11: Profil de dopage net selon une coupe verticale (a) caissons n^+ , (b) caisson n^-

Les différents profils de dopage obtenus pour la structure finale sont représentés dans les figures IV.10 et IV.11.

Le profil de dopage du canal selon une coupe verticale (axe grille-substrat) représenté sur la figure IV.10 (a) présente un pic de concentration en surface de $7 \cdot 10^{16}$ at/cm³ et une profondeur de pénétration du bore proche de $0,8 \mu\text{m}$. Le profil de dopage du canal selon une

coupe longitudinale près de la surface (axe drain-source) est représenté dans la figure IV.10 (b) et montre pour le caisson n^+ un pic de concentration à $1,7 \cdot 10^{20} \text{ at/cm}^3$ et une profondeur de diffusion proche de $0,35 \mu\text{m}$, pour le caisson n^- un pic de concentration à $3 \cdot 10^{18} \text{ at/cm}^3$ et une profondeur proche de $0,2 \mu\text{m}$. Une représentation plus précise des profils de dopage des caissons n^+ et n^- est donnée dans les figures IV.11 (a) et (b).

IV.5.3. Définition du maillage

Après la simulation du procédé de fabrication, une étape intermédiaire de maillage de la structure précédemment obtenue est nécessaire avant la simulation de son comportement électrique.

La précision des résultats obtenus avec les simulations est fonction du nombre et de la distribution des noeuds dans la maille. En contre partie, le temps de calcul des solutions est d'autant plus important que le nombre de noeuds du maillage. Le maillage doit donc être fait de façon à avoir une distribution de noeuds plus abondante dans les régions de fortes variations de profils de dopages et moins importante dans les régions où le dopage est uniforme. Ceci permet d'atteindre un compromis entre le temps de calcul et la précision de la simulation. Un outil de maillage, *Meshbuild*, incorporé dans le logiciel DevEdit permet, après initialisation de quelques paramètres, de réaliser de manière automatique un maillage variable s'adaptant à la structure et au dopage du dispositif.

Pour que le maillage soit optimum, il faut que le nombre de noeuds soit augmenté jusqu'au moment où les solutions calculées ne dépendent plus du maillage. Cependant, il est clair que pour les simulations préliminaires, dont le but est de déterminer les paramètres des modèles utilisés, un maillage grossier suffit et permet par conséquent un gain considérable en temps de calcul.

Dans notre cas le maillage adopté pour simuler le transistor MOS est présenté dans la figure IV 12. On remarque que le maillage se resserre au niveau des jonctions et se relâche dans les zones uniformes.

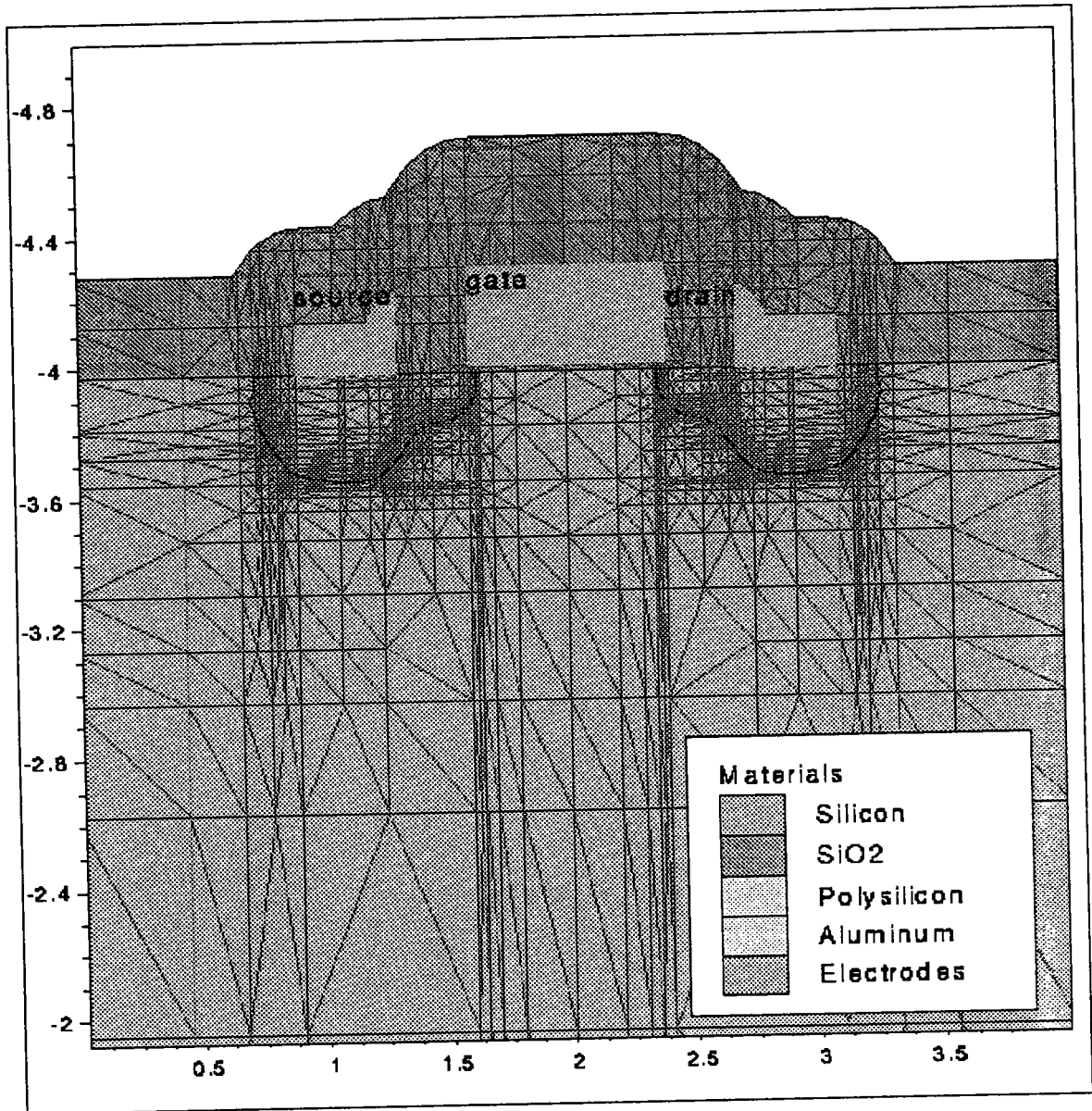


Figure IV 12: Maillage de la structure simulée, raffinement en zone de jonction.

Le profil de dopage net de la structure complète est représenté en vue 3-D sur la figure IV.13 . Le plan XY correspond au maillage de la structure et la troisième dimension donne le niveau de dopage net de chaque noeud de la maille en fonction de ses coordonnées (X,Y).

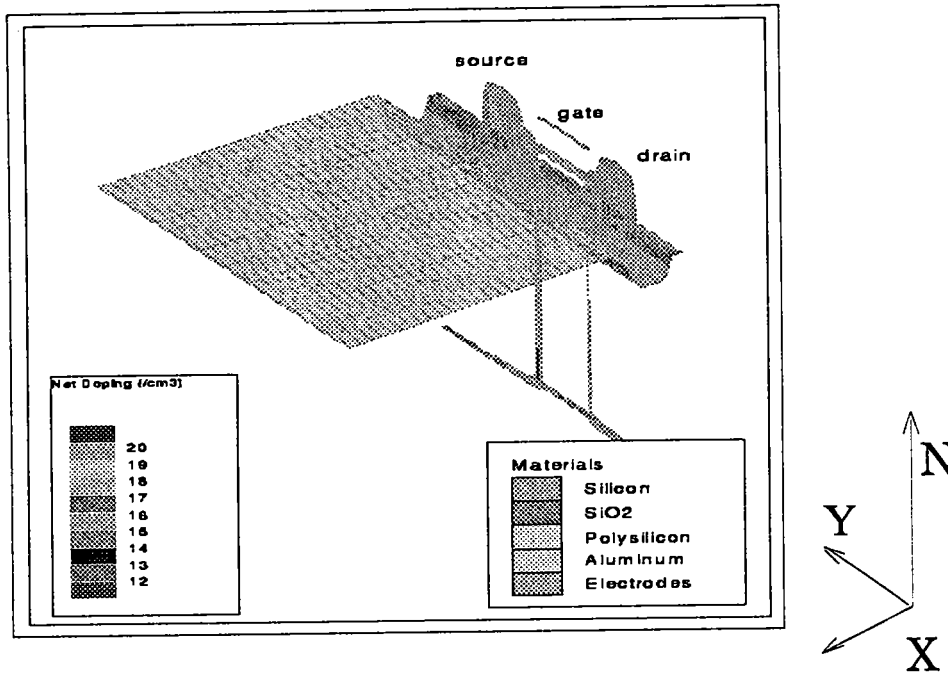


Figure IV 13: Profil de dopage en fonction des coordonnées (X,Y) des noeuds.

IV.6. SIMULATION DU COMPORTEMENT ELECTRIQUE

La simulation du procédé de fabrication et le maillage de la structure finale ayant été réalisés, il est maintenant possible de simuler son comportement électrique afin de comparer les résultats de la simulation aux caractéristiques expérimentales. Cette simulation étant bidimensionnelle, il conviendra pour la comparaison de ces caractéristiques, de multiplier les valeurs du courant simulé par la largeur du transistor considéré.

Une bonne simulation du comportement électrique d'un dispositif électronique passe par trois étapes fondamentales:

- 1) Spécification des propriétés du matériau (choix des constantes physiques utilisées).
- 2) Spécification des modèles physiques traduisant les phénomènes apparaissant dans le dispositif.
- 3) Spécification de la méthode numérique utilisée.

IV.6.1. Spécification des propriétés du matériau

Dans le cas du silicium les valeurs des paramètres (constantes physiques) sont connues et définies dans la littérature. Nous avons donc retenu les paramètres définis par défaut dans le logiciel. Notons cependant que certains de ces paramètres (durée de vie, temps de relaxation, etc...) sont relativement mal connus puisqu'ils dépendent entre autres du procédé de fabrication. La mauvaise connaissance de ces paramètres pourra expliquer certains écarts existants entre caractéristiques simulées et expérimentales comme nous le verrons plus loin.

IV.6.2. Choix des modèles physiques

L'ensemble des modèles physiques proposés par la bibliothèque du logiciel concerne: la mobilité, la recombinaison, la statistique des porteurs utilisée, l'impact par ionisation, et l'effet tunnel.

Selon le type de dispositif à simuler (MOS, Bipolaire, etc.) une combinaison appropriée de ces différents modèles est à envisager. En outre, certains phénomènes liés à la réduction des dimensions dans les dispositifs électroniques submicroniques peuvent être pris en compte.

Concernant les transistors MOS, pour obtenir un résultat de simulation précis, il est nécessaire de prendre en compte les effets associés à la couche d'inversion. Ceci est réalisé en introduisant dans le modèle de mobilité les effets dus au champ transversal.

Les modèles physiques choisis pour l'étude de nos structures sont présentés ci dessous.

la mobilité: le modèle utilisé est dit: CVT [3].

Dans ce modèle, la dépendance de la mobilité avec le champ électrique transversal, la concentration des porteurs et la température est donnée par trois composantes combinées selon la règle de Mathiesen:

$$\mu_T^{\uparrow} = \frac{1}{\mu_{AC}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (IV.1)$$

où μ_{AC} est le facteur de mobilité de surface prenant en compte la diffusion des porteurs par les phonons acoustiques. Il est fonction de la température, de la concentration des porteurs et du champ électrique perpendiculaire.

μ_{sr} est le facteur de mobilité limitée par la diffusion des phonons optiques. Il est fonction de la température et de la concentration des porteurs.

Finalement, la mobilité effective μ qui tient également compte l'effet du champ électrique longitudinal est donnée par:

$$\mu = \frac{\mu_T}{\left(1 + \left[\frac{\mu_T E_{ll}}{v_{sat} \left(\frac{T}{300} \right)^\lambda} \right]^\beta \right)^{1/\beta}}$$

(IV.2)

où E_{ll} est le champ électrique longitudinal,

λ et β sont deux paramètres du modèle,

et v_{sat} est la vitesse de saturation donnée dans le cas du silicium par:

$$v_{sat} = \frac{2,4 \cdot 10^7}{1 + 0,8 \exp\left(\frac{T}{600}\right)} \quad (\text{cm/s})$$

où T est prise en Kelvin

la génération-recombinaison: le modèle de génération-recombinaison que nous utilisons est celui de Shokley-Read-Hall (SRH). Dans ce modèle, la vitesse de recombinaison R_{SRH} est fonction du niveau d'énergie du piège et des durées de vie des électrons et des trous [4]. Ces durées de vie dépendent des concentrations selon une relation empirique [4].

la statistique: la statistique que nous utilisons est celle de Boltzmann. Elle découle de la statistique de Fermi-Dirac dans le cas limite $E - E_F \gg kT$.

$$f(E) = \exp\left[\frac{E_F - E}{kT}\right] \quad (\text{IV.3})$$

où E : énergie de l'électron.
 E_F : énergie de Fermi.
 k : la constante Boltzmann.

Généralement, la statistique de Boltzmann est utilisée dans la théorie des dispositifs semiconducteurs, alors que celle de Fermi-Dirac est utilisée pour prendre en compte certaines propriétés de matériaux fortement dopés.

l'ionisation par impact: le taux de génération des paires électron-trou que nous utilisons est celui modélisé par Selberherr[5]:

$$G = \alpha_n \frac{J_n}{q} + \alpha_p \frac{J_p}{q} \quad (\text{IV.4})$$

où α_n et α_p sont respectivement les taux d'ionisation des électrons et des trous. Ces coefficients sont fonction du champ électrique et de la température.

l'effet tunnel: Ce phénomène se manifeste lors de la présence de forts champs électriques dans la structure (notamment dans le cas du régime de saturation du transistor). Le modèle utilisé est celui de l'effet tunnel bande à bande. Dans ce cas, le taux de génération résultant peut-être modélisé par [6;7]:

$$G_{BBT} = A_{BBT} E^\gamma \exp\left(-\frac{B_{BBT}}{E}\right) \quad (\text{IV.5})$$

où E : est le champ électrique.
 A_{BBT} , B_{BBT} , γ : sont des paramètres du modèle.

IV.6.3. Choix de la méthode numérique

Plusieurs méthodes numériques peuvent être utilisées avec ATLAS pour le calcul des solutions recherchées lors d'une simulation (Gummel, Block et Newton). Chaque méthode de résolution est optimale dans une situation spécifique et ces méthodes peuvent également être combinées. En général, la méthode de Gummel est utilisée pour la résolution de systèmes

d'équations fortement couplées. La méthode de Block étant un mode de résolution intermédiaire.

Dans le cas de notre simulation où il n'a pas été pris en compte la variation de la température des porteurs (phénomène impliquant un couplage supplémentaire entre les différents modèles physiques), c'est la méthode de Gummel qui a été utilisée.

IV.6.4. Phase d'apprentissage et méthode d'ajustement

Afin d'explorer les possibilités du logiciel, une phase d'apprentissage fut indispensable. Nous avons donc commencé par étudier l'influence des paramètres physiques et technologiques (process) sur les paramètres électriques du transistor réalisé. Cette étude s'avérera très utile pour la suite de nos travaux, surtout pour l'ajustement et le calibrage des modèles physiques décrits au paragraphe précédent.

Deux points importants sont à considérer pour effectuer une bonne simulation:

- Le contrôle de la tension de seuil du transistor (V_T).
- Le contrôle du niveau de courant de drain (I_{DS}).

IV.6.4.1 Tension de seuil V_T :

L'ajustement de la tension de seuil peut se faire en jouant sur plusieurs paramètres process:

- 1- le profil de dopage dans le canal,
- 2- la longueur effective du canal (dans le cas des transistors à canal court),
- 3- la densité de charges fixes (contrôlés par le paramètre Q_F).
- 4- l'épaisseur de l'oxyde,
- 5- l'utilisation d'un isolant spécifique pour la grille,

Plus il y a de paramètres à faire varier, plus l'ajustement est complexe. Il faut donc fixer le maximum de paramètres possibles afin d'alléger cette tâche. Le nombre de défauts à l'interface est fixé et dépend du type de croissance de l'oxyde de grille. L'épaisseur d'oxyde et le choix de l'isolant sont donnés par le constructeur.

Il reste donc deux paramètres sur lesquels on peut jouer pour l'ajustement de la tension de seuil. Ce dernier est effectué en deux étapes dépendantes portant sur:

a) L'implantation de surdopage du canal dont la dose affecte surtout le pic de concentration, l'énergie et la profondeur de pénétration. Cette étape a consisté à rechercher la dose et l'énergie d'implantation de bore qui reproduisaient au mieux le profil de dopage (surdopage du canal) fournit par le constructeur. En fait, cette étape est intimement liée à l'étape suivante qui elle aussi affecte le profil de dopage.

b) Les conditions de traitement thermique dont la température et le temps affectent la redistribution des dopants. Dans le cas de la diffusion des caissons de source et de drain, ce traitement thermique affecte également la longueur effective du canal. Cette étape a consisté à rechercher un compromis entre l'ajustement du profil de dopage (pic de concentration et largeur à mi hauteur) et la longueur effective du canal.

IV.6.4.2 Niveau du courant de drain I_{DS}

A tension de drain V_{DS} et de grille V_{GS} fixées, les facteurs qui affectent le niveau de courant de drain (I_{DS}) sont:

- 1- la tension de seuil,
- 2- la largeur du canal,
- 3- la longueur effective du canal,
- 4- la mobilité effective μ_{eff} des porteurs,

Pour une tension de seuil fixée (par ajustement), la largeur de la grille étant une donnée constructeur, les deux paramètres qui affectent le plus le niveau de courant de drain sont la longueur effective du canal et la mobilité effective des porteurs.

D'après les données constructeur, la réduction technologique de la longueur du canal (en fin de process) était de $\Delta L=0,05 \mu m$. En fin de simulation, la valeur obtenue pour ce paramètre était de l'ordre de $0,048 \mu m$.

Le choix du modèle de mobilité est fonction du type de dispositif et des phénomènes à prendre en compte dans les modèles physiques. Le modèle utilisé dans notre cas est décrit au paragraphe IV.6.2, et prend en compte les effets dus aux champs longitudinal et transversal.

IV.6.5 Comparaison des caractéristiques simulées et mesurées

Pour un transistor de chaque géométrie étudiée, nous présentons la comparaison des caractéristiques mesurées et simulées. La simulation étant bidimensionnelle, il a fallu multiplier les résultats obtenus par la largeur correspondante de la grille du transistor.

La comparaison des caractéristiques dans les différents régimes de fonctionnement pour la série de transistors $L = 0,8 \mu\text{m}$ et $W = 25 \mu\text{m}$ est présentée ci-dessous. La figure IV.14 montre l'évolution de la caractéristique de transfert en régime linéaire pour $V_{DS}=50$ et 100 mV et pour $V_{BS}=0$. On y observe un bon accord entre mesure et simulation tant sur les valeurs de tension de seuil que pour les niveaux de courant.

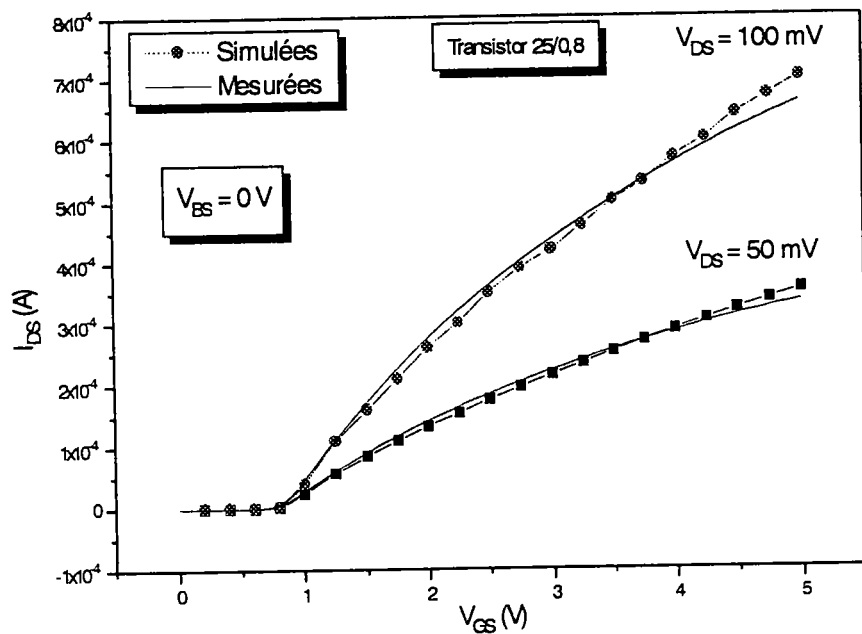


Figure IV.14: Comparaison des caractéristiques de transfert en régime linéaire pour $V_{DS}=50$ et 100 mV, $V_{BS}=0$ V. Transistor $W/L=25/0,8$.

Les réseaux des caractéristiques $I_{DS}=f(V_{DS})$ simulés et mesurés à différentes polarisations de grille et pour $V_{BS}=0$ sont présentés sur la figure IV.15.

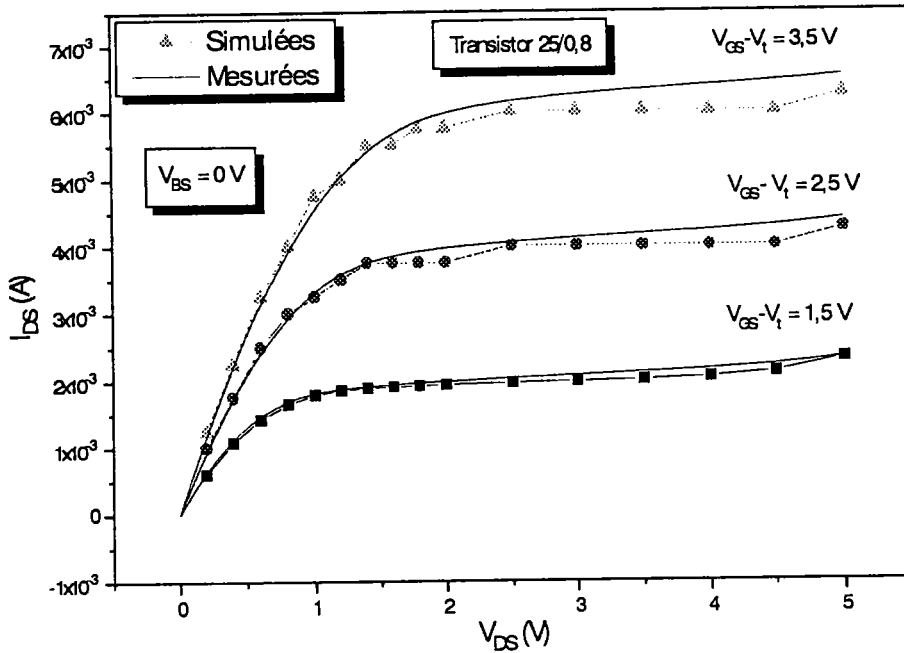


Figure IV.15: Comparaison des caractéristiques de fonctionnement pour $V_{GS} - V_T = 1,5;$ $2,5;$ $3,5$ V, et à tension $V_{BS}=0$ V. Transistor $W/L=25/0,8$.

Notons ici un très bon accord de ces caractéristiques en région linéaire.. En régime de saturation pour laquelle l'écart entre les caractéristiques simulées et mesurées devient plus important avec l'augmentation de la tension de grille, ceci traduit le fait que l'influence due au champ transversal n'est pas entièrement décrite dans ce modèle

Pour la série de transistors $L = 0,8 \mu\text{m}$ et $W = 1,4 \mu\text{m}$ un effet de petite largeur apparaît, cependant la simulation est effectuée en 2-D. ainsi un écart plus important entre les caractéristiques simulée et mesurée est observée.

La comparaison des caractéristiques de transfert en régime linéaire est représentée sur la figure IV.16 et montre un écart de la tension de seuil et du niveau de courant des caractéristiques.

Deux raisons essentielles peuvent expliquer cette dérive des caractéristiques simulées: l'augmentation de la tension de seuil avec la diminution de la largeur de la grille du transistor [8], et l'altération du profil de dopage réel avec la réduction des dimensions.

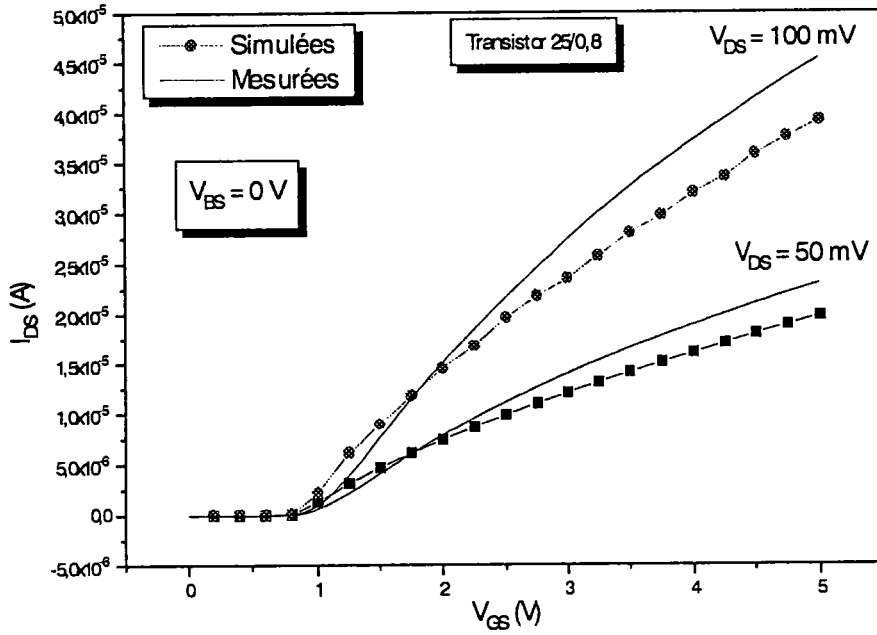


Figure IV.16: Comparaison des caractéristiques de transfert en régime linéaire pour $V_{GS}=50$ et 100 mV, $V_{BS}=0$ V. Transistor $W/L=1,4/0,8$.

Ces écarts observés dans le cas des caractéristiques de transfert se retrouvent sur les caractéristiques de fonctionnement $I_{DS}=f(V_{DS})$ (cf figure IV.17).

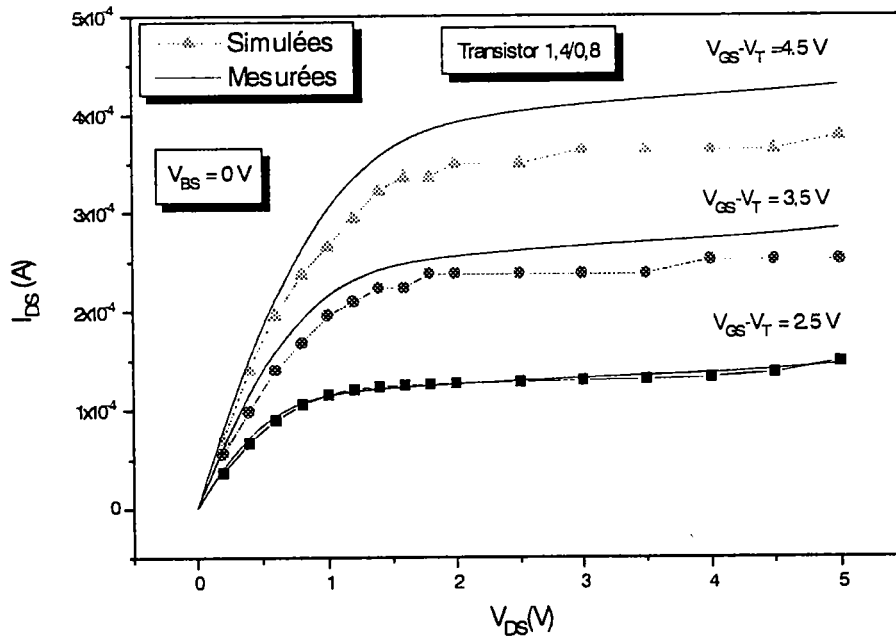


Figure IV.17: Comparaison des caractéristiques de fonctionnement pour $V_{GS} - V_T = 1,5$; $2,5$; $3,5$ V, et à tension $V_{BS}=0$ V. Transistor $W/L=1,4/0,8$.

D'une manière générale, le procédé de fabrication décrit dans cette simulation n'étant pas le procédé exact du constructeur, les écarts observés entre les caractéristiques simulées et expérimentales peuvent être liés au choix des valeurs des paramètres du matériau (valeurs dépendantes du procédé de fabrication).

Sur les caractéristiques de transfert (cf. figure IV.16), on peut constater une diminution de la tension de seuil et du niveau de courant des caractéristiques simulées plus importantes que celle observées sur le transistor 2.5/0.8.

La diminution du niveau de courant de la caractéristique simulée peut être expliquée par l'augmentation de la tension de seuil due à la diminution de la largeur du transistor. En effet, il est généralement admis [8;9] qu'une diminution de la largeur de grille d'un transistor produit une augmentation de sa tension de seuil, provoquant ainsi une translation de la caractéristique de transfert vers des valeurs de tension plus positives (cas d'un transistor à canal N), c'est à dire une diminution de son niveau de courant. En fait, il aurait fallu réaliser une simulation 3-D pour prendre en compte l'effet supplémentaire introduit par la réduction de la largeur du transistor.

En régime de conduction sous le seuil à la saturation ($V_{DS} = 3 \text{ V}$) et sans polarisation du substrat ($V_{BS} = 0 \text{ V}$), la comparaison des caractéristiques de transfert simulées et mesurées en coordonnées semi-logarithmiques est donnée sur les figures IV.18, respectivement pour la série de transistors $W/L=25/0,8$ et $W/L=1,4/0,8$.

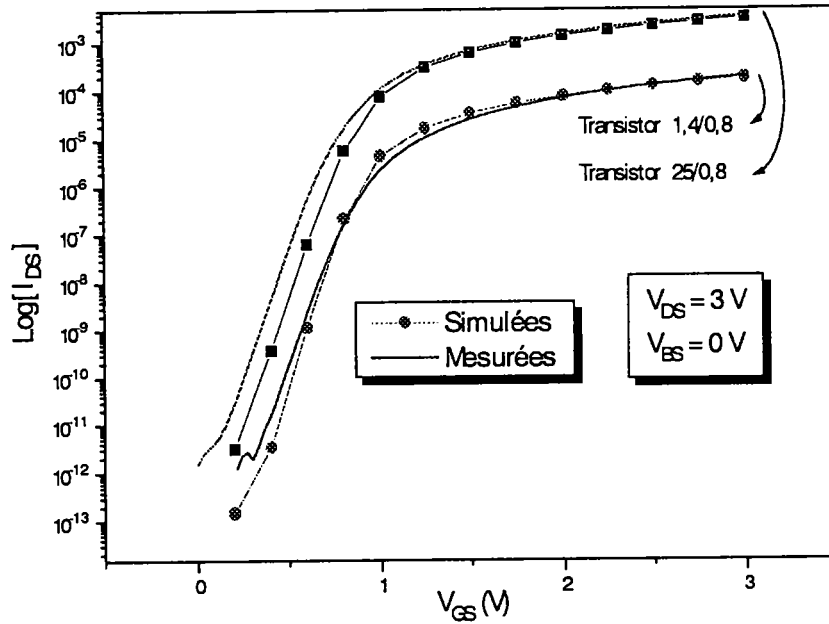


Figure IV.18: Comparaison des caractéristiques de transfert en régime de conduction sous le seuil à la saturation, pour les deux séries de transistors.

Dans ce régime de fonctionnement, on note un bon accord entre la simulation et la mesure. Contrairement au cas observé en régime de forte inversion, la série de transistors de plus petite géométrie semble présenter un meilleur accord.

IV.6.6 Effet de la tension de substrat V_{BS}

Compte tenu des remarques effectuées dans le paragraphe IV.5.2.2, l'épaisseur du substrat de la structure simulée est de $40 \mu\text{m}$, alors que celle de la structure réelle est proche de $600 \mu\text{m}$ (donnée constructeur).

Cette diminution de l'épaisseur du substrat a permis de réduire considérablement les temps de simulation "Process" et "Device". Par contre, cette réduction d'épaisseur du substrat a introduit une chute de potentiel source-substrat moins importante que la chute de potentiel réelle. Par conséquent une dérive plus importante de la caractéristique de transfert.

La figure IV.19 montre la comparaison de l'évolution des caractéristiques de transfert mesurées et simulées en régime linéaire ($V_{DS} = 50 \text{ mV}$) et pour différentes tensions de substrat ($V_{BS} = 0; -1; -2; -3; -4 \text{ V}$).

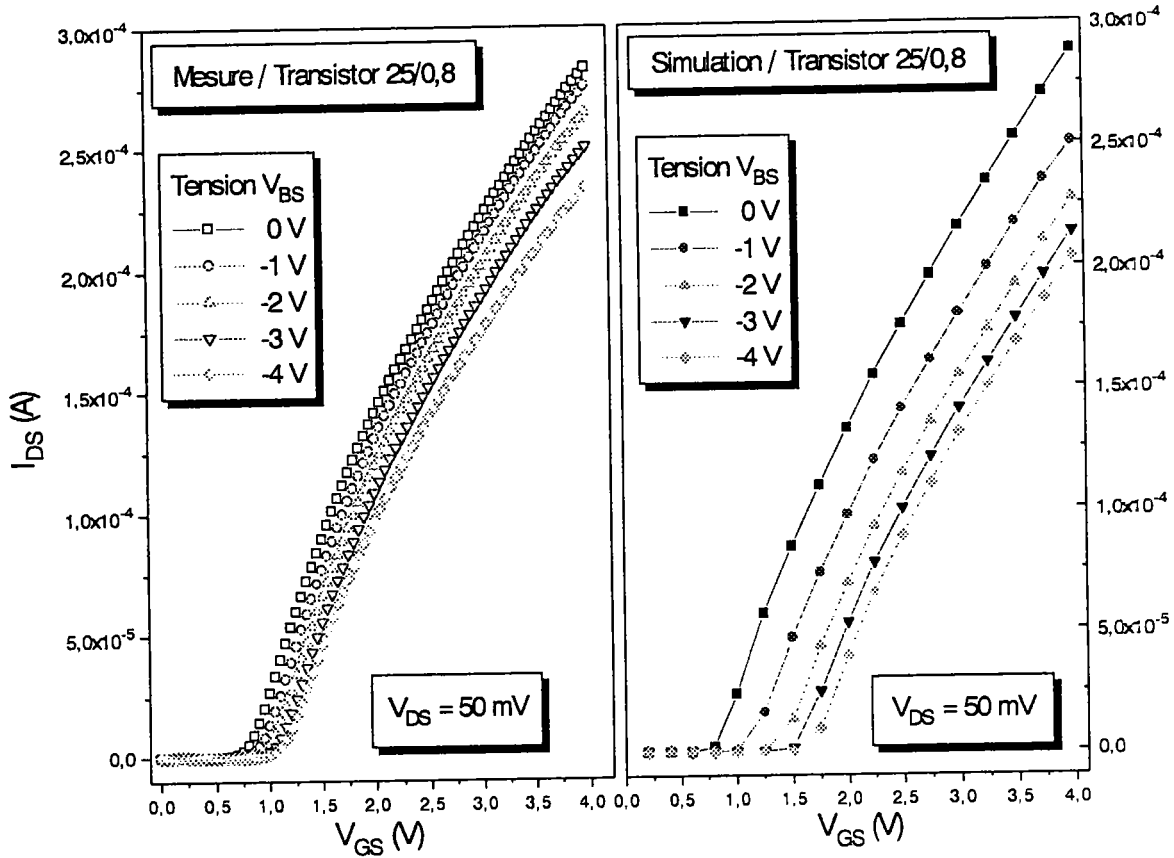


Figure IV.19: Comparaison de l'effet de la tension de substrat sur les caractéristiques de transfert mesurées et simulées, pour la série de transistors 25/0,8.

Les caractéristiques simulées présentent un décalage plus important vers la droite, c'est à dire une chute de potentiel substrat-source (V_{BS}) moins importante.

IV.6.7 Effet de double implantation du canal

Les structures étudiées ici présentent une double implantation (bore et arsenic) dans le canal, en vue d'ajuster la tension de seuil du transistor. La figure IV.20 représente l'allure des profils de dopage de bore et d'arsenic fournis par le constructeur.

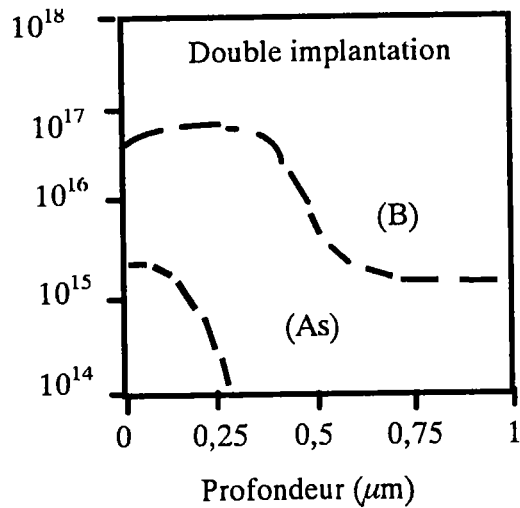


Figure IV.20: Double implantation d'ajustement de la tension de seuil du transistor.

Afin de mieux comprendre l'intérêt de cette double implantation, nous avons étudié par simulation l'influence de la dose d'implantation de ces deux types de dopants (la dose d'implantation étant un paramètre qui influence principalement le niveau du pic de concentration du profil de dopage). Sur la figure IV.21 est représentée l'évolution de la caractéristique de transfert en régime de fonctionnement linéaire ($V_{DS} = 50 \text{ mV}$) et à polarisation de substrat nulle ($V_{BS} = 0 \text{ V}$), pour la série de transistors $W/L=25/0,8$.

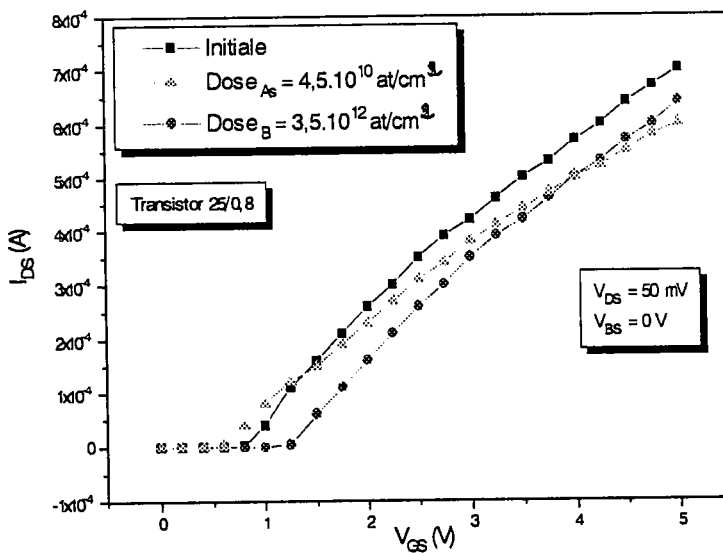


Figure IV.21: Influence de la dose d'implantation de bore et d'arsenic dans le canal.

La courbe initiale est celle qui a été obtenue en fin de simulation et correspond à une dose de bore de $2,5 \cdot 10^{12} \text{ at/cm}^3$ et à une dose d'arsenic de $3,5 \cdot 10^{10} \text{ at/cm}^3$.

Une augmentation de la dose bore ($2,5.10^{12} \text{ at/cm}^3 \Rightarrow 3,5.10^{12} \text{ at/cm}^3$) produit une augmentation de la tension de seuil V_T avec une translation vers des tensions de grille positives de la caractéristique de transfert. Cette translation conserve la pente de la caractéristique et n'a donc aucune incidence directe sur la mobilité des porteurs dans le canal.

Ceci peut s'expliquer par le fait qu'en augmentant la dose de bore, le profil de dopage net du canal en surface correspond pratiquement à celui du bore, la différence de niveau de dopage entre bore et arsenic étant très importante.

Au contraire, une augmentation de la dose d'arsenic ($3,5.10^{10} \text{ at/cm}^3 \Rightarrow 4,5.10^{10} \text{ at/cm}^3$) produit une diminution de la tension de seuil V_T mais cette fois sans translation de la caractéristique. La diminution de la pente de la caractéristique traduit une diminution de la mobilité des porteurs.

Cette diminution de mobilité peut s'expliquer par le fait qu'une augmentation de la dose d'implantation d'arsenic provoque une baisse en surface du niveau de pic de concentration du profil de dopage net, c'est à dire une augmentation de la densité de porteurs minoritaires (électrons) en surface (la mobilité étant inversement proportionnelle à la concentration).

IV.6.8 Effet de l'épaisseur du substrat

Dans le but de valider le choix d'un substrat de $40\mu\text{m}$ d'épaisseur (pour $4\mu\text{m}$ d'épaisseur de couche épitaxiée) lors de la simulation de ces dispositifs, nous avons étudié l'effet lié à la modification de l'épaisseur du substrat sur la caractéristique de transfert en régime linéaire. La figure IV.22 montre l'évolution de cette caractéristique pour quatre épaisseurs de substrat (10, 20, 40 et $80\mu\text{m}$).

Par rapport à la caractéristique finale ($40\mu\text{m}$), la caractéristique obtenue pour un substrat de $10\mu\text{m}$ présente à la fois une diminution de tension de seuil et une diminution du niveau de courant au-delà de 2 V. Par contre pour $20\mu\text{m}$ d'épaisseur de substrat, l'accord avec la caractéristique finale est bon pour les tensions inférieures à 2 V, mais une différence de niveau de courant est observée pour des tensions supérieures à 2 V. Enfin pour $80\mu\text{m}$ d'épaisseur, l'accord avec la caractéristique finale est encore meilleur dans l'ensemble, cependant on note une légère dérive des caractéristiques aux fortes tensions de grille.

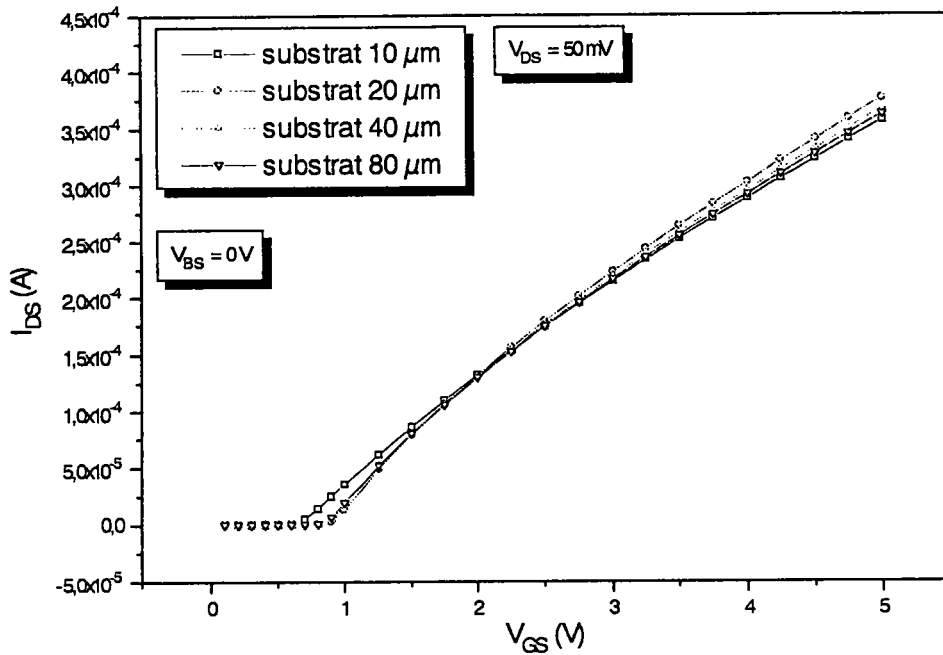


Figure IV.22: Influence de l'épaisseur du substrat sur la caractéristique de transfert..

IV.6.9 Remarque concernant la simulation des effets d'irradiation

Le logiciel ATLAS offre la possibilité de simuler les effets d'irradiation par l'introduction des densités de défauts dans la structure. Ces défauts peuvent être pris en compte par l'intermédiaire de:

- * Q_F : densité de charge fixes.
- * "INTRAP": densité de pièges d'interface.
- * "TRAP": densité de pièges de volume.

Dans le cas des défauts d'interface et de volume, ces défauts sont définis par leur type (accepteur ou donneur), leurs niveaux d'énergie, leurs densités, leurs sections efficace de capture (ou leurs densités), et par leurs niveaux de dégénérescence[12].

Ainsi, de nombreux types d'irradiation peuvent être simulé en jouant sur les paramètres appropriés. En cela, le paramètre Q_F peut permettre une simulation d'effet d'irradiation ionisante. Alors que l'association de Q_F et du paramètre "TRAP" peut permettre une étude des effets induits par irradiation protons.

IV.7. SYNTHÈSE

Dans ce chapitre, nous avons décrit les différentes étapes de la simulation 2-D des transistors nLDDMOS issus de la technologie 1,2 de MATRA-MHS. Cette simulation s'est articulée sur cinq points principaux:

Nous avons tout d'abord présenté une synthèse des principales opérations élémentaires de la technologie planar. Cette synthèse couvrait les bases théoriques nécessaires pour une meilleure mise en oeuvre de l'aspect simulation du procédé de fabrication "Process". Une présentation relativement complète des logiciels utilisés a également été effectuée.

Après quoi, une simulation du procédé de fabrication, basée essentiellement sur une prise en compte des données structurelles et surtout sur un ajustement des profils de dopage fournis par le constructeur. Ajustement qui s'est effectué par le choix approprié des différents paramètres "Process".

Par la suite, une simulation du comportement électrique statique de la structure a été réalisée, s'appuyant essentiellement sur le choix des modèles physiques et de la méthode numérique à prendre en compte.

Une étude comparative entre caractéristiques électriques statiques simulées et mesurées a été présentée, en vue d'une validation de la méthodologie mise en oeuvre.

Enfin, une mise en valeur des effets associés à la diminution de la largeur de grille, à la présence d'une double implantation dans le canal du transistor et à l'épaisseur du substrat a été effectuée.

Finalement, ce chapitre a permis de valider à la fois les outils utilisés et la méthodologie mise en oeuvre lors des différentes étapes de la simulation de ces dispositifs. Il ouvre en outre une perspective intéressante vers la simulation des effets d'irradiation sur ces composants.

REFERENCES

- [1] A.Y. Cho, "Growth of III-V Semiconductors Molecular Beam Epitaxie and their properties", *Thin Solid Films*, 100, 291 (1983).
- [2] L.L. Chang, "Molecular Beam Epitaxie", in S.P.Keller, Ed., *Handbook On Semiconductors*, Vol.3, North-Holland, Amsterdam, 1980.
- [3] Lombardi and all, "Physically Based Mobility Model for Numerical Simulation of Non-Planar Device," *IEEE Trans. on CAD*, Nov. 1988, p.1164.
- [4] SILVACO International, *ATLAS II, 2D Device Simulation Framework, User Manual*, Santa Clara, July 1995.
- [5] S. Selberherr, "Analysis and Simulation of Semiconductor Devices", Spriger-Verla, Wien-New York. 1984.
- [6] G.A.M. Hurkx, H.C de Graaf, W.J. Klosterman, and Al., "A Novel Compact Model Description of Reverse Bias Diode Characteristics Including Tunnelling", *ESSDERC*, pp. 49-52, 1990.
- [7] D.B.M. Klaassen, "Physical Modelling for Bipolar Device Simulation", In *Simulation of Semiconductor Devices and Process*, Edited by W. Fichtner and D. Aemmer, Harting-Gorre, 1991, Vol.4, pp. 23-43.
- [8] G. Merckel, "A Simple Model of the Threshold Voltage of Short and Narrow Channel MOSFETs", *Solid-State Electronics* Vol.23, pp 1207-1213, 1980.
- [9] SM Sze, "Physics of Semiconductor Devices", John Wiley 1 Sons (1981)
- [10] "ATHENA User's Manual, 2D Process Simulation Software", SILVACO, Vresion 3.0, 1996.

- [12] "ATLAS User's Manual, 2D Device Simulation Software", SILVACO, Vresion 4.0, 1996.

CONCLUSION

Dans ce travail, nous avons cherché à développer une méthodologie de caractérisation cohérente de transistors nLDDMOSFETs. Cette méthodologie permet, à partir de mesures et d'une simulation 2-D de rendre compte de façon précise et complète du fonctionnement de ces composants.

Pour ce faire, nous avons tout d'abord rappelé les équations régissant le fonctionnement d'une capacité MOS, en mettant en évidence les paramètres décrivant une structure réelle par rapport à ceux de la structure idéale. Ce modèle a servi de base au développement des méthodes d'extraction des paramètres des capacités.

Nous avons ensuite indiqué les équations de conduction des transistors MOS en faisant ressortir leur intérêt dans la détermination des paramètres de conduction. Les problèmes liés à la réduction des dimensions et son influence sur la tension de seuil a également été analysée. Les équations régissant le fonctionnement d'une jonction P-N sont rappelées en prévision du développement de la méthode de caractérisation de la jonction drain-substrat du transistor.

Une méthodologie d'analyse pour les capacités, les transistors et les jonctions, a été développée selon nos hypothèses et nos conditions de travail. Les phénomènes généraux associés aux irradiations ont été présentés.

Sur le plan expérimental, nous avons exposé nos résultats et nos analyses permettant la caractérisation des transistors, des jonctions drain-substrat ainsi que celle des capacités MOS.

L'étude avant irradiation a permis de mettre en évidence l'influence de la géométrie sur les paramètres de conduction du transistor: V_T , μ_0 et θ . L'évolution de la tension de seuil avec les dimensions ayant été analysée.

La caractérisation de la jonction drain-substrat du transistor a clairement fait ressortir une détérioration de ses propriétés, plus marquée dans le cas des transistors de faible largeur.

Les paramètres déterminés à partir des capacités MOS ont permis d'accéder à certaines données technologiques nécessaires à la mise en œuvre du chapitre consacré à la simulation. Le rôle joué par la polarisation de la grille sur les mécanismes de conduction est précisé en particulier pour les faibles dimensions. L'évolution des paramètres A , I_o , R_S et I_{od} a été associée à une extension supplémentaire de la zone de charge d'espace.

L'étude après irradiation ionisante (γ) a montré que la densité de charges piégées dans l'oxyde de grille était responsable de la dérive de la tension de seuil du transistor. L'évolution des paramètres de la jonction drain-substrat, suite à ce type d'irradiation, montrait un comportement similaire à celui observé par influence de la tension de grille V_{GS} . L'étude des diodes de protection a confirmé le rôle des charges des oxydes de passivation. D'autre part, il a été observé une différence de sensibilité à ce type d'agression, en particulier pour les transistors de plus petite largeur de grille.

L'étude après irradiation protons a fait apparaître à la fois des dégradations liées à des effets de déplacements d'atomes et à des effets d'ionisation. Contrairement au cas d'une irradiation (γ), l'étude en conduction a montré une diminution de la mobilité à faible champ μ_0 associée à une diminution de la durée de vie des porteurs. De même, l'évolution des paramètres R_S et I_{od} de la jonction drain-substrat a montré une augmentation avec l'irradiation protons associée à l'augmentation de la densité de centres recombinants. Ainsi les paramètres μ_0 , R_S et I_{od} apparaissent donc comme significatifs pour la caractérisation des effets de déplacement par irradiation.

Enfin une simulation du comportement électrique de ces dispositifs a été réalisée. En cela, une étude préliminaire des traitements thermiques, base de la technologie planar a été rendue nécessaire pour une meilleure mise en œuvre de l'aspect simulation "Process".

La simulation du procédé de fabrication s'est appuyé sur un choix approprié des différents paramètres "Process" qui permettait de reproduire au mieux les profils de dopage fournis.

Par la suite, une simulation du comportement électrique statique de la structure a été réalisée, s'appuyant essentiellement sur le choix des modèles physiques et de la méthode numérique à prendre en compte. Une étude comparative entre caractéristiques électriques

statiques simulées et mesurées a été présentée, en vue d'une validation de la méthodologie mise en oeuvre.

Enfin, une mise en valeur des effets associés à la diminution de la largeur de grille, à la présence d'une double implantation dans le canal du transistor et à l'épaisseur du substrat a été effectuée.

Cette étude a permis d'aborder certains problèmes liés aux réductions des dimensions. L'étude de composants de technologie $0.6 \mu\text{m}$, tenant compte des effets submicroniques, permettra de préciser les tendances observées et d'étendre l'analyse dans ce domaine.

APPENDICE (Fichiers de simulation)

1) Fichier de simulation process Athena:

```
#####  
##### Structure nLDDMOS L=0,8µm #####  
#####  
go athena  
##### Initialisation du substrat #####  
line x loc=0.00 spac=0.10  
line x loc=0.90 spac=0.04  
line x loc=1.40 spac=0.04  
line x loc=1.60 spac=0.04  
line x loc=2.00 spac=0.10  
line y loc=0.00 spac=0.01  
line y loc=0.50 spac=0.10  
line y loc=10.0 spac=1.00  
line y loc=40.0 spac=10.0  
##### Orientation cristalline et dopage du substrat type P (B) #####  
init silicon c.boron=2e18 orientation=100  
diffus time=30 temp=1000 dryo2 press=1.00 hcl=3  
etch oxide all  
##### Croissance de la couche epitaxiée type P- (dopage bore) #####  
epitaxy time=30 temp=900 t.final=1000 thickness=4.0 divisions=20 dy=0.05 press=1.00 \  
c.boron=2.0e15  
##### Visualisation de l'état actuel de la structure #####  
structure outfile=images2.str  
tonyplot images2.str  
##### Contrôle du profil en surface (Oxyde d'implantation)#####  
diffus time=11 temp=925 dryo2 press=1.00 hcl=3  
##### Implantation du bore pour l'ajustement de la tension de seuil #####  
implant boron dose=2.5e12 energy=40 gauss crystal  
##### Implantation d'arsenic pour l'ajustement de la tension de seuil #####  
implant arsenic dose=3.5e10 energy=90 pearson crystal  
##### Dépôt d'oxyde #####  
depo oxide thick=3 divisions=20  
##### Gravure de l'oxyde (Ouverture pour implantation de la zone AGP) #####  
etch oxide left p1.x=0.85  
##### Implantation de la zone AGP, profil Gauss #####  
implant boron dose=4.2e12 energy=190 gauss crystal  
##### Visualisation de l'état actuel de la structure #####  
structure outfile=images3.str  
tonyplot images3.str  
etch oxide all  
diffus time=1 temp=925 dryo2 press=1.00 hcl=3  
##### Recuit pour guérison du reseau et redistribution des dopants #####  
method fermi compress  
diffus time=45 temp=1040 nitro press=1.00  
##### Gravure des oxydes générés par le recuit #####  
etch oxide all  
##### Dépot de l'oxyde et du polysilicium de grille #####
```

```

##### A partir de ce niveau la simulation est 2-D #####
depo oxide thick=0.0195 divisions=13
depo poly thick=0.3 divi=15
##### Gravure pour l'ouverture des caissons de source (ou drain) #####
etch poly start x=0.90 y=-4.945
etch cont x=0.90 y=-3.995
etch cont x=1.24 y=-3.995
etch done x=1.24 y=-4.945
etch oxide start x=0.90 y=-4.0
etch cont x=0.90 y=-3.975
etch cont x=1.24 y=-3.975
etch done x=1.24 y=-4.0
##### Visualisation de l'état actuel de la structure #####
structure outfile=images12.str
tonyplot images12.str
##### Implantation du caisson n+ (arsenic) #####
implant arsenic dose=6.0e15 energy=130 pearson crystal
##### Ouverture pour l'implantation du caisson n- #####
etch poly start x=1.24 y=-4.945
etch cont x=1.24 y=-3.995
etch cont x=1.54 y=-3.335
etch done x=1.54 y=-4.945
etch oxide start x=1.24 y=-4.0
etch cont x=1.24 y=-3.975
etch cont x=1.54 y=-3.975
etch done x=1.54 y=-4.0
##### Implantation de Phosphore caisson N- #####
implant phosphor dose=5.0e13 energy=25 pearson crystal
##### Recuit pour guérison du reseau et redistribution des dopants #####
method fermi compress
diffus time=50 temp=950 nitro press=1.00
##### Visualisation de l'état actuel de la structure #####
structure outfile=images16.str
tonyplot images16.str
##### Gravure pour ajustement de la longueur de grille #####
etch poly start x=1.54 y=-4.945
etch cont x=1.54 y=-3.995
etch cont x=1.60 y=-3.995
etch done x=1.60 y=-4.945
etch oxide start x=1.54 y=-4.0
etch cont x=1.54 y=-3.975
etch cont x=1.60 y=-3.975
etch done x=1.60 y=-4.0
structure outfile=images17_1.str
##### Gravure du restant de masque #####
etch oxide left p1.x=1.60
##### Tentative de dépôt d'oxyde d'isolation #####
depo oxide thick=0.10 divisions=4
etch oxide left p1.x=1.325
##### Dépôt d'aluminium pour électrodes de source (ou drain) #####
deposit alumin thick=0.15 divi=5

```

```

etch alumin right p1.x=1.305
etch alumin left p1.x=0.9
##### Dépôt d'une seconde couche d'oxyde de champ #####
depo oxide thick=0.30 divisions=5
##### Génération de la demi structure complémentaire #####
structure mirror right
##### Spécification de la nature et des positions des électrodes#####
electrode name=gate x=2.00 y=-4.15
electrode name=source x=1.15 y=-4.0
electrode name=drain x=2.85 y=-4.0
electrode name=substrate backside
##### Visualisation de l'état actuel de la structure #####
structure outfile=08final.str
tonyplot -st 08final.str
quit

```

Remarque: Une étape transitoire de maillage de la structure issue de la simulation process s'impose à ce niveau. Cette étape est réalisée à l'aide de l'outil d'éditeur de structure et de maillage **DevEdit**.

2) *Fichier de simulation Atlas:* (exemple)

```

#####
##### Famille de courbes Ids (Vds) #####
#####
go atlas2
##### TITLE LDDMOSFET  $I_{DS}/V_{DS}$  Extraction #####
##### Chargement du fichier Process #####
mesh inf=08final.str master.in
##### Choix des modèles physiques #####
models bgn consrh auger conmob fldmob b.electrons=2 b.holes=1 evsatmod=0
hvsatmod=0 cvt \
bbt.std boltzman print temperature=300
mobility bn.cvt=4.75e+07 bp.cvt=9.925e+06 cn.cvt=174000 cp.cvt=8842000 \
taun.cvt=0.125 taup.cvt=0.0317 gamn.cvt=2.5 gamp.cvt=2.2 \
mu0n.cvt=52.2 mu0p.cvt=44.9 mu1n.cvt=43.4 mu1p.cvt=29
mumaxn.cvt=1417 \
mumaxp.cvt=470.5 crn.cvt=9.68e+16 crp.cvt=2.23e+17 csn.cvt=3.43e+20 \
csp.cvt=6.1e+20 alphn.cvt=0.68 alphp.cvt=0.71 betan.cvt=2 betap.cvt=2 \
pcn.cvt=0 pcp.cvt=2.3e+15 deln.cvt=5.82e+14 delp.cvt=2.0546e+14
impact selb
##### Spécification de la nature de la grille #####
contact name=gate n.poly
interface qf=3.1010
##### Choix de la méthode de calcul #####
method gummel newton autonr
##### Polarisations de la grille #####
solve init
solve vgate=2.0 outf=vd02a_1

```

```

solve vgate=3.0 outf=vd03a_1
solve vgate=4.0 outf=vd04a_1
##### Polarisation du drain pour VGS=2V #####
load inf=vd02a_1
log outf=testvd2a_1.log master
solve vdrain=0.0 vstep=0.2 vfinal=2.0 name=drain
solve vstep=0.5 vfinal=5.0 name=drain
##### Polarisation du drain pour VGS=3V #####
load inf=vd03a_1
log outf=testvd3a_1.log master
solve vdrain=0.0 vstep=0.2 vfinal=2.0 name=drain
solve vstep=0.5 vfinal=5.0 name=drain
##### Polarisation du drain pour VGS=4V #####
load inf=vd04a_1
log outf=testvd4a_1.log master
solve vdrain=0.0 vstep=0.2 vfinal=2.0 name=drain
solve vstep=0.5 vfinal=5.0 name=drain
##### Tracé des caractéristiques IDS (VDS) #####
tonyplot -overlay -st testvd2a_1.log testvd3a_1.log testvd4a_1.log -set

```

Quit

RESUME

Sous l'impulsion des innovations technologiques récentes, la réduction des dimensions des composants électroniques a entraîné une modification importante de leur comportement électrique et une plus grande sensibilité aux agressions extérieures.

Il est donc toujours d'actualité d'analyser les processus électroniques impliqués dans ces nouvelles structures. Dans ce but, nous présentons dans ce travail une étude réalisée sur des transistors nLDDMOSFETs issus de la technologie 1,2 μm de MATRA-MHS, et s'articulant sur deux grands axes principaux:

* Le premier fait appel à une étude expérimentale, basée d'une part sur l'évolution des paramètres de **conduction du transistor**, et d'autre part sur la modification des paramètres caractéristiques de la **jonction drain-substrat du transistor**. Une étude complémentaire de capacités MOS est effectuée en vue d'accéder à d'autres paramètres technologiques.

- Une méthodologie de caractérisation cohérente du transistor et de ses éléments a été développée.

- La détérioration des propriétés de la jonction drain-substrat vers le domaine submicronique a été analysée et reliée à la réduction des dimensions.

- L'effet de la réduction des dimensions sur la tension de seuil a été mis en évidence.

* Le deuxième est une simulation 2-D de ces dispositifs, réalisée sur deux niveaux:

- Une simulation du procédé de fabrication à l'aide du simulateur de "Process" (bidimensionnel) ATHENA. Elle s'appuie essentiellement sur l'ajustement des profils de dopage fournis par le constructeur, par le choix approprié des paramètres process (énergie et dose d'implantation, condition de recuit, etc.).

- Une simulation du comportement électrique statique de ces dispositifs à l'aide du simulateur de "Devices" S PISCES-2B, s'appuyant principalement sur le choix des modèles physiques traduisant au mieux les phénomènes à prendre en compte dans ce type de dispositifs. Nos outils de simulation sont distribués par SILVACO International.

Finalement, ce travail met au point une méthode de caractérisation cohérente des effets dus aussi bien à la **réduction des dimensions**, qu'à ceux liés à la dégradation du comportement électrique de ces dispositifs, suite à une **irradiation**.

Il met en place une méthodologie de simulation qui a permis de montrer le rôle de la double implantation du canal (B et As) pour l'ajustement de la tension de seuil, l'influence de l'épaisseur du substrat ainsi que les effets de réduction technologique du canal sur les caractéristiques électriques.

Ce travail montre que les **irradiations ionisantes** et les **effets de déplacement** peuvent être caractérisés par l'étude de la jonction drain-substrat. Il montre également que la dose influence les processus de conduction dans cette jonction au même titre qu'une polarisation sur la grille.

Mots clés

nLDDMOSFET
Co-60 / Protons
ATHENA

Irradiation
Simulation
S PISCES-2B

ABSTRACT

The reduction of electronics devices dimensions, produces a strong modification of their electrical characteristics and a high sensitivity to external agressions. In this work we present a study of lightly doped drain (LDD) nMOSFET's of MATRA-MHS 1.2 μm technology. This work contains two major parts :

* The first part concerns an experimental study, based on **conduction parameter** evolution, and on the modification of the **transistor body-drain** junction parameters. A complementary study of MOS capacitors has been carried out in order to determine more technological parameters.

- A coherent characterization method of MOS transistor and their elements has been expanded.

- Properties degradation of body-drain junction in submicronic range have been analysed and related to dimensions reduction.

* The second part presents a two-dimensional simulation of these divices, using two level simulation:

- A simulation with the 2-D simulator **ATHENA** which provides a two-dimensional simulation of semiconductors processing. This simulation step requires a good choice of process parameters (ion implantation dose, energy, annealing condition...)

- A two-dimensional electrical behavior simulation with the simulator **S PISCES 2B**, based on the choice of physical models taken into account for these devices.

Finally, this work presents a coherent characterization method of dimensions reductions effects and of electrical behavior degradation of these devices after radiation exposure. It gives a simulation methodology which made it possible to show the role of the double channel implantation (B and As) for the threshold voltage ajustement and substrate thickness influence.

This work shows that the **ionizing radiation** and **displacement damage** can be characterized by the body-drain junction study. Gate bias and ionizing radiation have the same effects on conduction processes in this junction.

Key Words

nLDDMOSFET
Co-60 / Protons
ATHENA

radiation
Simulation
S PISCES-2B