



HAL
open science

Contribution à l'étude de la tolérance de pannes de convertisseurs multiniveaux en pont en H

Sajjad Ahmadi

► **To cite this version:**

Sajjad Ahmadi. Contribution à l'étude de la tolérance de pannes de convertisseurs multiniveaux en pont en H. Sciences de l'ingénieur [physics]. Université de Lorraine, 2021. Français. NNT : 2021LORR0026 . tel-03335474

HAL Id: tel-03335474

<https://hal.univ-lorraine.fr/tel-03335474>

Submitted on 20 Oct 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

Université de Lorraine

Ecole Doctorale "Informatique – Automatique – Electrotechnique – Electronique – Mathématiques"
Département de Formation Doctorale "Electrotechnique – Electronique"

THESE

Présentée à

L'Université de Lorraine

En vue de l'obtention du titre de

DOCTEUR de l'Université de Lorraine
Spécialité : Génie Electrique

Par

Sajjad AHMADI

CONTRIBUTION A L'ETUDE DE LA TOLERANCE DE PANNES DE CONVERTISSEURS MULTINIVEAUX EN PONT EN H

Soutenue publiquement le 18 février 2021

Membres du Jury :

Rapporteurs :

Eric Monmasson	Professeur, SATIE – CY Cergy Paris Université
Demba Diallo	Professeur, GEEPS – Université de Paris-Saclay

Examineurs:

Corinne Alonso	Professeur, Université Toulouse III - Paul Sabatier
Shahrokh Saadate	Professeur, GREEN - Université de Lorraine, Directeur de Thèse
Philippe Poure	Professeur, IJL - Université de Lorraine, Co-Directeur de Thèse

Invité :

Davood Arab Khaburi	Associate Professor, IUST, Téhéran
---------------------	------------------------------------

Thèse préparée au sein des Laboratoires GREEN (Groupe de Recherche en Electronique et Electrotechnique de Nancy) et IJL (Institut Jean Lamour) de l'Université de Lorraine.

Laboratoire GREEN, Université de Lorraine, Faculté des Sciences et Technologies,
BP 70239, 54506, Vandœuvre-lès-Nancy

Institut Jean Lamour, Université de Lorraine, Campus Artem,
2 allée André Guinier, 54011 Nancy

Table des matières

Introduction générale.....	1
Chapitre I : Diagnostic de défaut.....	6
1. Etat de l'art	7
1.1. Introduction.....	7
1.2. Présentation des topologies des convertisseurs multiniveaux.....	8
1.2.1. Première et deuxième catégories.....	9
1.2.2. Troisième catégorie	11
1.2.3. Justification du choix du convertisseur étudié dans ce travail de recherche	12
1.3. Travaux publiés dans le domaine du diagnostic de défaut de convertisseurs NPC ...	15
1.3.1. Approches se basant sur la mesure de tension	16
1.3.2. Approches se basant sur la mesure de courant.....	17
1.3.3. Conclusion.....	19
2. Fonctionnement en mode sain du convertisseur étudié	20
2.1. Topologie du convertisseur étudié	20
2.2. Stratégie de modulation appliquée.....	21
2.3. Etats de commutation générés par le modulateur	22
3. Diagnostic de défaut	25
3.1. Etapes à effectuer pour réaliser le diagnostic de défaut.....	25
3.2. Méthode de détection de défaut	25
3.2.1. Principe général de la méthode proposée	26
3.2.2. Fonctionnement du convertisseur après l'apparition d'un défaut de type circuit ouvert.....	27
3.2.3. Critère de tension : Description d'un quantificateur de tension.....	29
3.2.4. Critère temporel : Mise en œuvre d'un compteur	32
3.3. Méthode de localisation de défaut	33
3.3.1. Localisation de défaut au niveau d'un interrupteur actif.....	34
3.3.1.1. Principe général de la stratégie de localisation de défaut.....	34
3.3.1.2. Localisation de défaut lors de la deuxième étape	38
3.3.2. Localisation de défaut au niveau d'un interrupteur actif ou d'une diode de clamp	40
3.3.2.1. Validité de la localisation de défaut au niveau d'un interrupteur actif quand une diode de clamp est en circuit ouvert	40

Table des matières

3.3.2.2. Principe général de la stratégie de localisation de défaut	41
3.3.2.3. Localisation de défaut lors de la troisième étape.....	47
3. Conclusion.....	48
Chapitre II : Continuité de service	50
1. Introduction	51
2. Etat de l'art	52
2.1. Critères potentiels à satisfaire lors de la continuité de service	52
2.2. Travaux de recherche assurant la continuité de service sans composant additionnel	53
2.3. Travaux de recherche assurant la continuité de service en employant des composants additionnels	57
2.4. Conclusion	63
3. Fonctionnement à tolérance de pannes du convertisseur NPC monophasé en pont en H à cinq niveaux.....	64
3.1. Continuité de service en cas de défaut circuit ouvert d'une diode de clamp	64
3.1.1. Fonctionnement du convertisseur en cas de défaut d'une diode de clamp	65
3.1.1.1. Généralités	65
3.1.1.2. Déséquilibre du bus continu lors de la défaillance d'une diode de clamp ...	66
3.1.1.2.1. Explications générales	66
3.1.1.2.2. Impact de chaque état de commutation sur les tensions aux bornes des condensateurs du bus continu	66
3.1.1.2.3. Variations des tensions aux bornes des condensateurs, sur une période, en mode sain	69
3.1.1.2.4. Variations des tensions aux bornes des condensateurs, sur une période, lors de la défaillance de DC4	70
3.1.2. Fonctionnement à tolérance de pannes avec commande reconfigurée lors d'un défaut circuit ouvert d'une diode de clamp	71
3.1.3. Impact de la commande reconfigurée proposée sur l'équilibre du bus continu ..	74
3.1.4. Conclusion.....	76
3.2. Continuité de service lors d'un défaut circuit ouvert d'un interrupteur actif.....	77
3.2.1. Fonctionnement du convertisseur en cas de défaut, sans mesures correctives ...	77
3.2.2. Structure du convertisseur à tolérance de pannes.....	80
3.2.3. Stratégie proposée pour réaliser le fonctionnement à tolérance de pannes.....	82
3.2.4. Continuité de service en cas de défaut d'une diode de roue libre	87
4. Conclusion	90

Chapitre III : Prototypage et validation	93
1. Introduction	94
2. Description du banc de test expérimental.....	95
2.1. Contexte général	95
2.2. Principaux éléments du banc expérimental.....	96
2.3. Choix technologiques et méthodologie d'implantation sur processeur et FPGA	98
2.3.1. Introduction	98
2.3.2. Architecture globale d'une MicroLabBox et implantation expérimentale.....	98
2.3.3. Etapes à effectuer afin de valider expérimentalement les stratégies proposées	100
3. Validation par simulation et résultats expérimentaux	102
3.1. Localisation du défaut d'un IGBT en supposant les diodes de clamp non défaillantes	102
3.1.1. Localisation du défaut à l'issue de la première étape.....	104
3.1.1.1. Résultats de simulation	104
3.1.1.2. Résultats expérimentaux	105
3.1.2. Localisation du défaut lors de la deuxième étape	106
3.1.2.1. Résultats de simulation	107
3.1.2.2. Résultats expérimentaux	108
3.2. Localisation de défaut au niveau d'un IGBT ou d'une diode de clamp	110
3.2.1. Localisation du défaut de DC1 lors de la deuxième étape	111
3.2.2. Localisation de défaut de DC4 ou de S23 lors de la troisième étape	112
3.3. Continuité de service lors du défaut circuit ouvert d'une diode de clamp.....	115
3.3.1. Fonctionnement du convertisseur sans mesures correctives	115
3.3.2. Fonctionnement du convertisseur après avoir appliqué les mesures correctives	115
3.4. Continuité de service lors d'un défaut circuit ouvert d'un IGBT	119
3.4.1. Fonctionnement du convertisseur sans recourir aux composants additionnels.	119
3.4.2. Fonctionnement du convertisseur en utilisant les IGBT additionnels.....	119
3.4.2.1. Fonctionnement du convertisseur en utilisant les IGBT additionnels – Défaut de S11	121
3.4.2.1. Continuité de service du convertisseur en utilisant les IGBT additionnels lors du défaut de S12	122
4. Conclusion	125
Conclusion générale et perspectives	127

Table des matières

Publication du doctorant	132
Références bibliographiques	134

Table des illustrations

Table des illustrations

Figure I.1. Catégories majeures de convertisseurs multiniveaux.	9
Figure I.2. Schéma d'une phase du convertisseur NPC.	10
Figure I.3. Schéma d'une phase du convertisseur A-NPC.	10
Figure I.4. Schéma d'une phase du convertisseur T-type.....	10
Figure I.5. Schéma d'une phase du convertisseur FC.	11
Figure I.6. Schéma du convertisseur CHB.	12
Figure I.7. Schéma du convertisseur A-CHB.	13
Figure I.8. Schéma du convertisseur MMC.....	14
Figure I.9. Schéma du convertisseur NPC en pont H.....	14
Figure I.10. Schéma d'un convertisseur NPC triphasé en pont en H à cinq niveaux.	15
Figure I.11. Schéma d'un module NPC monophasé à cinq niveaux.	21
Figure I.12. Stratégie de modulation appliquée au module NPC monophasé à cinq niveaux.....	22
Figure I.13 : Schéma de principe de la continuité de service.	25
Figure I.14 : Schéma de principe détaillé de la continuité de service.	26
Figure I.15. Principe général de la méthode de détection de défaut.....	27
Figure I.16. Chemin de passage du courant lorsque le convertisseur fonctionne en mode sain dans l'état de commutation 2, à courant de sortie positif.	28
Figure I.17. Chemin de passage du courant en cas de défaut circuit ouvert de S11 (état de commutation 2 et courant de sortie positif).	29
Figure I.18. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de S23 ou de DC4 (état de commutation 2 et courant de sortie positif).	30
Figure I.19. Schéma de principe du quantificateur de tension proposé.....	31
Figure I.20. Principe général de la méthode de détection de défaut remplissant le critère de tension. .	31
Figure I.21. Schéma de principe général de la méthode de détection de défaut remplissant le critère de tension et le critère temporel.	33
Figure I.22. Chemin de passage du courant en cas de défaut circuit ouvert de S11 avant l'exécution de la deuxième étape (état de commutation 2 et courant de sortie positif).	45
Figure I.23. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de S11 après la fermeture de S24 lors de la deuxième étape (état de commutation 2 et courant de sortie positif).	45
Figure I.24. Chemin de passage du courant en cas de défaut circuit ouvert de DC4 avant l'exécution de la deuxième étape (état de commutation 2 et courant de sortie positif).	46
Figure I.25. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de DC4 après la fermeture de S24 lors de la deuxième étape (état de commutation 2 et courant de sortie positif).	46
Figure I.26. Schéma récapitulatif de l'algorithme de localisation de défaut.	48
Figure II.1. Schéma d'un convertisseur T-Type triphasé [1].	54

Table des illustrations

Figure II.2. Schéma d'un convertisseur NPC triphasé connecté à une génératrice synchrone à aimants permanents [2].	55
Figure II.3. Schéma d'un convertisseur A-NPC triphasé [7].	56
Figure II.4. Structure proposée dans [10] pour réaliser la tolérance de pannes en mode dégradé.	57
Figure II.5. Structure proposée dans [10] pour réaliser la tolérance de pannes en mode nominal.	58
Figure II.6. Structure du convertisseur NPC triphasé comprenant quatre bras pour réaliser la tolérance de pannes [11].	58
Figure II.7. Structure du convertisseur NPC triphasé comprenant quatre bras pour réaliser la tolérance de pannes [12].	59
Figure II.8. Structure d'un convertisseur A-NPC triphasé comprenant un bras additionnel pour réaliser la tolérance de pannes [13].	60
Figure II.9. Structure d'un convertisseur T-Type triphasé à tolérance de pannes proposée dans [14].	61
Figure II.10. Structure d'un convertisseur T-Type triphasé à tolérance de pannes proposée dans [15].	62
Figure II.11. Structure d'un convertisseur monophasé à tolérance de pannes proposée dans [16].	62
Figure II.12. Structure d'un convertisseur monophasé à tolérance de pannes proposée dans [17].	63
Figure II.13. Schéma simplifié du convertisseur après avoir appliqué les états de commutation (a) 1,10,16; (b) 2,11; (c) 3,17; (d) 4,5,6; (e) 7,15; (f) 8,13; (g) 9,12,14.	67
Figure II.14. Structure à tolérance de pannes, proposée dans ce mémoire.	81
Figure III.1. Photographie du banc de test expérimental réalisé.	97
Figure III.2. Photographies du montage à IGBT.	97
Figure III.3. Schéma de l'implantation expérimentale.	99
Figure III.4. Blocs d'interfaces disponibles dans l'architecture de MicroLabBox.	102
Figure III.5. Flot de conception pour l'implantation des algorithmes sur le FPGA et le Processeur de la MicroLabBox.	103
Figure III.6. Résultats de simulation : localisation du défaut de S12 lors de la première étape.	105
Figure III.7. Résultats expérimentaux : localisation du défaut de S12 lors de la première étape.	106
Figure III.8. Résultats de simulation : localisation du défaut de S11 lors de la deuxième étape.	107
Figure III.9. Résultats de simulation : localisation du défaut de S24 lors de la deuxième étape.	108
Figure III.10. Résultats expérimentaux : localisation du défaut de S11 lors de la deuxième étape.	109
Figure III.11. Résultats expérimentaux : localisation du défaut de S24 lors de la deuxième étape.	110
Figure III.12. Résultats expérimentaux : localisation du défaut de DC1 lors de la deuxième étape.	111
Figure III.13. Résultats de simulation : localisation de défaut de DC4 lors de la troisième étape.	113
Figure III.14. Résultats de simulation : localisation du défaut de S23 lors de la troisième étape.	113
Figure III.15. Résultats expérimentaux : localisation du défaut de DC4 lors de la troisième étape.	114
Figure III.16. Résultats expérimentaux : localisation du défaut de S23 lors de la troisième étape.	114

Table des illustrations

Figure III.17. Résultats de simulation : fonctionnement lors de la défaillance de DC4, sans mesures correctives.	115
Figure III.18. Résultats expérimentaux : fonctionnement lors de la défaillance de DC4, sans mesures correctives.	116
Figure III.19. Résultats de simulation : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de DC4.	117
Figure III.20. Résultats expérimentaux : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de DC4.	118
Figure III.21. Résultats de simulation : tensions aux bornes des condensateurs du bus continu, après application des mesures correctives suite à la défaillance de DC4.	118
Figure III.22. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu, après application des mesures correctives suite à la défaillance de DC4.	119
Figure III.23. Résultats de simulation : fonctionnement du convertisseur en cas de défaillance de S11 sans appliquer de mesures correctives.....	120
Figure III.24. Résultats expérimentaux : fonctionnement du convertisseur en cas de défaillance de S11 sans appliquer de mesures correctives.....	120
Figure III.25. Résultats de simulation : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de S11.....	121
Figure III.26. Résultats expérimentaux relatifs aux ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes cas de défaillance de S11.	122
Figure III.27. Résultats de simulation : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives dans le cas de défaillance de S11.....	123
Figure III.28. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives dans le cas de défaillance de S11.....	123
Figure III.29. Résultats expérimentaux : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de S12.....	124
Figure III.30. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives lors de la défaillance de S12.....	124

Table des tableaux

Table des tableaux

Tableau I.1. Inconvénients spécifiques à chacun des travaux de recherche examinés.	20
Tableau I.2. Ordres de commande correspondant à chaque état de commutation.	24
Tableau I.3. Composants passants pour chaque état de commutation, pour un courant de sortie positif ou négatif, en mode sain.....	24
Tableau I.4. LUT destinée à localiser un interrupteur actif défaillant ($I>0$)	36
Tableau I.5. LUT destinée à localiser un interrupteur actif défaillant ($I<0$)	37
Tableau I.6. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) ($I>0$).....	41
Tableau I.7. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) ($I<0$).....	43
Tableau I.8. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) lors de la troisième étape.	47
Tableau II.1. Critères remplis par les travaux de recherche publiés dans la littérature.	53
Tableau II.2. Variations des tensions des condensateurs du bus continu correspondant à chaque état de commutation pour un courant de sortie positif ou négatif.....	69
Tableau II.3. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de défaillance de DC4.	72
Tableau II.4. Etats de commutation indisponibles et états remplaçants en cas de défaillance d'une diode de clamp.	73
Tableau II.5. Evolution des tensions aux bornes des condensateurs du bus continu : mode sain et fonctionnement à tolérance de pannes en cas de défaillance de DC1 ou DC2.....	75
Tableau II.6. Evolution des tensions aux bornes des condensateurs du bus continu : mode sain et fonctionnement à tolérance de pannes en cas de défaillance de DC3 ou DC4.....	76
Tableau II.7. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de la défaillance de S11.	78
Tableau II.8. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de la défaillance de S12.....	79
Tableau II.9. Ordres de commande correspondant à chaque état de commutation, y compris en incluant les composants additionnels de la Figure II.2.	81
Tableau II.10. Composants passants pour chaque état de commutation, pour un courant de sortie positif ou négatif.....	82
Tableau II.11. Tension appliquée aux bornes de chaque interrupteur actif, pour chaque état de commutation.....	83
Tableau II.12. Etats de commutation indisponibles et redondants en cas de défaillance d'un quelconque interrupteur actif.	84

Table des tableaux

Tableau II.13. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S11, lors du remplacement de l'état 2 par l'état 11.....	86
Tableau II.14. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S11, lors du remplacement de l'état 2 par l'état 3 ou l'état 17.	86
Tableau II.15. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S12, lors du fonctionnement à tolérance de pannes.	87
Tableau II.16. Composants passants suite au défaut circuit ouvert des diodes de roue libre lorsque le signe du courant de sortie est positif.	88
Tableau II.17. Composants passants suite au défaut circuit ouvert des diodes de roue libre lorsque le signe du courant de sortie est négatif.....	89
Tableau III.1. Paramètres du système étudié (simulation et essais expérimentaux).....	97

Introduction générale

Introduction

Les travaux de recherche présentés dans ce mémoire ont été réalisés dans le cadre d'une collaboration entre les Laboratoires GREEN (Groupe de Recherche en Electrotechnique et Electronique de Nancy) et IJL (Institut Jean Lamour) de l'Université de Lorraine. Plus particulièrement, cette collaboration implique l'équipe « Comportement dynamique des systèmes électriques » du GREEN et l'équipe « Mesures et Architectures Electroniques » de l'IJL. Ces travaux de recherche reposent sur l'expertise des deux laboratoires dans les domaines de la sûreté de fonctionnement des systèmes électriques et de la conception d'architectures électroniques adaptatives, basées sur des cibles FPGA. Ils s'inscrivent dans la continuité de travaux menés en collaboration sur la tolérance de pannes des convertisseurs statiques, depuis début 2006. En effet, depuis plus d'une dizaine d'années, la continuité de service des convertisseurs de l'électronique de puissance a fait l'objet de thèses qui ont chronologiquement porté sur les structures de conversion suivantes : conversion DC/AC et AC/DC à deux niveaux, conversion back-to-back pour systèmes éoliens basés sur une machine à double alimentation, conversion DC/DC et plus récemment la conversion multiniveaux.

Depuis quelques décennies, les convertisseurs multiniveaux sont largement employés dans l'industrie du fait des avantages majeurs qu'ils présentent, comparativement aux convertisseurs conventionnels à deux niveaux. Ils sont plus adaptés que les convertisseurs conventionnels aux applications à haute tension. Les nombreux niveaux de tension possibles, en sortie des convertisseurs multiniveaux, permettent de réduire le contenu harmonique de leur tension de sortie. Par conséquent, la taille du filtre destiné à éliminer les harmoniques de la tension de sortie peut être diminuée et optimisée. De plus, la diminution du contenu harmonique en sortie du convertisseur permet de réduire la fréquence de commutation, conduisant ainsi à la diminution des pertes par commutation au niveau des interrupteurs actifs ainsi qu'à la réduction des perturbations électromagnétiques entraînées par une commutation à haute fréquence.

Malgré les nombreux avantages indéniables des convertisseurs multiniveaux précédemment mentionnés, ces derniers présentent un inconvénient majeur : ils comportent davantage d'interrupteurs actifs dans leurs structures, comparativement aux structures à deux niveaux. Les composants semi-conducteurs étant sources de pannes du convertisseur lors de leur potentielle défaillance, l'utilisation de ces convertisseurs dans les applications industrielles où la continuité de service est primordiale suscite une préoccupation majeure. Dans ce contexte, ce travail de recherche a pour but de proposer des solutions à cet inconvénient et garantir la continuité de service lors de la défaillance d'un des semi-conducteurs.

De manière générale, ce travail de recherche a pour but de garantir le fonctionnement en mode nominal d'un convertisseur multiniveaux à structure dite « Neutral Point Clamped », suite à la défaillance d'un de ses semi-conducteurs de puissance. Lors de nos précédents travaux de recherche, nous avons étudié la tolérance de pannes d'autres structures multiniveaux, mais les convertisseurs de la famille « Neutral Point Clamped » n'avait jamais

été étudiés. Comparativement aux études précédentes et à l'ensemble des autres topologies multiniveaux, cette structure présente une spécificité : elle comporte des diodes dites « diodes de clamp », reliées par leurs anodes au point milieu d'un bus continu. La présence de ces diodes de clamp lors de l'étude de la tolérance de pannes introduit notamment une problématique spécifique, relative à l'équilibre du bus continu. Ainsi, les travaux de recherche menés lors de cette thèse ont pu bénéficier de l'expérience passée dans le cadre de la collaboration IJL/GREEN, avec pour ambition d'envisager le cas de structures « Neutral Point Clamped ».

Pour garantir la continuité de service d'un convertisseur de puissance lors de la défaillance d'une de ses semi-conducteurs, plusieurs étapes doivent être successivement réalisées. Dans un premier temps, l'apparition d'un défaut doit être détectée aussi rapidement que possible et le composant défaillant doit être identifié : cette étape est généralement nommée « diagnostic de défaut ». Ensuite, selon le composant défaillant, des « mesures correctives » adaptées doivent être appliquées pour assurer le fonctionnement du convertisseur suite au défaut ; pour qualifier cette étape, on peut également la nommer « gestion de défaut » ou « tolérance de pannes ». Notons que cette gestion du défaut pourra permettre un fonctionnement en mode nominal ou en mode dégradé, selon les mesures correctives appliquées et le cahier des charges fixé.

Ce mémoire comporte trois chapitres. Les deux premiers chapitres sont respectivement consacrés aux études théoriques du diagnostic de défaut et de la tolérance de pannes du convertisseur multiniveaux de la famille « Neutral Point Clamped », étudié dans ce mémoire. Le chapitre III est intégralement consacré à la validation par simulation et à la validation expérimentale des études théoriques des chapitres I et II.

Le premier chapitre traite du choix de la structure étudiée lors de ces travaux, puis du diagnostic de défaut. Dans un premier temps, nous présenterons une classification des différents convertisseurs multiniveaux et nous exposerons brièvement les avantages et inconvénients de chaque famille de convertisseur. Nous choisirons ensuite la topologie qui fera l'objet de ces travaux de recherche : la topologie « Neutral Point Clamped » monophasée en pont en H, à cinq niveaux. Comme mentionné précédemment, cette famille de convertisseurs n'avait pas encore été abordée lors de nos précédents travaux de recherche. De plus, bien que mentionnée et recommandée par plusieurs auteurs reconnus du domaine, l'état de l'art a montré que la présence de diodes de clamp dans la structure « Neutral Point Clamped » a été très rarement considérée lors des recherches portant sur le diagnostic de défaut. Dans la majorité des publications, seul le diagnostic de défaut d'un interrupteur actif (par exemple un IGBT) a été étudié, en supposant que les diodes de clamp ne pouvaient pas être défaillantes. Nous démontrerons dans ce chapitre I que la défaillance d'une diode de clamp perturbe non seulement le fonctionnement du convertisseur (sans mesures correctives), mais également le diagnostic de défaut d'un interrupteur actif et peut remettre en cause sa validité si le défaut potentiel d'une diode de clamp n'a pas été considéré.

Pour la topologie étudiée, nous chercherons à diagnostiquer un défaut circuit ouvert, survenant au niveau d'un interrupteur actif ou d'une diode de clamp. Les raisons et

motivations pour lesquelles nous chercherons à diagnostiquer un défaut circuit ouvert seront justifiées. Nous proposerons une méthode de détection de défaut rapide et insensible aux imperfections du système de puissance réel, suivie d'une stratégie originale de gestion de défaut. Ces algorithmes seront basés sur une analyse des modes de défaillance. Les deux étapes à effectuer lors du diagnostic, à savoir la détection puis la localisation, seront détaillées. Suite à la détection de défaut, la méthode de localisation de défaut sera présentée : elle permettra d'identifier rapidement et efficacement le composant défaillant. On peut mentionner dès à présent que la stratégie de diagnostic de défaut proposée repose sur de la logique combinatoire : sa mise en œuvre expérimentale sera donc particulièrement adaptée à une implantation sur une cible matérielle FPGA (Field Programmable Gate Array). Les performances de l'algorithme de diagnostic proposé reposeront notamment sur la prise en compte de deux critères (critère de tension et critère temporel) permettant d'éviter toute fausse détection ainsi que toute fausse localisation ; ils rendront cet algorithme insensible aux imperfections du système de puissance réel, tout en préservant et privilégiant des performances temporelles élevées. La mise en œuvre d'un quantificateur de tension contribue principalement à l'obtention de ces performances.

Le deuxième chapitre est consacré aux mesures correctives à appliquer pour garantir la continuité de service du convertisseur, suite à l'identification du composant semi-conducteur défaillant (interrupteur actif ou diode de clamp). Un état de l'art sera tout d'abord présenté ; les travaux de recherche portant sur la tolérance de pannes des convertisseurs multiniveaux seront classés selon deux approches, mettant en œuvre ou non des composants additionnels. Cet état de l'art permettra également d'établir six critères afin de comparer les différents travaux publiés et en faire ressortir leurs avantages et inconvénients respectifs. Nous fixerons comme cahier des charges de nos travaux de recherche le respect de l'ensemble de ces six critères ; notons qu'aucune des publications dont nous avons connaissance ne satisfait simultanément ces six critères. Les mesures correctives proposées reposent, en partie et selon le composant défaillant, sur une structure originale de convertisseur dite « à tolérance de pannes ». Les travaux de recherche menés seront alors détaillés, selon le semi-conducteur défaillant.

Le cas d'un défaut d'une diode de clamp sera tout d'abord examiné. Nous mettrons en évidence les conséquences d'un défaut circuit ouvert d'une diode de clamp : augmentation du contenu harmonique de la tension de sortie et déséquilibre du bus continu. Ensuite, des mesures correctives spécifiques seront proposées. Nous étudierons ensuite le cas du défaut circuit ouvert d'un des interrupteurs actifs. La nouvelle structure de convertisseur « à tolérance de pannes » permettra d'assurer la continuité de service grâce à quatre interrupteurs actifs additionnels. Ces composants additionnels doivent être impérativement mis en œuvre si l'on veut respecter le critère portant sur la garantie du mode nominal après défaut. Pour remplacer un niveau de tension devenu indisponible suite à la défaillance d'un des interrupteurs actifs, des états de commutation redondants existent naturellement (en mode sain, le convertisseur comporte des états redondants pour certains niveaux de tension) et de nouveaux états ont été créés grâce aux composants additionnels : a priori, plusieurs possibilités de choix sont offertes pour générer après défaut un état devenu indisponible à

l'aide d'un état de commutation redondant. Néanmoins, les états redondants à mettre en œuvre lors de la reconfiguration de la commande doivent être sélectionnés attentivement et certains états seront écartés. En effet, un état redondant utilisé ne doit pas seulement garantir de nouveau la possibilité du niveau de tension devenu indisponible suite à une défaillance, mais également ne doit pas déséquilibrer le bus continu. Un mauvais choix des états redondants à utiliser conduirait à terme, à une panne du convertisseur, suite à la défaillance du bus continu. De manière exhaustive, les états redondants à utiliser seront déterminés, quel que soit l'interrupteur actif défaillant.

Associée à une méthode de reconfiguration de l'algorithme de contrôle, la structure à tolérance de pannes proposée permettra alors de garantir la continuité de service du convertisseur dans le cas où un défaut survient au niveau d'un interrupteur actif ou d'une diode de clamp. La continuité de service du convertisseur lors d'un défaut circuit ouvert d'une des diodes de roue libre sera ensuite abordée, afin de couvrir tous les cas de défaut circuit ouvert d'un semi-conducteur, quel qu'il soit. Elle sera assurée uniquement grâce à la structure de convertisseur proposée, sans nécessiter de diagnostic de défaut préalable.

Le troisième chapitre sera intégralement consacré aux résultats de simulation et aux essais expérimentaux, pour l'ensemble des études théoriques des deux premiers chapitres. La validation des études théoriques s'effectue d'abord par simulation. Ensuite, les algorithmes proposés ainsi que la structure du convertisseur à tolérance de pannes seront validés lors d'essais expérimentaux. Un nouveau banc expérimental, mis en œuvre dans les locaux du GREEN, sera présenté. Il sera centré autour d'une plateforme appelée MicroLabBox, commercialisée par la société dSPACE et acquise lors de ces travaux de thèse. Cette plateforme sera mise en œuvre pour la première fois dans le cadre des travaux menés sur la tolérance de pannes des convertisseurs. Elle comporte notamment un processeur temps réel et un composant FPGA de la famille Xilinx. La présence de ces deux cibles permettra de répartir efficacement et de manière optimale l'implantation des algorithmes (notamment pour le mode sain, le diagnostic de défaut et les mesures correctives) sur chacune d'entre elles. Nous présenterons ensuite une sélection de résultats expérimentaux obtenus sur cette plateforme, pour illustrer et valider, le mieux possible, les nombreux cas issus des études théoriques des deux premiers chapitres.

Le mémoire se termine par des conclusions générales sur les travaux réalisés et quelques perspectives pour des futures recherches dans ce domaine.

Chapitre I : Diagnostic de défaut

1. Etat de l'art

1.1. Introduction

Suite à l'apparition d'un défaut au niveau d'un semi-conducteur, la première étape à effectuer afin de garantir la continuité de service du convertisseur est le diagnostic de ce défaut. Autrement dit, avant de pouvoir appliquer des mesures correctives adaptées, nous devons localiser le semi-conducteur défaillant. Le diagnostic de défaut est constitué de deux étapes majeures, successives et distinctes. A l'issue de la première étape, l'apparition d'un défaut sera déclarée mais le semi-conducteur défaillant ne sera pas encore identifié. Dès la déclaration d'un défaut, la phase de sa localisation débute. Lors de cette deuxième phase, le semi-conducteur défaillant est alors identifié.

Dans la première partie de ce chapitre, nous présenterons tout d'abord les topologies ou familles usuelles de convertisseurs multiniveaux et examinerons brièvement les propriétés de chacune d'entre elles. Nous préciserons les raisons pour lesquelles nous avons choisi d'étudier, lors de ces travaux de thèse, un convertisseur multiniveaux de la famille NPC (Neutral Point Clamped) en pont en H, et plus spécifiquement une structure NPC monophasée, à cinq niveaux.

A la sous-section suivante, nous présenterons un état de l'art du diagnostic de défaut, concernant spécifiquement la famille des convertisseurs NPC. Nous y avons volontairement restreint l'étude bibliographique à la famille NPC, pour les raisons mentionnées ci-après. Les travaux de recherche publiés sur ce sujet seront synthétisés et ordonnés selon deux sections. La première section concerne les approches de diagnostic reposant sur la mesure de courant. Quant à elle, la deuxième section porte sur les méthodes de diagnostic se basant sur la mesure de tension.

Notre travail de recherche a pour but de présenter une méthode de diagnostic de défaut, suivi d'une stratégie à tolérance de pannes, lors de la défaillance d'une diode de clamp ou d'un interrupteur actif. Parmi les familles de convertisseurs multiniveaux, seuls les convertisseurs NPC comportent à la fois des interrupteurs actifs et des diodes de clamp, les autres structures ne comportant pas de diode de clamp. Nous avons donc centré nos recherches bibliographiques sur les travaux portant spécifiquement sur la détection de défaut dans les convertisseurs NPC. Par ailleurs, le diagnostic de défaut d'une diode de clamp ne peut être proposé sans prendre en compte la potentielle défaillance d'un interrupteur actif. Ceci rendra plus complexe la détection de défaut, comparativement au cas de structures ne comportant pas de diode de clamp. En revanche, au chapitre II, les travaux de recherche effectués sur les autres familles de convertisseurs seront également examinés lors de l'étude bibliographique de leur tolérance de pannes car la stratégie de continuité de service dans le cas de défaillance d'une diode de clamp est désassociée de celle proposée dans le cas où un défaut survient au niveau d'un interrupteur actif.

Dans la deuxième partie de ce chapitre, nous présenterons la topologie de convertisseur NPC monophasé en pont en H, à cinq niveaux, objet de notre étude. Nous détaillerons également son fonctionnement en mode sain. Ensuite, nous proposerons une stratégie de diagnostic de défaut. Nous élaborerons par étapes la méthode de détection de défaut. Pour éviter toute fausse détection, nous introduirons deux critères à satisfaire, ici mentionnés sous les dénominations « critère de tension » et « critère temporel ». Nous proposerons une solution permettant de satisfaire chacun de ces deux critères. Après avoir présenté la méthode de détection de défaut, la stratégie de localisation de défaut sera détaillée. Concernant cette localisation, nous présenterons une stratégie se basant sur l'analyse des modes de défaillance : cette approche n'exige ni calcul complexe, ni modélisation fine des composants de puissance (tension de seuil, résistance dynamique à l'état passant, courant inverse lors du blocage, ...). Ainsi, cette stratégie est particulièrement adaptée à une mise en œuvre expérimentale sur une cible numérique Field Programmable Gate Array (FPGA). La partie consacrée à la localisation de défaut sera subdivisée en deux sections. Dans la première section, nous supposerons que seuls les interrupteurs actifs sont exposés à une défaillance et les diodes de clamp seront supposées ne jamais subir de défaillance. C'est dans cette hypothèse que se place la grande majorité des travaux publiés sur ce sujet. En effet, dans la littérature scientifique, la défaillance d'un interrupteur actif est le plus souvent examinée sans étudier les conséquences de la défaillance d'une diode de clamp sur la validité des algorithmes développés. Bien que reconnues plus robustes aux défauts que les interrupteurs actifs, les diodes de clamp peuvent également être défaillantes. Dans ce cas, si un défaut survient au niveau d'une diode de clamp, soit la stratégie de détection proposée n'est pas capable d'identifier le semi-conducteur défaillant, soit elle conduit à de fausses détections et localisations de défaut. Pour surmonter cette préoccupation majeure, une stratégie de diagnostic, exhaustive et capable d'identifier un interrupteur actif défaillant ou bien une diode de clamp défaillante, sera ensuite présentée. Il faut cependant mentionner que dans ce cas, par rapport au cas où les diodes de clamp sont supposées à l'abri de défaillances, la localisation de défaut sera un peu plus longue et la stratégie proposée sera également plus compliquée.

1.2. Présentation des topologies des convertisseurs multiniveaux

En général, les convertisseurs multiniveaux sont classifiés selon trois catégories majeures, comme illustré sur la Figure I.1 [1]. La première catégorie est constituée des convertisseurs « Flying Capacitor » (FC) tandis que les convertisseurs « Neutral Point clamped » (NPC), « Active Neutral Point Clamped » (A-NPC) et T-Type sont classés dans la deuxième catégorie. Enfin les convertisseurs « Cascaded H-Bridge » (CHB), « Asymmetric Cascaded H-Bridge » (A-CHB) et « Modular Multilevel Converters » (MMC) se trouvent dans la troisième catégorie.

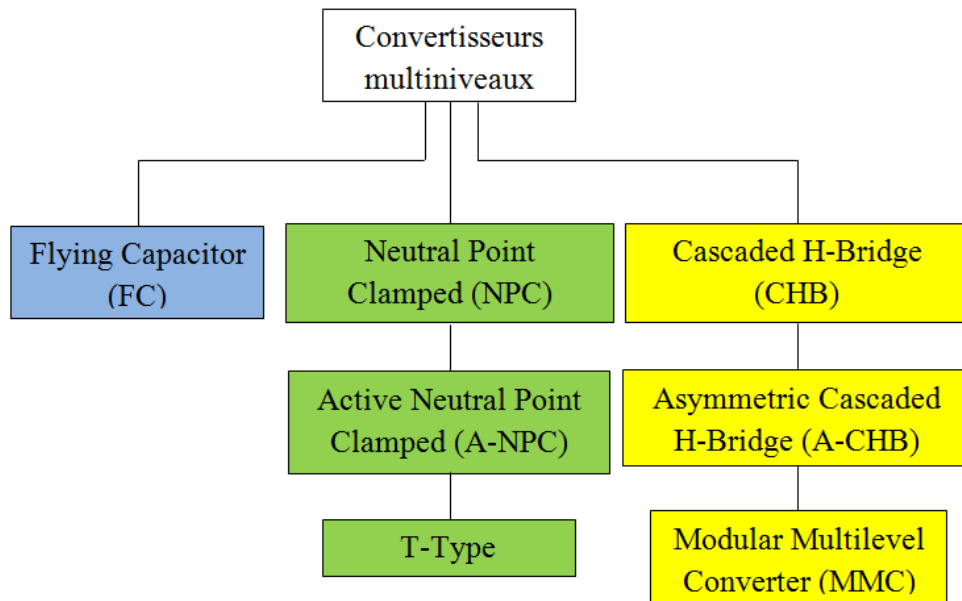


Figure I.1. Catégories majeures de convertisseurs multiniveaux.

1.2.1. Première et deuxième catégories

Les topologies FC et NPC partagent certaines caractéristiques communes en terme de structure. C'est pour cette raison qu'ils sont présentés ensemble dans cette partie.

Comme indiqué à la Figure I.2, le convertisseur NPC est constitué de deux demi-ponts en H, reliés au point milieu O du convertisseur par deux diodes, dites « diodes de clamp ». En remplaçant les deux diodes de clamp de la topologie NPC par des interrupteurs actifs, nous obtenons alors la topologie A-NPC (voir Figure I.3). Comme le montre la Figure I.4, chaque demi-pont en H constituant la topologie NPC peut être raccordé au point milieu du bus continu via un interrupteur bidirectionnel. Dans ce cas, la topologie obtenue est nommée T-Type.

La Figure I.5 présente la structure d'une phase d'un convertisseur FC. Les niveaux de tension en sortie du convertisseur FC sont formés à partir des tensions aux bornes des condensateurs flottants, dont le nombre dépend du nombre de niveaux de tension, souhaités en sortie du convertisseur. La topologie FC partage certaines caractéristiques communes avec la topologie NPC, telles que la stratégie de modulation et les valeurs nominales des courant et des tensions aux bornes des interrupteurs actifs. Par ailleurs, il est important de mentionner que pour un convertisseur NPC, les pertes au niveau des interrupteurs actifs d'un même bras ne sont pas égales. Pour surmonter ce problème, les convertisseurs A-NPC ont été proposés.

La topologie de convertisseur T-Type comprend quatre interrupteurs actifs par phase (voir Figure I.5). Ainsi, par phase, la topologie T-Type contient deux interrupteurs actifs de moins que la topologie A-NPC : ceci permet de réduire les pertes totales engendrées lors de la conduction des interrupteurs actifs. L'inconvénient majeur du convertisseur T-Type est que ce

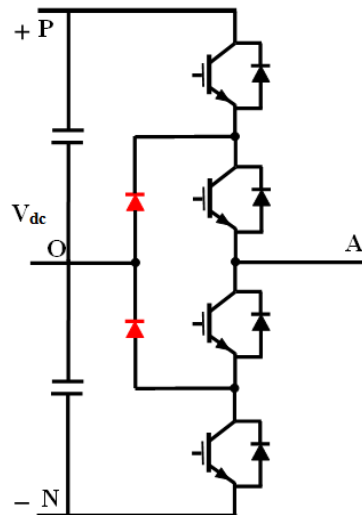


Figure I.2. Schéma d'une phase du convertisseur NPC.

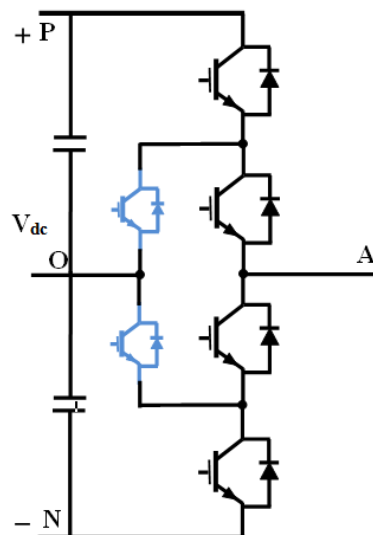


Figure I.3. Schéma d'une phase du convertisseur A-NPC.

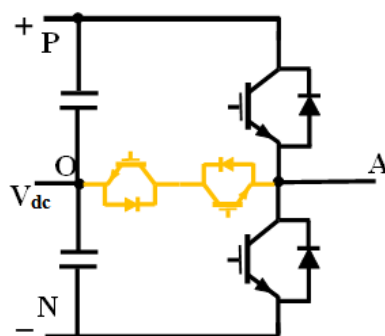


Figure I.4. Schéma d'une phase du convertisseur T-type.

convertisseur, contrairement aux convertisseurs NPC et A-NPC, n'est pas des plus adaptés aux applications à haute tension, en raison de cette diminution du nombre d'interrupteurs actifs, précédemment mentionnée. En effet, la tension appliquée aux bornes des composants

de puissance dans le convertisseur T-Type est plus élevée que celle qui est appliquée dans les convertisseurs NPC et A-NPC. De plus, dans le cas des convertisseurs NPC, A-NPC et T-Type, il faut assurer l'équilibre des tensions aux bornes des condensateurs du bus continu, alors que cette préoccupation n'existe pas dans le cas des convertisseurs FC pour lesquels aucun courant n'est injecté au niveau du point milieu du bus. Cependant, pour les convertisseurs FC, il faut appliquer des méthodes de contrôle plus complexes afin de maintenir les tensions aux bornes des condensateurs flottants à leurs valeurs de consignes ; ces valeurs sont directement liées à la tension du bus continu et au nombre de niveaux de tensions.

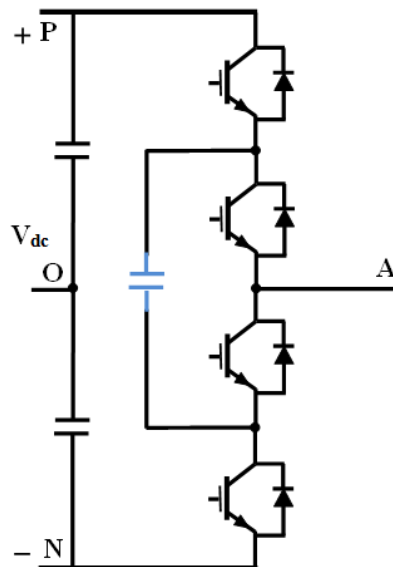


Figure I.5. Schéma d'une phase du convertisseur FC.

De manière générale, pour réaliser un bras (c'est à dire une phase, en triphasé) d'un convertisseur NPC à m niveaux, $2.(m-1)$ interrupteurs actifs et $(m-1).(m-2)$ diodes de clamp sont nécessaires ; notons que chaque interrupteur actif est également associé à une diode de roue libre en antiparallèle. Pour réaliser un bras d'un convertisseur A-NPC à m niveaux, $m.(m-1)$ interrupteurs actifs sont exigés. Pour obtenir des convertisseurs FC, NPC, A-NPC, et T-Type ayant un nombre élevé de niveaux de tension en sortie, il faut surmonter plusieurs contraintes. Le nombre d'interrupteurs actifs à mettre en œuvre pour chaque bras augmente très rapidement avec le nombre de niveaux de tension souhaités en sortie du convertisseur. Cette augmentation est la cause de mauvaises répartitions des tensions statiques et dynamiques aux bornes des composants. De même, il en résulte une mauvaise répartition des pertes dans les semi-conducteurs. La complexité de la méthode de contrôle, destinée à maintenir les tensions aux bornes des condensateurs du bus continu, s'en trouve également accrue.

1.2.2. Troisième catégorie

Comme illustré à la Figure I.6 pour la topologie CHB, chaque bras est constitué de plusieurs modules, connectés en cascade. Chaque module est un convertisseur monophasé à

deux niveaux. Un unique niveau de tension continue V_{dc} est imposé à tous les modules de la topologie CHB. Pour augmenter le nombre de niveaux de tensions en sortie du convertisseur CHB, il faut augmenter le nombre de modules en cascade. Cette structure est largement utilisée dans les applications à haute tension. Ainsi, chaque bras d'un convertisseur CHB constitué de m modules monophasés peut générer $(2m+1)$ niveaux de tension. La topologie A-CHB est similaire à la topologie CHB. Comme l'indique la Figure I.7, la seule différence entre les deux topologies CHB et A-CHB est que, pour la topologie A-CHB et contrairement à la topologie CHB, les tensions des bus continus d'entrée des différents modules monophasés ne sont pas égales. Avec un nombre de modules égal à m pour chaque bras d'un convertisseur A-CHB, $(2^{(m+1)}-1)$ niveaux de tensions sont possibles pour chaque bras. Ainsi, en envisageant un même nombre de modules monophasés utilisés dans les convertisseurs CHB et A-CHB, le nombre de niveaux de tension obtenu pour le convertisseur A-CHB est plus élevé que celui atteint pour le convertisseur CHB. Cependant, dans le cas du convertisseur A-CHB, la tension nominale des interrupteurs actifs change d'un module à un autre, ce qui diminue fortement la modularité du convertisseur. Concernant la topologie MMC, chacune de ses phases est constituée de deux bras (bras inférieur et bras supérieur), comme illustré à la Figure I.8. Comme pour les topologies précédentes, chaque bras est constitué de modules placés en cascade. Ces modules peuvent être soit des demi ponts en H, soit des ponts en H.

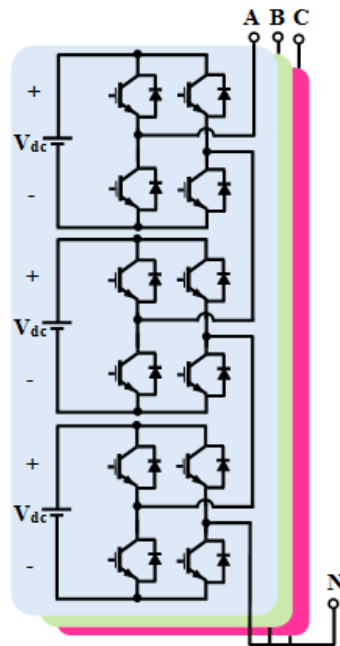


Figure I.6. Schéma du convertisseur CHB.

1.2.3. Justification du choix du convertisseur étudié dans ce travail de recherche

Comme mentionné précédemment, pour augmenter le nombre de niveaux de tension en sortie d'un convertisseur multiniveaux et également répondre aux exigences des applications haute tension, il est nécessaire d'augmenter le nombre de composants de puissance placés au niveau de chaque bras, pour les convertisseurs classés dans la première et la deuxième catégorie. Néanmoins, ceci engendre une mauvaise répartition des tensions statiques et

dynamiques aux bornes des semi-conducteurs et complexifie le maintien des tensions aux bornes du bus continu ou des condensateurs flottants. La deuxième solution est d'augmenter le nombre de modules reliés en cascade, pour les convertisseurs classés dans la troisième catégorie. Pour cette seconde solution, il faut augmenter le nombre d'alimentations DC isolées, ce qui à son tour peut compliquer le système.

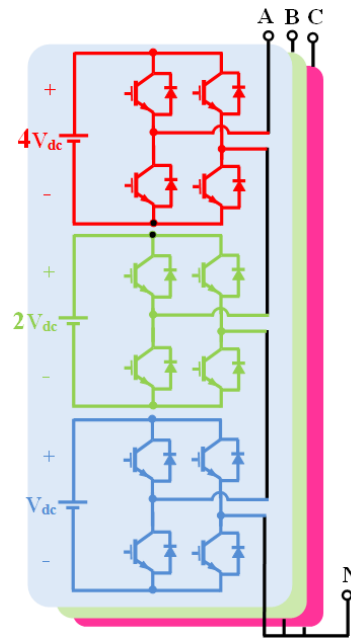


Figure I.7. Schéma du convertisseur A-CHB.

Ainsi, appliquer séparément la première ou la deuxième solution ne peut pas remplir pleinement les deux critères évoqués ci-dessus. Il apparaît alors optimal de chercher à bénéficier simultanément des avantages des deux solutions proposées. Dans cet objectif, chaque module en cascade dans la topologie CHB peut être avantageusement remplacé par un module NPC monophasé. Le convertisseur obtenu est nommé NPC en pont en H : en triphasé, il est représenté à la Figure I.10. Ainsi, en mettant en œuvre des modules NPC monophasés dans la topologie CHB triphasée, le nombre d'alimentations DC nécessaires sera réduit. De plus, chaque module NPC dispose indépendamment de son propre bus continu : ainsi, on évite toute mauvaise répartition de tension aux bornes des semi-conducteurs de puissance de chaque demi-pont, dans chaque module. Autrement dit, l'inconvénient lié à chaque solution est évité par l'autre solution. C'est pourquoi le convertisseur NPC en pont en H a été choisi et a fait l'objet de ce travail de recherche.

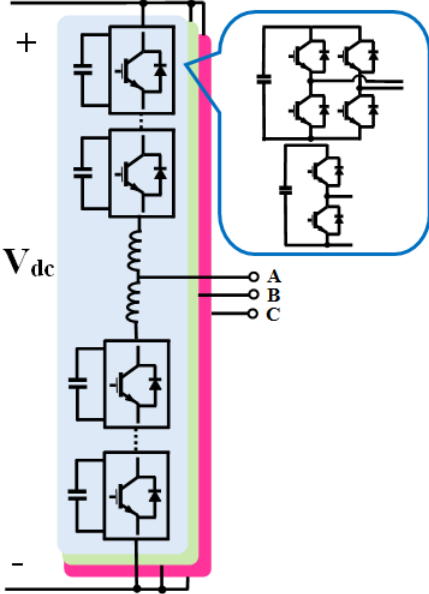


Figure I.8. Schéma du convertisseur MMC.

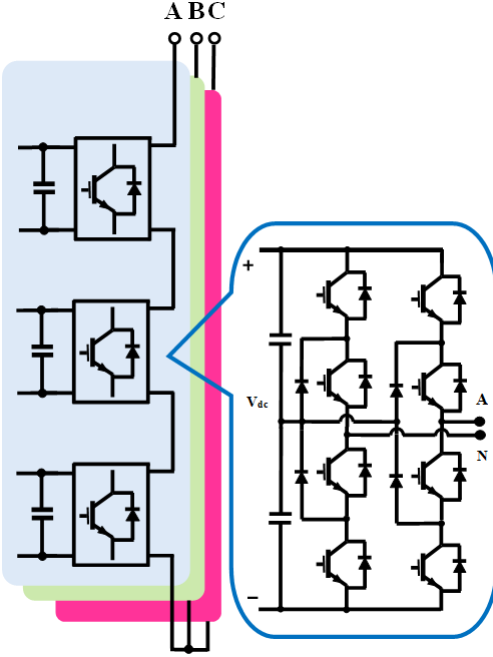


Figure I.9. Schéma du convertisseur NPC en pont H.

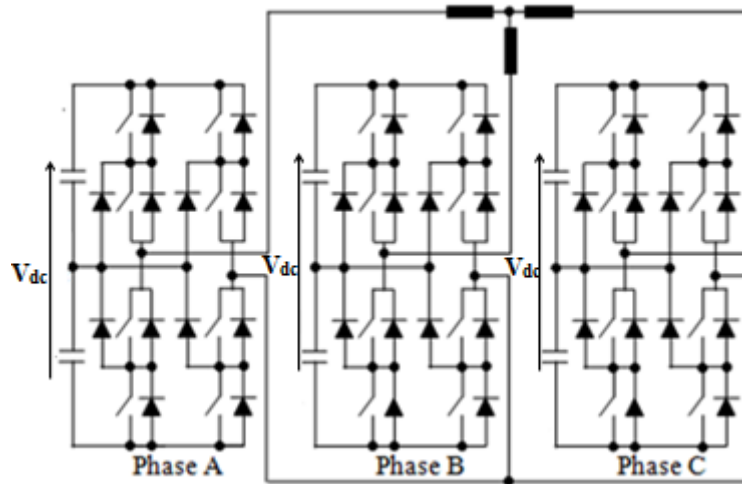


Figure I.10. Schéma d'un convertisseur NPC triphasé en pont en H à cinq niveaux.

1.3. Travaux publiés dans le domaine du diagnostic de défaut de convertisseurs NPC

Les convertisseurs de l'électronique de puissance comportent divers éléments. Parmi ces éléments, les composants semi-conducteurs de puissance sont considérés comme très fragiles [2]. Ainsi, ils ont une influence importante sur la robustesse et la fiabilité du convertisseur. Les défaillances au niveau des semi-conducteurs ont été évaluées à 21% des défaillances totales survenues au niveau d'un convertisseur [3]. Par ailleurs et selon un sondage ciblant plus de 200 produits de 80 entreprises différentes, 34% des personnes sondées ont considéré les composants semi-conducteurs comme les composants les plus fragiles dans un convertisseur de l'électronique de puissance [4] et [5]. Dans toute la suite de ce travail de recherche, nous ferons l'hypothèse qu'un défaut ne survient qu'au niveau d'un semi-conducteur du convertisseur NPC étudié; ainsi, soit un interrupteur actif, soit une diode de clamp pourra être défaillant.

Deux types de défauts peuvent apparaître au niveau d'un interrupteur actif ou d'une diode de clamp : le défaut circuit ouvert et le défaut de court-circuit. Le défaut de court-circuit peut conduire à un courant élevé qui peut avoir des conséquences dévastatrices sur le convertisseur. Cependant, ce défaut de court-circuit, et donc les conséquences occasionnées par ce type de défaut, peuvent être efficacement éliminées par des dispositifs de protection tels que les fusibles [6] et [7]. Dans ce cas, le défaut de court-circuit est transformé en un défaut circuit ouvert. Quant à lui, le défaut circuit ouvert d'un semi-conducteur n'est pas immédiatement fatal pour le convertisseur ; cependant, il conduit à un vieillissement prématuré du convertisseur, et entraînera à long terme la défaillance du convertisseur [8]. Un défaut de circuit ouvert peut par exemple faire croître le taux de distorsion harmonique du courant et de la tension de sortie du convertisseur. Dans ce cas, si le défaut circuit ouvert persiste, sans être identifié et puis corrigé, cette hausse du taux de distorsion harmonique réduira la performance du convertisseur ainsi que celles des charges qui lui sont reliées. C'est

pourquoi le travail de recherche présenté dans ce mémoire portera sur le diagnostic de défauts de type circuit ouvert.

Les travaux de recherche menés ces dernières années dans le domaine du diagnostic de défaut de semi-conducteurs peuvent être classifiés selon deux catégories. Les études et recherches ainsi classifiées présentent des méthodes et algorithmes de diagnostic de défaut dont le principe repose soit sur la mesure de tension, soit sur la mesure de courant.

De manière générale, les méthodes de diagnostic de défaut dont le principe repose sur la mesure de tension sont plus rapides que celles se basant sur la mesure de courant. Cependant, les approches se basant sur la mesure de tension emploient davantage de capteurs pour identifier le composant défaillant.

1.3.1. Approches se basant sur la mesure de tension

Toutes les approches citées dans cette section réalisent le diagnostic de défaut en se basant sur la mesure de tension.

Le travail de recherche présenté dans [9] propose une stratégie de diagnostic de défaut pour convertisseurs NPC triphasés à trois niveaux, en mesurant les trois tensions de pôles du convertisseur. Cette stratégie permet uniquement d'identifier la phase défaillante. Autrement dit, en employant cette méthode de diagnostic, nous ne pouvons pas discerner le composant défectueux se trouvant dans la phase défaillante identifiée. Le principe général du diagnostic est le suivant. Les trois tensions de pôle sont mesurées et classées selon leurs niveaux. Pour chaque tension de pôle, la durée de chaque niveau est évaluée à l'aide d'un circuit intégrateur. Connaissant la durée théorique de chaque tension de pôle en mode sain, il est alors possible de détecter un défaut circuit ouvert d'un interrupteur. Lors d'un défaut au niveau d'une phase, il y aura un écart entre les durées des tensions de pôle mesurées et les durées estimées (correspondant au mode sain) : la phase défaillante peut alors être identifiée. Par ailleurs, la méthode proposée n'est compatible qu'avec la Modulation de Largueur d'Impulsions (MLI) classique car les temps d'échantillonnage (nécessaires à l'évaluation de la durée d'un niveau d'une tension de pôle) sont calculés à partir des signaux modulateurs sinusoïdaux et des porteuses triangulaires.

Les publications [10] et [11] portent sur le diagnostic de défaut pour les redresseurs NPC triphasés. Deux tensions de ligne côté alternatif sont alors mesurées. A partir de ces deux tensions, les trois tensions de pôles sont calculées, en prenant en compte les valeurs de la résistance et de l'inductance de ligne côté alternatif. Autrement dit, les tensions de pôles du convertisseur sont indirectement mesurées. Ces mêmes tensions de pôles sont également estimées à partir de la mesure de tension aux bornes du bus continu et des ordres de commandes imposés aux interrupteurs. En comparant les tensions de pôles indirectement mesurées avec les tensions de pôles estimées, un interrupteur actif défaillant en circuit ouvert peut-être identifié. Il faut noter ici un inconvénient majeur de cette méthode : pour calculer les tensions de pôles à partir des deux tensions de ligne, les valeurs de la résistance et de l'inductance de ligne côté alternatif doivent être évaluées.

Le travail de recherche présenté dans [12] concerne le diagnostic d'un défaut circuit ouvert pour convertisseurs NPC triphasés à 3 niveaux. Ici encore, la stratégie proposée se base sur la comparaison des trois tensions de pôle mesurées avec des tensions de pôles estimées. La réalisation de cette approche nécessite l'emploi de trois capteurs de tension pour mesurer les trois tensions de pôle ainsi que trois capteurs de courant pour mesurer les trois courants de sortie de l'onduleur. Les tensions de pôle sont estimées à partir des ordres de commande générés par le modulateur et de la tension du bus continu. Notons que les auteurs ne mesurent pas la tension du bus continu ; ainsi, cette stratégie n'est valable que lorsque la tension du bus continu varie peu autour de sa valeur nominale.

Dans la publication [13], le composant défaillant est identifié à l'aide des signatures électromagnétiques rayonnées par le bus continu. Cette stratégie est réalisée en employant une antenne externe, associée à un filtrage des perturbations électromagnétiques environnantes.

1.3.2. Approches se basant sur la mesure de courant

Toutes les approches exposées dans cette section réalisent le diagnostic de défaut en se basant sur la mesure de courant.

La publication [2] propose une stratégie de diagnostic de défaut se basant sur l'analyse des formes d'ondes des courants de sortie d'un onduleur NPC triphasé. Dans ce travail de recherche, pour chacun des courants de phase de l'onduleur, la valeur moyenne est calculée. Lorsque l'onduleur fonctionne en mode sain, la valeur moyenne du courant de chaque phase est nulle. Dès l'apparition d'un défaut circuit ouvert au niveau d'un interrupteur actif ou d'une diode de clamp, la valeur moyenne du courant correspondant à la phase défaillante sera non nulle. De cette manière, la phase (le bras) comportant le composant défaillant est identifiée. Après avoir identifié le bras affecté par le défaut, le demi-bras en défaut doit alors être localisé. Notons cependant que lorsque l'onduleur fonctionne à facteur de puissance unitaire, la défaillance de chacun des interrupteurs d'un même demi-bras a le même impact sur le courant de la phase. De ce fait, à facteur de puissance unitaire, nous ne serons pas en mesure de discerner l'interrupteur en défaut dans le demi-bras défaillant. Cela est cependant possible dans les autres cas. Pour cela, après avoir identifié le demi-bras défaillant, de la puissance réactive est injectée à l'onduleur. L'impact de cette injection sur le courant de phase permet d'identifier le composant défaillant, en fonction du facteur de puissance. Ce travail de recherche a été réalisé en supposant que l'onduleur est en mesure d'absorber ou de fournir de la puissance réactive au réseau. Ainsi, cette stratégie n'est valable que lorsque l'onduleur est connecté au réseau.

Les auteurs des publications [14], [15], et [16] proposent une méthode dite «Average Current Park's Vector» (ACPV) pour les convertisseurs NPC triphasés à trois niveaux. Cette méthode se base sur la mesure des trois courants de phase du convertisseur pour diagnostiquer le défaut circuit ouvert d'un interrupteur actif.

Dans les travaux de recherche présentés dans [14] et [15], la valeur moyenne du courant de chaque phase de l'onduleur est calculée. Après avoir calculé les trois valeurs moyennes, la

transformée de Park est appliquée aux trois valeurs moyennes calculées pour obtenir la valeur moyenne dans le repère d-q. A partir des deux composantes d'axes d et q du courant, l'angle du courant est déterminé. En mode sain, la valeur moyenne du courant est égale à zéro. Dans le cas de défaillance en circuit ouvert d'un interrupteur actif, le module du courant de Park dépasse une valeur de seuil. Après avoir détecté le défaut, selon l'angle du courant de Park, la paire d'interrupteurs comportant le composant en défaut peut être localisée. En utilisant cette approche, le demi-bras comportant l'interrupteur actif défaillant est identifié mais le composant en défaut n'est pas discerné.

Le travail de recherche présenté dans [16] se base également sur le calcul du courant dans le repère d-q. Pour chaque phase du convertisseur, la moyenne de la valeur absolue du courant est calculée, puis cette valeur moyenne est divisée par le module du courant calculé dans le repère d-q. Durant le fonctionnement en mode sain, ce rapport est constant pour chacune des trois phases du convertisseur. Cependant, dès l'apparition d'un défaut de type circuit ouvert d'un interrupteur actif, la valeur de ce rapport change. La détection de défaut est réalisée en suivant l'évolution temporelle du rapport précédemment défini. La localisation de défaut s'effectue selon l'examen de la valeur de l'erreur définie par la différence entre les deux valeurs du rapport précédemment défini, durant le mode sain et lors du défaut. Pour chaque cas de défaut, la valeur de l'erreur a été préalablement calculée. Ainsi, après avoir détecté l'apparition du défaut, la localisation du défaut est déduite de la valeur de l'erreur obtenue.

Dans la publication [17], les auteurs ont développé la stratégie présentée dans la publication [8], afin de discerner le composant en défaut, au niveau du demi-bras identifié comme défaillant. Pour cela, ils ont affiné l'analyse ACPV initialement proposée, en se basant avec plus de précision sur les effets de la défaillance de chacun des composants sur les courants de phase.

Le travail de recherche présenté dans [18] porte sur le diagnostic de défaut circuit ouvert d'un interrupteur actif, pour les convertisseurs NPC triphasés à 3 niveaux. L'algorithme de détection repose sur l'analyse des formes d'ondes des courants de sortie du convertisseur. L'allure de ces courants est en effet modifiée, suite à l'apparition d'un défaut de circuit ouvert au niveau d'un interrupteur actif. Selon la durée de l'intervalle durant lequel le courant est nul, l'algorithme identifie l'interrupteur défaillant. Lorsque le convertisseur NPC fonctionne en mode onduleur, cette stratégie peut uniquement identifier le demi-bras défaillant, et il n'est pas possible de discerner le composant défaillant.

Dans la publication [19], une méthode d'identification de défaut se basant sur la mesure des trois courants de phase du convertisseur est proposée, pour les convertisseurs NPC triphasés à 3 niveaux, connectés au réseau électrique. Le défaut considéré concerne un défaut circuit ouvert d'un interrupteur actif. La transformation d-q est appliquée aux trois courants de phase du convertisseur pour obtenir les deux composantes du courant dans le repère d-q. Durant le mode sain, l'amplitude du courant dans le repère d-q reste constante alors qu'elle ne l'est plus si un interrupteur actif est défaillant. Après avoir détecté l'apparition du défaut, le demi-bras défaillant est repéré selon l'angle du courant situé dans le repère d-q. Cependant, à

partir de l'angle du courant dans le repère d-q, nous ne sommes pas en mesure de discerner le composant défectueux. Des ordres de commande spécifiques sont alors imposés au convertisseur, afin de localiser le défaut. Si le demi-bras supérieur a été identifié comme défaillant, lorsque la tension de la phase du réseau connectée au bras défaillant est négative, les deux interrupteurs internes sont commandés à la fermeture pour une courte durée. Après avoir appliqué cette commande, si le courant circule toujours dans la ligne liant le réseau au bras défaillant, l'interrupteur supérieur sera identifié comme défaillant. Dans le cas contraire où le courant ne circule pas, l'interrupteur inférieur sera identifié comme le composant défaillant. Dans le cas où le demi-bras inférieur est en défaut, lorsque la tension de la phase du réseau liée au bras défaillant est positive, les interrupteurs internes du bras défectueux sont alors commandés à la fermeture pour une courte durée. Si le courant traverse toujours la ligne, l'interrupteur inférieur du demi-bras défaillant est en défaut sinon l'interrupteur supérieur du demi-bras défaillant sera le composant défectueux.

Les travaux de recherche présentés dans [20] et [21] concernent de nouveau le diagnostic de défaut pour convertisseurs NPC triphasés à 3 niveaux, lors d'un défaut de type circuit ouvert ou court-circuit d'un des interrupteurs actifs. Pour la détection, six tores (ou boucles) de Rogowski sont mises en œuvre au niveau des diodes de clamp. En analysant les courants fournis par ces tores, un interrupteur actif défaillant peut alors être localisé.

Le travail de recherche présenté dans la publication [22] porte sur le diagnostic de défaut de convertisseurs monophasés NPC à 5 niveaux. Cette stratégie se base sur l'analyse du courant résiduel, côté réseau. Le courant résiduel est défini comme la différence entre la valeur du courant mesuré et celle du courant estimé. Pour estimer ce courant de ligne alimentant le convertisseur, il est nécessaire de connaître la tension du réseau, la résistance et l'inductance de la ligne d'alimentation du convertisseur et la tension de sortie du convertisseur. Lors d'une étude préalable, les auteurs ont examiné l'évolution du courant résiduel pour chaque cas de défaut. Durant le fonctionnement en mode sain, l'amplitude du courant résiduel est proche de zéro mais lors d'un défaut, elle varie. Ainsi, la localisation de défaut s'effectue selon l'analyse du taux d'accroissement ou de diminution du courant résiduel. Cette stratégie nécessite notamment la connaissance des valeurs de la résistance et d'inductance de la ligne d'alimentation.

Notons que parmi toutes ces publications se basant sur la mesure du courant, seules les publications [2] et [22] proposent une méthode permettant d'identifier une diode de clamp défaillante.

1.3.3. Conclusion

Suite aux deux sections précédentes, exposant les travaux de recherche effectués dans le domaine du diagnostic de défaut pour convertisseurs NPC, on peut noter les sept inconvénients principaux, cités ci-dessous :

- Inconvénient 1 : Incapacité à localiser l'interrupteur actif défaillant.
- Inconvénient 2 : Incapacité à localiser la diode de clamp défaillante.

Chapitre I : Diagnostic de défaut

- Inconvénient 3 : Nécessité de modéliser le convertisseur.
- Inconvénient 4 : Nécessité de connaître les valeurs des paramètres de la ligne d'alimentation (résistance et inductance).
- Inconvénient 5 : Méthode de diagnostic de défaut non adaptable pour les convertisseurs ayant un nombre plus élevé de niveaux de tension de sortie.
- Inconvénient 6 : Utilisation des circuits externes pour le diagnostic de défaut.
- Inconvénient 7 : Validité de la stratégie de détection restreinte à des conditions de fonctionnement spécifiques.

Les inconvénients spécifiques à chacun des travaux de recherche examinés précédemment sont résumés dans le Tableau I.1. L'approche de diagnostic de défaut, proposée dans nos travaux de recherche, ambitionne de s'affranchir de l'ensemble des inconvénients ici mentionnés.

Tableau I.1. Inconvénients spécifiques à chacun des travaux de recherche examinés.

Référence		Inconvénient						
		1 ^{er}	2 ^{ème}	3 ^{ème}	4 ^{ème}	5 ^{ème}	6 ^{ème}	7 ^{ème}
Approches se basant sur la mesure de tension	[9]	x	x				x	x
	[10]		x		x			
	[11]				x			
	[12]					x		
	[13]						x	
Approches se basant sur la mesure de courant	[14]	x	x					
	[15]	x	x					
	[16]		x					
	[17]		x					
	[18]	x	x					
	[19]		x					x
	[20]		x			x		
	[21]		x			x		
	[2]							x
	[22]			x	x			x

2. Fonctionnement en mode sain du convertisseur étudié

Comme expliqué précédemment, le convertisseur NPC en pont en H fait l'objet de ce travail de recherche. Dans cette partie, nous détaillerons tout d'abord la structure de ce convertisseur. Ensuite, la stratégie de modulation adoptée sera élaborée et nous présenterons ensuite le fonctionnement du convertisseur en mode sain.

2.1. Topologie du convertisseur étudié

Le schéma d'un convertisseur NPC triphasé en pont en H à cinq niveaux est illustré par la Figure I.10. Comme l'indique cette figure, chaque phase (ou bras) du convertisseur est constituée d'un module NPC monophasé. Cinq niveaux de tension sont possibles en sortie de

chaque module NPC monophasé. Par ailleurs, chaque module NPC monophasé dispose de son propre bus continu et ne le partage donc pas avec les autres modules. De plus, ces modules NPC monophasés sont des convertisseurs à source de tension ; ainsi, la tension de sortie de chaque module est déterminée selon la tension aux bornes de son bus continu et selon les ordres de commande appliqués à ses interrupteurs actifs. Ainsi, le fonctionnement et la tension de sortie de chaque module NPC monophasé sont indépendants des deux autres modules. Pour cette raison, dans ce travail de recherche, nos travaux porteront sur le diagnostic de défaut et la continuité de service d'un module NPC monophasé. Le schéma détaillé d'un module NPC monophasé est représenté à la Figure I.11.

2.2. Stratégie de modulation appliquée

La Figure I.12 illustre la stratégie de modulation appliquée au module NPC monophasé de la Figure I.11. Cette stratégie se base sur la Modulation de Largeur d'Impulsions (MLI) classique. Les deux signaux de modulation V_{m1} et V_{m2} ont même fréquence et même amplitude mais le signal V_{m1} est déphasé de 180 degrés par rapport au signal V_{m2} . Les deux ondes porteuses triangulaires V_{cr1} et V_{cr2} sont en phase, mais sont décalées selon la verticale par un offset. A la Figure I.12, les ordres de commande correspondant aux interrupteurs S11, S14, S21, et S24 sont respectivement notés G11, G14, G21, et G24. Les ordres de commande appliqués aux interrupteurs actifs S11, S12, S23, et S24 sont respectivement complémentaires aux ordres appliqués aux interrupteurs actifs S13, S14, S21, et S22. Par exemple, lorsque l'interrupteur S11 est commandé à la fermeture, l'interrupteur S13 est commandé à

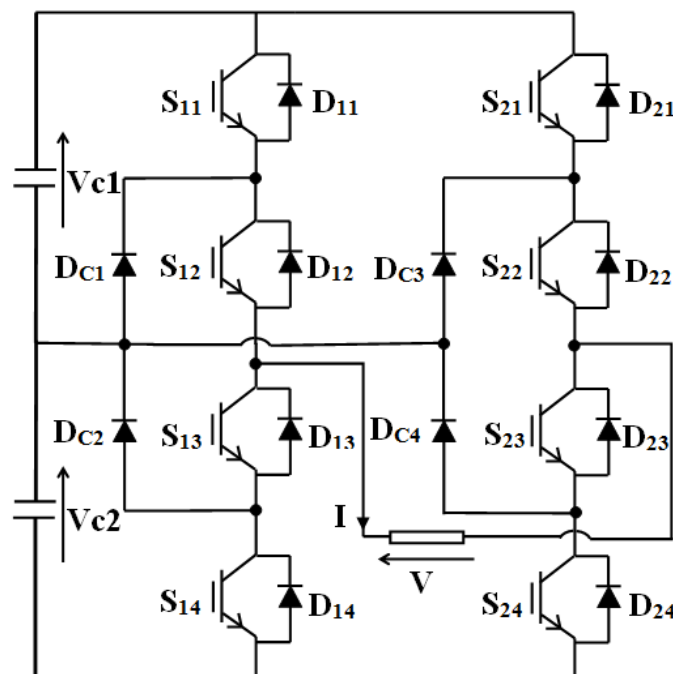


Figure I.11. Schéma d'un module NPC monophasé à cinq niveaux.

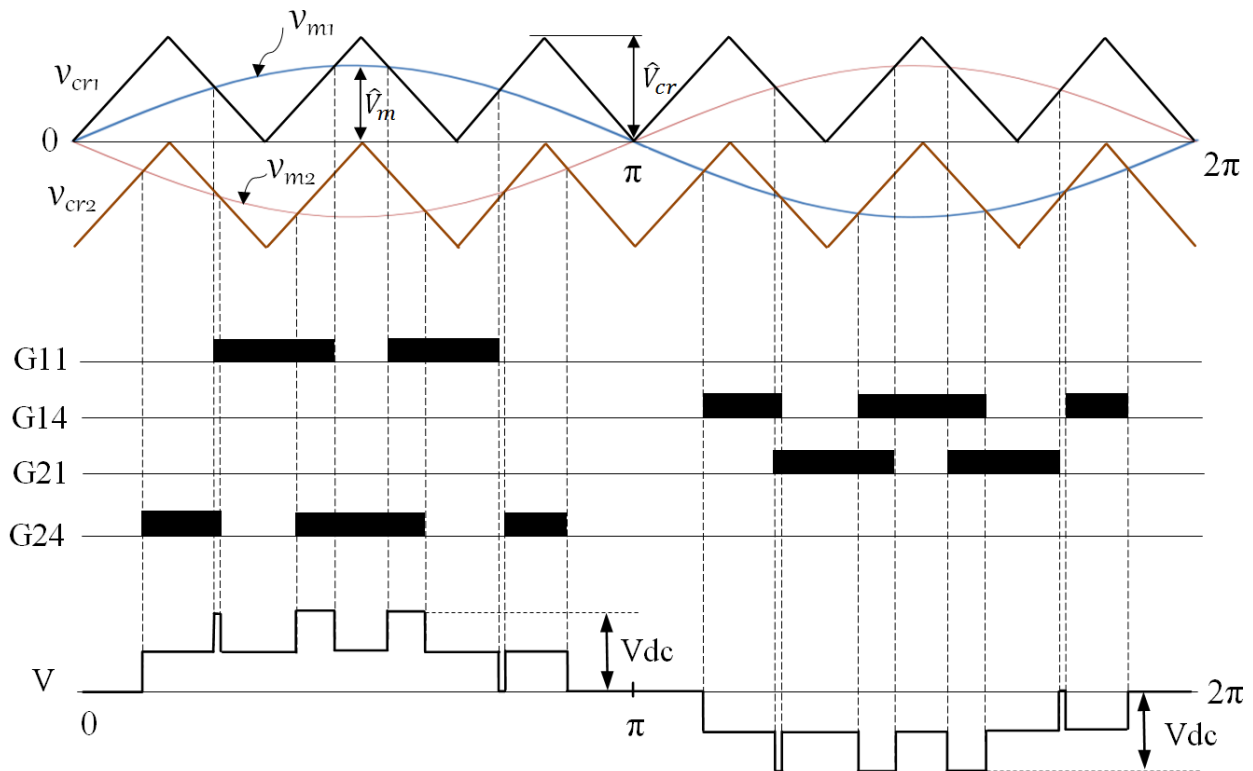


Figure I.12. Stratégie de modulation appliquée au module NPC monophasé à cinq niveaux.

l'ouverture, et réciproquement. Ainsi, le système de modulation a uniquement besoin de générer quatre ordres de commande indépendants. Le signal de modulation V_{m1} génère les ordres de commande des interrupteurs S11 et S14 tandis que le signal de modulation V_{m2} génère ceux des interrupteurs S21 et S24. Le signal de commande G11 est généré uniquement lors de l'alternance positive de V_{m1} tandis que le signal de commande G14 est généré uniquement lors de l'alternance négative de V_{m1} . Durant l'alternance positive de V_{m1} , quand le signal V_{m1} est supérieur à V_{cr1} , l'interrupteur S11 est commandé à la fermeture et durant l'alternance négative du V_{m1} , quand le signal V_{m1} est inférieur à V_{cr2} , l'interrupteur S14 est commandé à la fermeture.

De même, le signal de commande G21 est généré lors de l'alternance positive de V_{m2} tandis que le signal de commande G24 est généré lors de l'alternance négative de V_{m2} . Durant l'alternance positive de V_{m2} , quand le signal V_{m2} est supérieur à V_{cr1} , l'interrupteur S21 est commandé à la fermeture et durant l'alternance négative de V_{m2} , quand le signal V_{m2} est inférieur à V_{cr2} , l'interrupteur S24 est commandé à la fermeture.

2.3. Etats de commutation générés par le modulateur

Sur la Figure I.12, nous pouvons constater que la tension de sortie du module NPC monophasé comporte les 5 valeurs ou niveaux de tension suivants : $+V_{dc}$, $+V_{dc}/2$, 0 , $-V_{dc}/2$, et $-V_{dc}$. Selon les ordres de commande générés par le modulateur, chacun des trois niveaux de tension $+V_{dc}$, 0 , et $-V_{dc}$ est obtenu en appliquant un état de commutation unique tandis que chacun des deux niveaux de tension $+V_{dc}/2$ et $-V_{dc}/2$ peut être réalisé par deux états de

commutation différents. Conformément à la forme d'onde de tension V tracée à la Figure I.12, le niveau de tension $+V_{dc}$ est obtenu exclusivement lorsque les interrupteurs S11 et S24 sont commandés à la fermeture et les interrupteurs S14 et S21 sont commandés à l'ouverture. Il est important de rappeler ici que les ordres de commande correspondant aux interrupteurs S13, S22, S12, et S23 sont respectivement complémentaires à ceux de S11, S24, S14, et S21. Pour générer une tension de sortie de valeur $-V_{dc}$, les interrupteurs S14 et S21 sont commandés à la fermeture et les interrupteurs S11 et S24 sont commandés à l'ouverture. Lors du premier état de commutation pour lequel le niveau de tension $+V_{dc}/2$ est atteignable (voir la Figure I.12), l'interrupteur S11 est commandé à la fermeture et les interrupteurs S14, S21, et S24 sont commandés à l'ouverture. De même, le niveau de tension $+V_{dc}/2$ peut être également obtenu en commandant l'interrupteur S24 à la fermeture et les interrupteurs S11, S14, et S21 à l'ouverture (voir Figure I.12). Le niveau de tension $-V_{dc}/2$, tout comme le niveau de tension $+V_{dc}/2$ précédemment détaillé, peut être obtenu en appliquant deux états de commutation différents ; lors du premier état, l'interrupteur S21 est commandé à la fermeture et S11, S14, et S24 sont commandés à l'ouverture. Lors du deuxième état, S14 est commandé à la fermeture et S11, S21, et S24 sont commandés à l'ouverture.

Il est important de mentionner ici que pour la stratégie de modulation retenue (voir la Figure I.12), le niveau de tension 0 est réalisé uniquement quand les interrupteurs S11, S14, S21, et S24 sont commandés à l'ouverture. Cependant, deux autres états de commutation pourraient permettre de réaliser ce niveau de tension 0 en sortie de convertisseur. Il s'agit des états de commutations suivants :

- S11 et S21 commandés à la fermeture et S14 et S24 commandés à l'ouverture ;
- S14 et S24 commandés à la fermeture et S11 et S21 commandés à l'ouverture.

Cependant, pour la stratégie de modulation retenue dans ce mémoire, ces deux états de commutation ne peuvent jamais être générés. Quant à l'impact de cette constatation sur le diagnostic de défaut, l'impossibilité de réaliser ces deux états de commutation ne pose aucun problème. Autrement dit, l'approche proposée pour le diagnostic de défaut est capable d'identifier n'importe quel composant défaillant, sans que ces deux états de commutation ne soient générés par le modulateur. Cependant, suite à l'identification du composant défaillant (donc lors du fonctionnement à tolérance de pannes), ces deux états de commutation servent d'états redondants qui peuvent alors être générés lors du contrôle chargé de garantir la continuité de service du convertisseur. Cette remarque sera exploitée ultérieurement, dans la section dédiée à la tolérance de pannes.

Toutes les précisions et explications présentées plus haut sont résumées dans le Tableau I.2. Il rassemble les ordres de commande (états de commutations possibles) correspondant à chaque niveau de tension en sortie du convertisseur. Rappelons ici que les états de commutation 4 et 6 ne sont pas réalisables par le modulateur en mode sain, mais qu'il est important de les faire figurer dès maintenant dans ce tableau, en vue de l'étude de la tolérance de pannes développée au chapitre suivant.

Tableau I.2. Ordres de commande correspondant à chaque état de commutation.

Etats de commutation	Tensions de sortie	S11	S12	S13	S14	S21	S22	S23	S24	Nombre attribué
1	+Vdc	1	1	0	0	0	0	1	1	195
2	+Vdc/2	1	1	0	0	0	1	1	0	198
3	+Vdc/2	0	1	1	0	0	0	1	1	99
4	0	1	1	0	0	1	1	0	0	204
5	0	0	1	1	0	0	1	1	0	102
6	0	0	0	1	1	0	0	1	1	51
7	-Vdc/2	0	1	1	0	1	1	0	0	108
8	-Vdc/2	0	0	1	1	0	1	1	0	54
9	-Vdc	0	0	1	1	1	1	0	0	60

Le convertisseur étudié est un onduleur à source de tension : ainsi, les tensions de sortie sont imposées par les états de commutations, quel que soit le signe de courant de charge. Cependant, à des fins de diagnostic de défaut, il faut intégrer le fait que le signe du courant de charge détermine les composants effectivement passants pour chaque état de commutation. En effet, selon le signe du courant de charge, les composants actifs effectivement fermés ne sont pas forcément ceux ayant reçu un ordre de commande à la fermeture. A cet effet, selon le signe du courant de charge, les composants passants qui correspondent à chaque état de commutation sont indiqués dans le Tableau I.3.

Tableau I.3. Composants passants pour chaque état de commutation, pour un courant de sortie positif ou négatif, en mode sain.

Etats de commutation	Tension de sortie	Composants passants ($I > 0$)	Composants passants ($I < 0$)
1	+Vdc	S11, S12, S23, S24	D11, D12, D23, D24
2	+Vdc/2	S11, S12, S23, DC4	D11, D12, S22, DC3
3	+Vdc/2	DC1, S12, S23, S24	DC2, S13, D23, D24
4	0	S11, S12, D22, D21	D11, D12, S21, S22
5	0	DC1, S12, S23, DC4	DC2, S13, S22, DC3
6	0	D14, D13, S23, S24	S13, S14, D24, D23
7	-Vdc/2	DC1, S12, D22, D21	DC2, S13, S22, S21
8	-Vdc/2	D14, D13, S23, DC4	S13, S14, DC3, S22
9	-Vdc	D14, D13, D22, D21	S13, S14, S22, S21

3. Diagnostic de défaut

3.1. Etapes à effectuer pour réaliser le diagnostic de défaut

Cette partie a pour objectif de présenter les éléments de la stratégie de diagnostic de défaut proposée dans ce mémoire. Le diagnostic de défaut au niveau des composants semi-conducteurs d'un convertisseur de puissance est prérequis, dans le but de garantir sa continuité de service. Comme l'indique la Figure I.13, les fonctions « Diagnostic de défaut » et « Gestion du défaut » sont insérées entre le modulateur et la partie puissance. Le diagnostic de défaut reçoit les ordres de commandes générés par le modulateur et fonctionne en parallèle du modulateur. En mode sain, les ordres de commande reçus par la partie « diagnostic de défaut » sont directement appliqués aux interrupteurs actifs. Cependant, lors de l'apparition d'une défaillance, détectée et suivie de l'identification du composant défaillant, la gestion de défaut prend aussitôt la main sur les ordres de commande envoyés au convertisseur : selon le composant défaillant, elle modifie et adapte les ordres de commande générés par le modulateur et applique ces ordres modifiés aux interrupteurs actifs.

Comme présenté à la Figure I.14, le diagnostic de défaut est constitué de deux parties principales : la détection de défaut et la localisation de défaut. Lors de la détection de défaut, seule l'apparition d'un défaut est détectée. Suite à cette détection, la localisation de défaut s'enclenche aussitôt pour identifier le composant défaillant. La stratégie du diagnostic de défaut proposée ici est basée sur de la logique, afin d'éviter des algorithmes lourds en calcul. Cette spécificité nous permettra de la mettre en œuvre sur une cible FPGA (Field Programmable Gate Arrays), et ainsi atteindre des performances temporelles élevées. Les explications détaillées concernant la détection de défaut, la localisation de défaut et leurs implémentations feront successivement l'objet des sections suivantes.

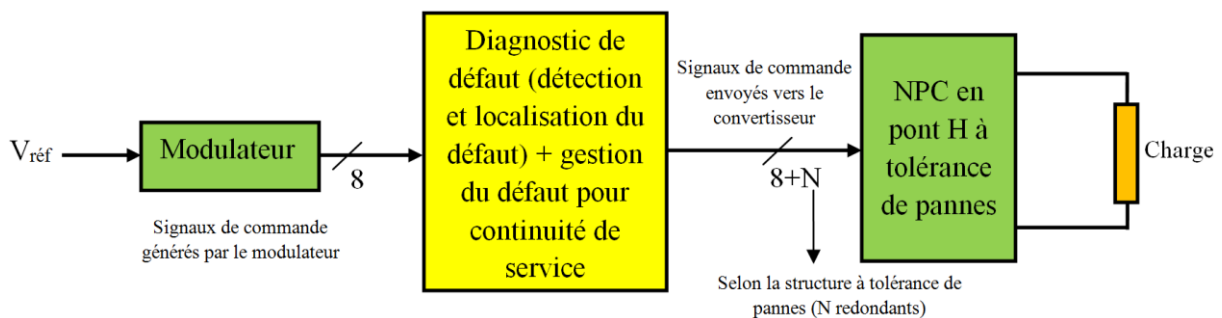


Figure I.13 : Schéma de principe de la continuité de service.

3.2. Méthode de détection de défaut

Dans cette partie, nous nous intéresserons à la méthode de détection proposée dans ce mémoire, première étape de la stratégie de diagnostic de défaut. Tout d'abord, nous présenterons le principe global de la méthode proposée. Ensuite, nous exposerons les deux critères que nous avons retenus et qui devront être satisfaits pour éviter toute fausse détection lors d'une implémentation sur une plateforme de test expérimentale.

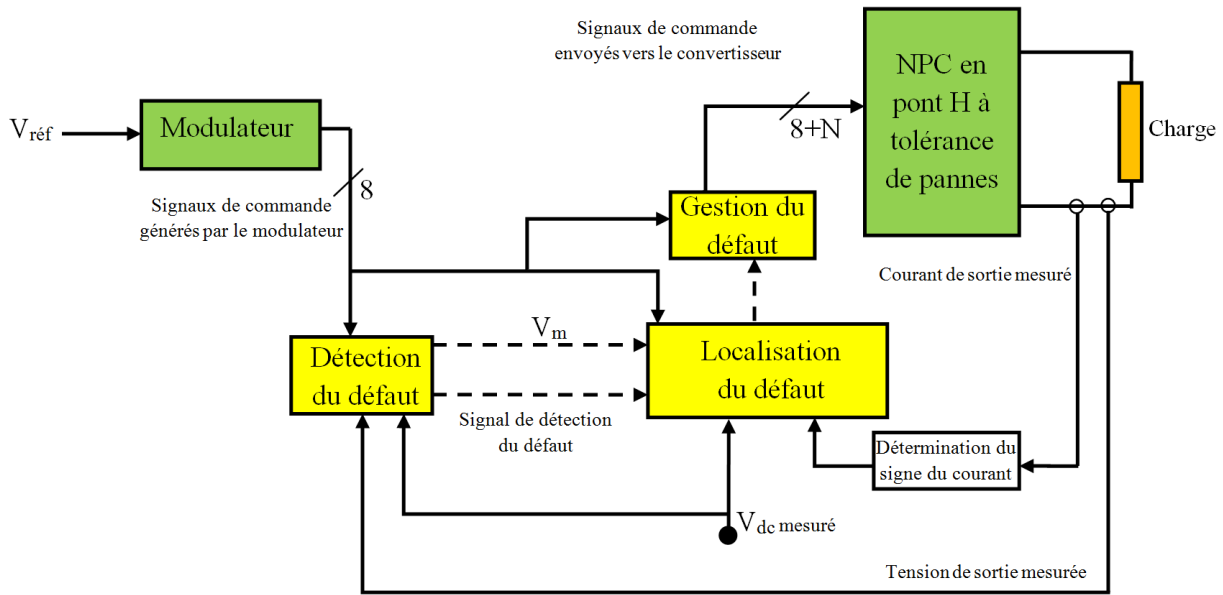


Figure I.14 : Schéma de principe détaillé de la continuité de service.

3.2.1. Principe général de la méthode proposée

Globalement, la stratégie de détection de défaut proposée est basée sur la comparaison entre la tension de sortie mesurée et la tension de sortie estimée. Comme mentionné précédemment, le convertisseur étudié dans ce travail de recherche est un onduleur à source de tension dont la tension de sortie est indépendante de sa charge. Ainsi, quel que soit les paramètres de la charge, la tension de sortie du convertisseur peut être estimée. Selon le Tableau I.2, connaissant les ordres de commande appliqués aux interrupteurs actifs et la tension du bus continu, nous pouvons estimer (de manière théorique, pour un système de puissance idéal) la tension imposée en sortie du convertisseur. Cette tension estimée est ensuite comparée avec la tension de sortie mesurée. En cas d'écart entre la tension estimée et la tension mesurée, le signal de détection de défaut sera généré (voir les Figures I.14 et I.15). Suite à la déclaration du défaut, l'algorithme de localisation de défaut se chargera d'identifier le composant défaillant. Le principe général de la méthode de détection de défaut est présenté à la Figure I.15.

Ce principe général se doit d'être complété par plusieurs informations.

Premièrement, il faut préciser que la Figure I.15 présente, dans un premier temps, le principe de base de la méthode de détection proposée. Ce schéma n'est pas exhaustif. Notamment, il ne permet pas d'assurer une détection de défaut fiable et efficace dans le cas d'une implémentation dans un contexte réel. En effet, ce schéma ne prend pas en compte les imperfections d'un système de puissance réel. Autrement dit, pour éviter toute fausse détection, ce schéma doit être complété et affiné. A cet effet, nous définirons deux critères à satisfaire, dits « critère de tension » et « critère temporel ». La justification et la nécessité de ces deux critères, ainsi que leur mise en œuvre, seront détaillées dans les parties suivantes.

Deuxièmement, le rôle de la méthode de détection de défaut ne concerne pas uniquement la détection d'un défaut, mais elle permet également de fournir la valeur de la tension V_m (issue d'une quantification de la tension, exposée ultérieurement) au bloc de localisation de défaut (voir la Figure I.14).

Le troisième point à noter est qu'il y a toujours une différence entre la tension estimée et la tension mesurée, lorsqu'un défaut survient au niveau d'un interrupteur actif ou d'une diode de clamp. Cette affirmation sera justifiée plus tard. De ce fait, la méthode de détection de défaut proposée est valable pour tous les cas de défaut.

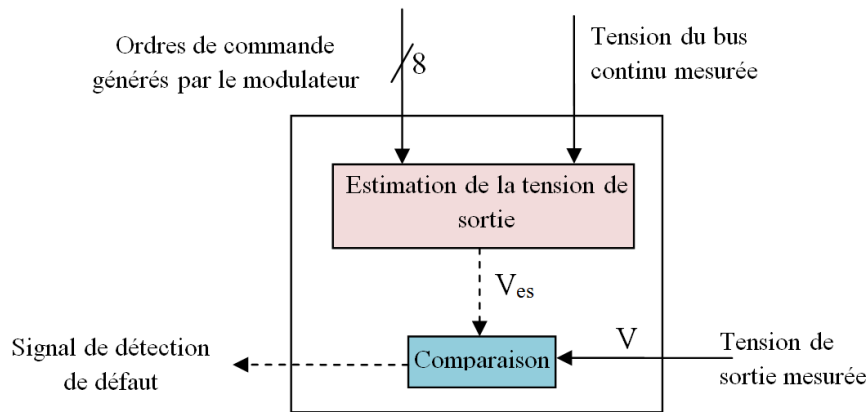


Figure I.15. Principe général de la méthode de détection de défaut.

3.2.2. Fonctionnement du convertisseur après l'apparition d'un défaut de type circuit ouvert

Dans cette partie, nous nous intéresserons aux composants passants et à la tension de sortie du convertisseur, en cas de défaut de circuit ouvert au niveau d'un interrupteur actif ou d'une diode de clamp. Dans un premier temps, nous détaillerons et analyserons le cas d'un tel défaut, survenant lors de l'état de commutation 2, à courant de sortie positif. Cet état, traité ici à titre d'exemple, a été choisi car il fait intervenir des interrupteurs actifs et une diode de clamp, à courant de sortie positif. Sur la base de cet exemple, nous pourrions alors généraliser l'étude de ce cas particulier à l'ensemble des autres états de commutations.

La Figure I.16, illustre le chemin de passage d'un courant de sortie positif, en couleur verte, lorsque l'état de commutation 2 est imposé aux interrupteurs actifs et lorsque le convertisseur fonctionne en mode sain. Comme l'indique la Figure I.16, le courant traverse les composants S11, S12, S23 et DC4, conformément aux indications des Tableaux I.2 et I.3. En cas d'apparition d'un défaut de circuit ouvert au niveau de S11, le passage du courant ne s'effectue plus via S11 mais via la diode de clamp DC1. Ainsi, sur la Figure I.17, on peut visualiser, en rouge, le chemin de passage du courant après l'apparition du défaut de S11. Dans ce cas, les composants qui conduisent le courant deviennent DC1, S12, S23 et DC4 et la tension de sortie du convertisseur prend la valeur 0 V, au lieu de $+V_{dc}/2$ en mode sain. Si un défaut de circuit ouvert survient au niveau de S23, le courant ne passe plus par S23 mais par les deux diodes de roue libre D22 et D21. Dans ce cas, comme le montre la Figure I.18, le

courant passe par les composants S11, S12, D22 et D21. Par conséquent, la tension de sortie prend la valeur 0 V, au lieu de $+V_{dc}/2$ en mode sain. Si le défaut survient au niveau de la diode de clamp DC4, le chemin du courant et les composants passants seront les mêmes que lors d'un défaut de circuit ouvert au niveau de S23.

Dans le but de généraliser l'étude précédente, il est utile de classifier les interrupteurs actifs du convertisseur selon deux groupes. Les quatre interrupteurs S11, S14, S21, et S24 sont des interrupteurs externes tandis que les interrupteurs S12, S13, S22, et S23 sont des interrupteurs internes. Selon l'analyse présentée pour l'état de commutation 2, nous pouvons généraliser l'étude et conclure qu'en cas de défaut de circuit ouvert au niveau d'un interrupteur externe, le passage du courant est assuré par la diode de clamp connectée entre le point milieu du bus continu et le demi-bras comportant l'interrupteur défaillant, quel que soit le signe du courant. Lorsque le défaut circuit ouvert survient au niveau d'un interrupteur actif interne ou d'une diode de clamp, le passage du courant est assuré par deux diodes de roue libre du bras défaillant, situées au niveau du demi-bras non impacté par le défaut.

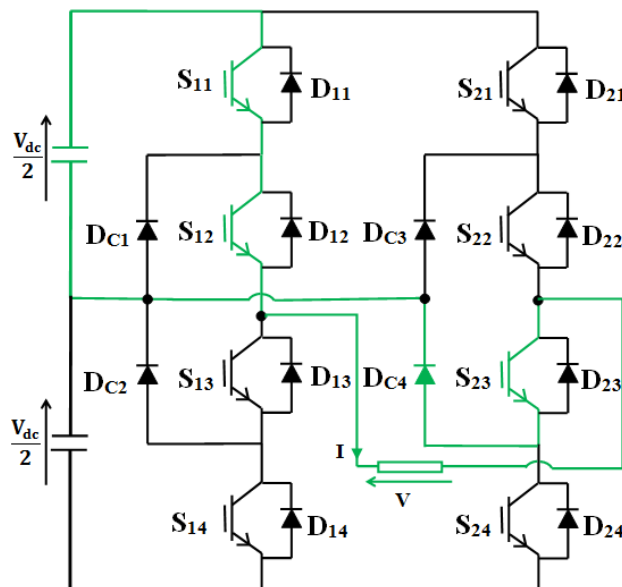


Figure I.16. Chemin de passage du courant lorsque le convertisseur fonctionne en mode sain dans l'état de commutation 2, à courant de sortie positif.

Un autre point important peut être mentionné, dès à présent. Lors d'un défaut de type circuit ouvert au niveau de n'importe quel composant semi-conducteur, l'écart entre la tension de sortie théorique en mode sain (tension estimée, Figure I.15) et cette même tension en mode de défaillance (tension mesurée, Figure I.15) est supérieur à $V_{dc}/2$, en valeur absolue. Dans cette partie, nous n'avons pas présenté tous les chemins du courant ainsi que tous les composants passants pour tous les cas de défauts possibles, permettant ainsi de justifier cette affirmation. Néanmoins, ce point pourra être vérifié dans les sections suivantes où la tension de sortie du convertisseur ainsi que les composants conduisant le courant seront fournis, pour tous les cas de défauts possibles.

3.2.3. Critère de tension : Description d'un quantificateur de tension

Afin d'éviter toute fausse détection, nous avons précédemment mentionné qu'il sera nécessaire de satisfaire deux critères dits « critère de tension » et « critère temporel ». Comme nous l'avons mentionné en introduction de ce mémoire, les travaux de recherche réalisés dans le cadre de cette thèse s'inscrivent dans la continuité de travaux menés depuis 2006, en collaboration entre les deux laboratoires IJL et GREEN de l'Université de Lorraine. Une grande partie de ces collaborations a porté sur la tolérance de pannes des convertisseurs de puissance : convertisseurs AC/DC [23] et DC/AC [24] à deux niveaux, convertisseur back-to-back [25], convertisseurs DC/DC [26], ... Plus récemment, en 2016, la tolérance de pannes de la conversion multiniveaux pour structure T-Type a été étudiée, particulièrement lors des travaux de thèse de Monsieur Florent BECKER [27]. Tous ces travaux ont été validés expérimentalement et nous ont permis de démontrer l'importance de mettre en œuvre ces deux critères afin d'éviter toute fausse détection lors de la mise en œuvre du diagnostic sur banc de test.

Dans cette section, le critère de tension est tout d'abord développé, sans prendre en considération le critère temporel. Comparativement aux travaux précédemment menés sur le diagnostic de défaut, dans le cadre de la collaboration entre l'IJL et le GREEN [23-27], nous proposons d'intégrer un quantificateur de tension lors de la mise en œuvre de ce critère, décrit ci-après.

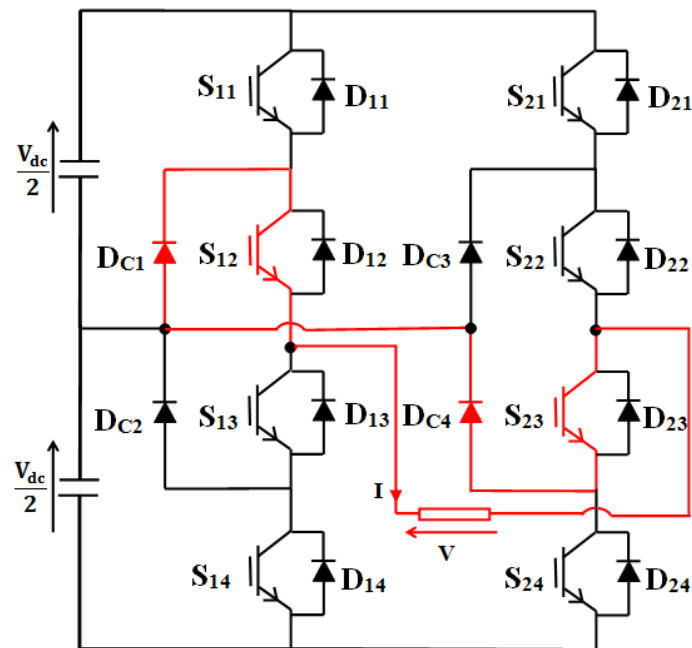


Figure I.17. Chemin de passage du courant en cas de défaut circuit ouvert de S11 (état de commutation 2 et courant de sortie positif).

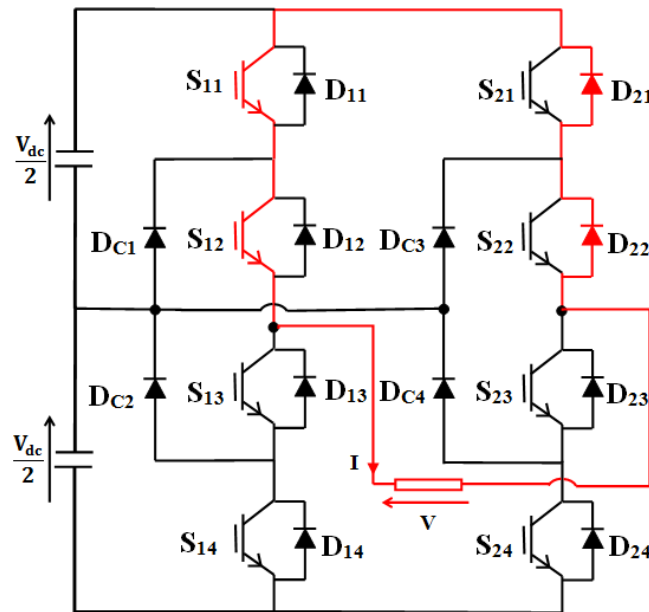


Figure I.18. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de S23 ou de DC4 (état de commutation 2 et courant de sortie positif).

Nous avons mentionné précédemment qu'en cas d'écart entre la tension de sortie mesurée et la tension de sortie estimée, un signal de détection de défaut sera généré (voir la Figure I.15). L'estimation de la tension de sortie du convertisseur s'effectue à partir des ordres de commande des interrupteurs actifs et de la tension du bus continu. Comme mentionné précédemment, l'effet des imperfections du système de puissance n'a pas été pris en compte dans notre réflexion, à ce niveau de l'étude : chutes ohmiques du circuit, chutes de tension aux bornes des interrupteurs actifs et des diodes de clamp et erreurs de mesure. Cependant, toutes ces imperfections ont un impact sur la valeur de la tension de sortie mesurée. De ce fait, même si le convertisseur fonctionne en monde sain, il subsistera un écart entre la tension de sortie mesurée et la tension de sortie estimée, cette dernière étant impactée par toutes ces imperfections du système de puissance. C'est donc pour cela que nous avons proposé la mise en place d'un seuil lors de nos travaux de recherche passés [23-27]. Dans ce travail, nous avons cherché à nous affranchir des difficultés du choix d'un seuil qui dépend des paramètres physiques du système. L'idée proposée ici est de s'affranchir des imperfections du système, non pas en les intégrant dans le critère tension, mais en faisant en sorte que ces imperfections ne puissent pas perturber la détection de défaut, au niveau de la comparaison tension de sortie mesurée/tension de sortie estimée.

Pour répondre à cette exigence, un quantificateur de tension est proposé. Ce quantificateur de tension ne sert pas uniquement à satisfaire le critère de tension lors de la détection de défaut, mais il facilite aussi la mise en œuvre de la stratégie de localisation du composant défaillant.

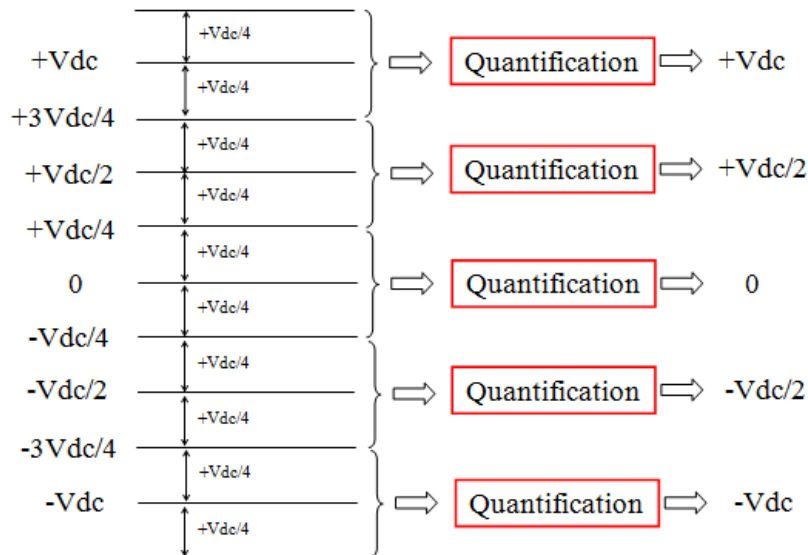


Figure I.19. Schéma de principe du quantificateur de tension proposé.

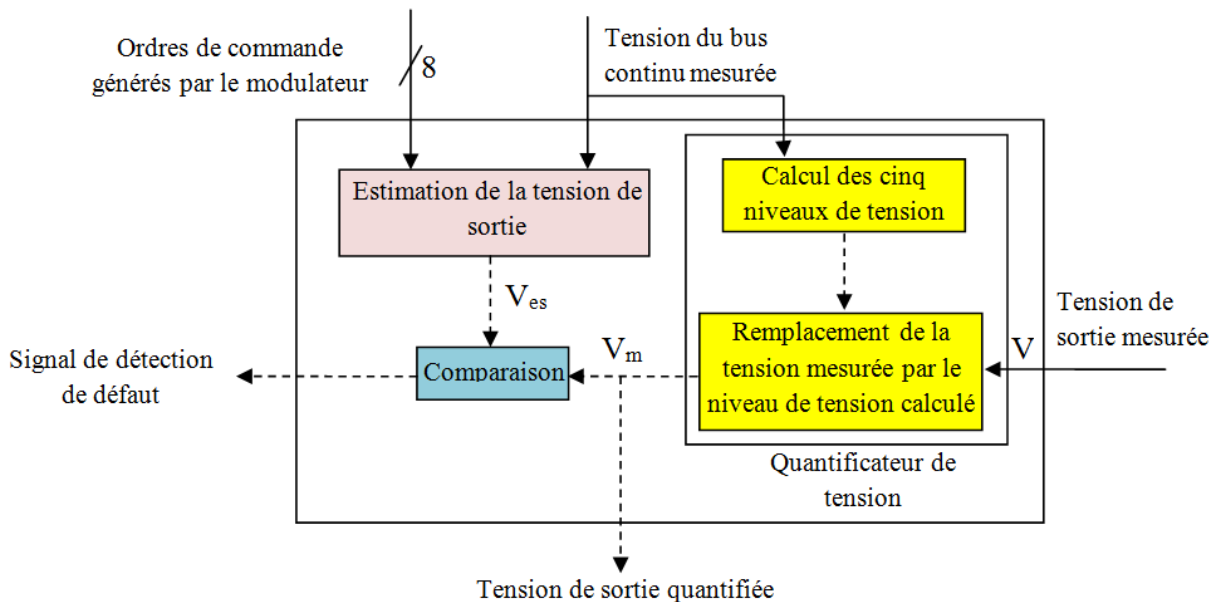


Figure I.20. Principe général de la méthode de détection de défaut remplissant le critère de tension.

La tension de sortie estimée prend l'un des cinq niveaux de tension parmi les suivants : $+V_{dc}$, $+V_{dc}/2$, 0 , $-V_{dc}/2$, et $-V_{dc}$. En mode sain, du fait des chutes ohmiques, des chutes de tension aux bornes des composants et des erreurs de mesure, il y aura un écart entre la tension de sortie mesurée et la tension de sortie estimée. Cependant, la valeur de cet écart est relativement faible par rapport à l'amplitude de l'erreur générée par l'apparition d'un défaut (erreur au moins égale à $V_{dc}/2$, en valeur absolue). La Figure I.19 présente le schéma de principe du quantificateur proposé. A partir de la mesure de la tension du bus continu, les cinq niveaux de tension $+V_{dc}$, $+V_{dc}/2$, 0 , $-V_{dc}/2$, et $-V_{dc}$ sont calculés. Ensuite, la tension de sortie effectivement mesurée par un capteur de tension est comparée avec les valeurs précédemment calculées. Trois cas peuvent se produire. Dans le premier cas, la valeur mesurée est comprise entre deux niveaux de tension adjacents, précédemment calculés. Dans

ce cas, le quantificateur assigne à la grandeur V_m (voir la Figure I.20) la valeur calculée la plus proche de la tension mesurée. Dans le deuxième et le troisième cas, la tension de sortie mesurée est respectivement supérieure au niveau de tension $+V_{dc}$ ou inférieure au niveau de tension $-V_{dc}$. Dans le deuxième cas, la valeur $+V_{dc}$ est affectée à la grandeur V_m (tension de sortie quantifiée, voir la Figure I.20); dans le troisième cas, c'est la valeur $-V_{dc}$ qui est affectée à V_m . Ainsi, la valeur de la tension mesurée est remplacée par une valeur de tension quantifiée, fixée selon la tension réelle du bus continu. Ainsi, les chutes ohmiques du circuit, les chutes de tension aux bornes des composants et les erreurs de mesure ne perturbent pas la comparaison entre les grandeurs V_{es} et V_m de la Figure I.20. La Figure I.20 présente le schéma de principe général de la méthode de détection de défaut proposée, intégrant le critère de tension. Sur la Figure I.20, nous pouvons constater que la tension de sortie quantifiée est comparée avec la tension de sortie estimée. De plus, comme mentionné précédemment, la tension de sortie quantifiée V_m (voir les Figures I.14 et I.20) sert également à la localisation de défaut.

3.2.4. Critère temporel : Mise en œuvre d'un compteur

Après avoir rempli le critère de tension, nous pouvons assurer que toute fausse détection due à la chute de tension aux bornes des composants et aux erreurs de mesure de tension est évitée. Cependant, même durant le fonctionnement en mode sain, autour des instants où une commutation s'effectue, il existe un décalage temporel entre l'instant d'envoi de l'ordre de commande d'un interrupteur actif et l'instant où son effet est effectivement pris en compte par la sortie du capteur qui mesure de la tension de sortie. Ce décalage émane du temps de réponse des capteurs, du temps de latence des convertisseurs ADC et DAC et des temps de retard à la fermeture et à l'ouverture des interrupteurs actifs. En pratique, ce décalage temporel est de l'ordre de quelques microsecondes. Le nouveau schéma de principe de la stratégie de détection de défaut proposée, remplissant simultanément le critère de tension et le critère temporel est illustré par la Figure I.21. Sur la Figure I.21, comparativement à la Figure I.20, un compteur a été ajouté. Le signal noté « Er » (voir la Figure I.21) est issu de la comparaison entre la tension de sortie quantifiée et la tension de sortie estimée. Ce signal est non nul lors d'un changement d'ordre de commande d'un des interrupteurs actifs (même en mode sain), pour les raisons précédemment expliquées. Si le critère temporel n'était pas mis en œuvre (cas de la Figure I.20), un signal de détection de défaut serait généré à chaque changement d'ordre de commande ; une fausse détection de défaut serait alors déclarée. Pour éviter cela, la Figure I.21 intègre un compteur. Ce compteur, choisi pour remplir le critère temporel, comporte deux entrées nommées « Inc » et « Rst », et une sortie nommée « Cnt ». Ce compteur est du type « sensible sur niveau ». Cela signifie que lorsque l'entrée « Inc » est non nulle, le comptage démarre à la fréquence d'horloge du compteur et la valeur de la sortie « Cnt » s'incrémente. Dès que l'entrée « Rst » passe à '1' (ce qui signifie que la valeur de Er devient nulle), la sortie « Cnt » est remise à zéro, quelle que soit la valeur du signal appliqué à l'entrée « Inc ». Ainsi, quand un ordre de commutation est envoyé, du fait de l'écart entre la tension quantifiée et la tension estimée, le signal « Er » devient non nul : le comptage démarre et la valeur de la sortie « Cnt » s'incrémente. Le comptage dure quelques microsecondes, en mode sain, jusqu'à ce que la tension estimée et la tension quantifiée deviennent égales. Ainsi,

en mode sain, lors de chaque commutation, la valeur de la sortie « Cnt » augmente, mais elle est ensuite remise à zéro dès que l'effet de l'ordre de commutation est effectivement pris en compte par le capteur de tension. Comme le présente la Figure I.21, la valeur de sortie du compteur est comparée à une valeur de seuil, notée « N ». Si la sortie du compteur atteint la valeur de seuil « N », le signal de détection de défaut est alors généré. En mode sain, la valeur maximale prise par la sortie du compteur correspond à quelques microsecondes. En cas de défaut circuit ouvert, un signal d'erreur « Er » subsiste suite à l'envoi d'un ordre de commutation à un composant défaillant, la tension estimée et la tension quantifiée ayant alors des valeurs différentes ; la sortie du compteur continue donc de s'incrémenter. Ainsi, afin d'éviter toute fausse détection en mode sain, liée aux commutations des interrupteurs, la valeur de seuil « N » doit être choisie en fonction des paramètres expérimentaux. Dans les parties où nous présenterons les résultats de simulation et les résultats expérimentaux, le choix de cette valeur de seuil « N » sera détaillé.

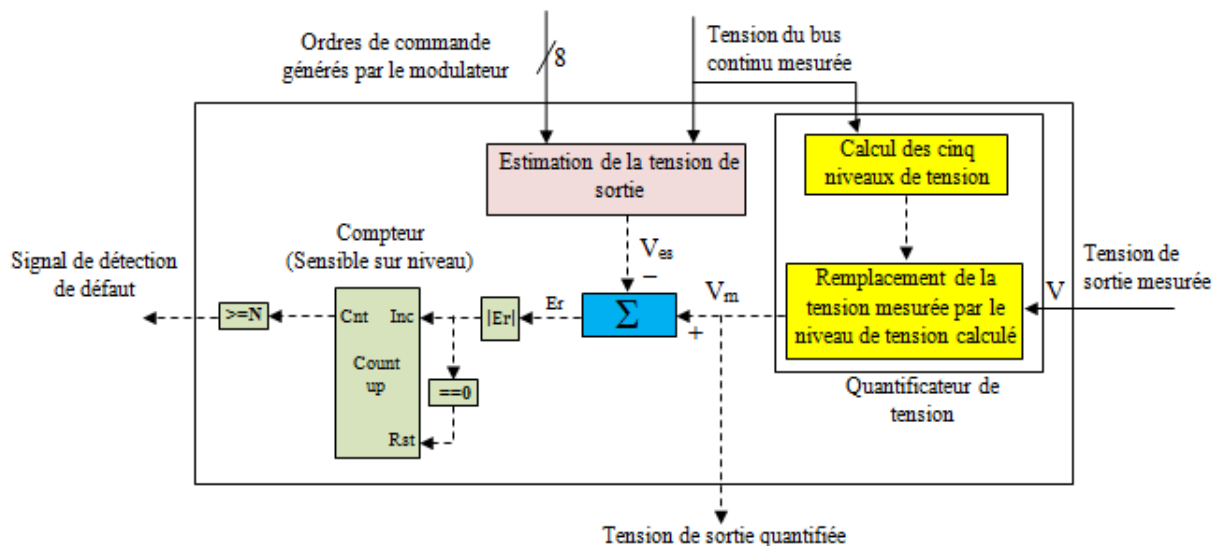


Figure I.21. Schéma de principe général de la méthode de détection de défaut remplissant le critère de tension et le critère temporel.

3.3. Méthode de localisation de défaut

Cette section s'inscrit dans la continuité de la section précédente. Dès la détection d'un défaut, la phase d'identification du composant défaillant débute. Globalement, la méthode de localisation de défaut proposée est basée sur l'Analyse des Modes de Défaillance (AMD). Selon l'AMD, l'impact de l'apparition d'un défaut au niveau de chaque composant semi-conducteur est examiné. L'étude de cet impact consiste à analyser la tension de sortie du convertisseur, suite à l'apparition du défaut et à déterminer le nouveau chemin de passage du courant traversant les quatre semi-conducteurs passants. Les résultats exhaustifs, obtenus lors de cette étude, sont ensuite enregistrés sous la forme d'une LUT (Look-Up Table).

Concrètement, lors de la phase de localisation, suite à la détection d'un défaut, la tension de sortie et l'état de commutation sont mémorisés. Ensuite, à l'aide de la LUT, le composant défectueux peut être identifié. L'emploi de l'AMD, basé sur une LUT, facilite la mise en

œuvre de l'algorithme de localisation de défaut sur une cible FPGA, ce qui augmente ainsi les performances temporelles potentielles de localisation de défaut.

La méthode de localisation de défaut est présentée progressivement, en deux parties. Dans la première partie, nous faisons l'hypothèse qu'aucune diode de clamp ne peut être défaillante. Ainsi, les interrupteurs actifs sont les seuls composants semi-conducteurs potentiellement soumis à un défaut. L'avantage majeur apporté par cette hypothèse est qu'elle réduit significativement la complexité de la LUT ; la phase de localisation de défaut s'accomplit donc plus rapidement. Cette hypothèse n'est cependant pas réaliste, du point de vue des applications réelles. La faille majeure de cette hypothèse est qu'en cas de défaut au niveau d'une diode de clamp, la LUT ne sera plus valable, ce qui conduira fatalement à un diagnostic de défaut erroné.

La deuxième partie se base sur le fait que tous les composants semi-conducteurs, aussi bien les interrupteurs actifs que les diodes de clamp, sont potentiellement exposés à un défaut. Bien que les diodes de clamp soient réputées moins fragiles que les interrupteurs actifs, elles peuvent également être défaillantes. En intégrant la possibilité d'un défaut d'une des diodes de clamp, la phase de la localisation de défaut devient beaucoup plus complexe, comme nous pourrions le constater dans la suite de mémoire. Néanmoins, nous sommes parvenus à établir une LUT exhaustive, permettant de localiser un défaut, tant pour un interrupteur actif que pour une diode de clamp.

3.3.1. Localisation de défaut au niveau d'un interrupteur actif

Comme l'indique la Figure I.14, le bloc de localisation de défaut reçoit deux signaux issus du bloc de détection de défaut : le signal de détection de défaut et la tension de sortie quantifiée, notée V_m . Durant le fonctionnement en mode sain, le signal de détection de défaut est au niveau bas. Dans ce cas, la partie localisation de défaut envoie une commande vers la partie gestion de défaut en indiquant que les ordres de commande générés par le modulateur doivent être directement appliqués aux interrupteurs actifs. Cette procédure se poursuit jusqu'à ce qu'un défaut survienne. Dès la déclaration d'un défaut, la partie gestion de défaut arrête d'appliquer les ordres de commande générés par le modulateur et la phase de localisation de défaut débute aussitôt.

3.3.1.1. Principe général de la stratégie de localisation de défaut

Comme expliqué précédemment, la méthode de localisation de défaut proposée se base sur l'AMD. Dans la section portant sur la détection de défaut, nous avons étudié le fonctionnement du convertisseur après l'apparition d'un défaut de type circuit ouvert, d'abord pour l'état de commutation 2 (à courant de sortie positif), puis de manière générale. Pour cela, en cas de défaut, nous avons exposé l'approche générale choisie pour établir le chemin du courant traversant les composants du circuit ainsi que la tension de sortie correspondante. Cependant, cette étude n'a été détaillée que pour un seul état de commutation (l'état 2). Pour appliquer la méthode de localisation de défaut en employant l'AMD, il est nécessaire de

mener une étude exhaustive du fonctionnement du convertisseur en cas de défaut dans tous les cas possibles. De ce fait, l'étude exhaustive des impacts d'un défaut dans le cadre de l'AMD est résumée et présentée dans les Tableaux I.4 et I.5. Dans les Tableaux I.4 et I.5, la deuxième colonne (en partant de la gauche) indique les interrupteurs actifs passants correspondant à chaque état de commutation en mode sain. Il est à noter que les Tableaux I.4 et I.5 sont respectivement établis pour un courant de sortie positif ou négatif. Les composants passants en mode sain sont déterminés selon les données du Tableau I.3. Par exemple, dans le Tableau I.3, dans l'état de commutation 3 (à courant positif), les composants DC1, S12, S23, et S24 sont passants. Ainsi, nous devons examiner le nouveau chemin de passage du courant et la nouvelle tension de sortie en cas de défaut de type circuit ouvert au niveau de S12, S23 et S24. Dans le Tableau I.4, on trouve donc 3 lignes dans l'état 3, correspondant aux trois cas de défauts possibles. Il faut mentionner qu'ici la diode de clamp DC1 n'est pas supposée être en circuit ouvert car dans cette partie nous avons fait l'hypothèse que les diodes sont suffisamment robustes pour ne jamais être défectueuses. Pour cette même raison, l'état 9, n'est pas mentionné dans le Tableau I.4 car selon le Tableau I.3, lorsque l'état 9 est appliqué et que le signe du courant est positif, seules les diodes de roue libre D14, D13, D22, et D21 forment le chemin du courant et dans ce cas, aucun interrupteur actif ne conduit. La troisième colonne (en partant de la gauche) est établie selon le principe exposé dans la section portant sur la détection de défaut.

Dès la déclaration d'un défaut, l'état de commutation généré par le modulateur à l'instant de déclaration du défaut est mémorisé et la phase de la localisation de défaut se déclenche. Selon le signe du courant de charge et l'état de commutation mémorisé, la ligne concernée au niveau du Tableau I.4 ou du Tableau I.5 est repérée. Ensuite, les valeurs des tensions de sortie estimées, mémorisées dans la LUT (troisième colonne en partant de la gauche du Tableau I.4 ou I.5, pour la ligne concernée) sont comparées avec la tension de sortie quantifiée. Il est important de mentionner que toutes les valeurs estimées figurant dans la LUT sont rafraîchies à chaque mesure de la tension V_{dc} . De plus, la tension de sortie quantifiée V_m a déjà été obtenue lors de la phase de détection de défaut, détaillée précédemment. Si le quantificateur de tension n'avait pas été mis en œuvre, aucune des tensions mémorisées dans la LUT ne serait exactement égale à la tension de sortie mesurée (chutes ohmiques, chutes de tension aux bornes des composants et des erreurs de mesure). Cette préoccupation est similaire à celle mentionnée lors de la phase de détection de défaut et une fausse localisation de défaut serait alors possible. Cependant, grâce au quantificateur de tension, toute possibilité de fausse localisation du composant défectueux est ainsi éliminée, comme lors de la détection de défaut. Afin de mieux comprendre la procédure de localisation de défaut proposée, quelques exemples sont détaillés ci-dessous.

Supposons qu'un défaut de circuit ouvert survienne au niveau de l'interrupteur S12 et que le défaut ait été déclaré lors de l'état de commutation numéro 2, alors que le signe du courant de charge est positif. D'après le Tableau I.3, en mode sain et dans ce cas, les composants S11, S12, S23 et DC4 conduisent le courant. Dans la troisième colonne (en partant de la gauche) du Tableau I.4, la tension de sortie appliquée en cas d'apparition d'un défaut au niveau d'un des composants S11, S12 ou S23 est estimée à partir de chaque mesure de V_{dc} , puis

Chapitre I : Diagnostic de défaut

Tableau I.4. LUT destinée à localiser un interrupteur actif défaillant ($I > 0$)

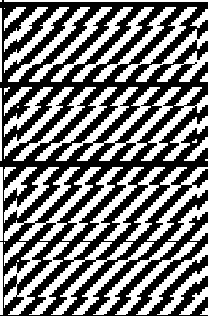
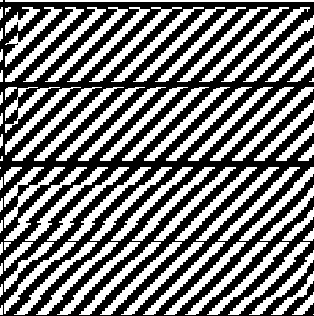
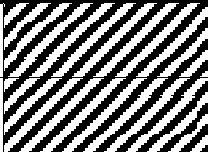
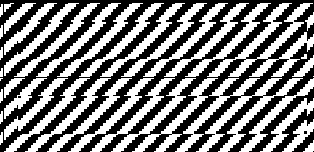




Etat	Composant défaillant en circuit ouvert	Composants passants (Tension de sortie)	2 ^{ème} étape	Composants passants (Tension de sortie)
1, ($I > 0$)	S11	DC1, S12, S23, S24 ($V_{dc}/2$)	S24 est commandé à l'ouverture	DC1, S12, S23, DC4 (0)
1, ($I > 0$)	S24	S11, S12, S23, DC4 ($V_{dc}/2$)		S11, S12, S23, DC4 ($V_{dc}/2$)
1, ($I > 0$)	S12	D14, D13, S23, S24 (0)	S23 est commandé à l'ouverture	D14, D13, D22, D21 ($-V_{dc}$)
1, ($I > 0$)	S23	S11, S12, D22, D21 (0)		S11, S12, D22, D21 (0)
2, ($I > 0$)	S11	DC1, S12, S23, DC4 (0)	S11 est commandé à l'ouverture	DC1, S12, S23, DC4 (0)
2, ($I > 0$)	S23	S11, S12, D22, D21 (0)		DC1, S12, D22, D21 ($-V_{dc}/2$)
2, ($I > 0$)	S12	D14, D13, S23, DC4 ($-V_{dc}/2$)		
3, ($I > 0$)	S12	D14, D13, S23, S24 (0)	S12 est commandé à l'ouverture	D14, D13, S23, S24 (0)
3, ($I > 0$)	S24	DC1, S12, S23, DC4 (0)		D13, D14, S23, DC4 ($-V_{dc}/2$)
3, ($I > 0$)	S23	DC1, S12, D22, D21 ($-V_{dc}/2$)		
4, ($I > 0$)	S11	DC1, S12, D22, D21 ($-V_{dc}/2$)		
4, ($I > 0$)	S12	D14, D13, D22, D21 ($-V_{dc}$)		
5, ($I > 0$)	S12	D14, D13, S23, DC4 ($-V_{dc}/2$)	S12 est commandé à l'ouverture	D14, D13, S23, DC4 ($-V_{dc}/2$)
5, ($I > 0$)	S23	DC1, S12, D22, D21 ($-V_{dc}/2$)		D13, D14, D22, D21 ($-V_{dc}$)
6, ($I > 0$)	S23	D14, D13, S23, S24 ($-V_{dc}$)		
6, ($I > 0$)	S24	D14, D13, S23, DC4 ($-V_{dc}/2$)		
7, ($I > 0$)	S12	D14, D13, D22, D21 ($-V_{dc}$)		
8, ($I > 0$)	S23	D14, D13, D22, D21 ($-V_{dc}$)		

mémorisée dans la partie correspondant à l'état 2. Le signe du courant de charge étant positif, il faut effectivement se référer au Tableau I.4. Dans cette section du Tableau I.4, trois valeurs de la tension de sortie sont mémorisées : 0, 0 et $-V_{dc}/2$. Ayant considéré ici l'apparition d'un défaut au niveau de S12, le transfert du courant s'effectue de S11 et S12 vers les diodes de roue libre D13 et D14. Ainsi, les composants passants (après défaut) seront D14, D13, S23 et DC4 ; la tension de sortie mesurée par le capteur prendra alors une valeur proche de $-V_{dc}/2$.

Chapitre I : Diagnostic de défaut

Par conséquent la valeur $-V_{dc}/2$ sera affectée à la tension de sortie quantifiée. Cette valeur sera comparée avec les trois tensions estimées (0, 0, et $-V_{dc}/2$), enregistrées dans la LUT. A l'issue de cette comparaison, l'interrupteur S12 sera identifié comme le composant défaillant. En pratique, lors d'une implémentation sur une cible matérielle FPGA, cette comparaison ainsi que l'identification du composant défaillant S12 s'effectueront en une seule période d'horloge après l'instant de détection du défaut.

Tableau I.5. LUT destinée à localiser un interrupteur actif défaillant ($I < 0$)

Etat	Composant supposé en circuit ouvert	Composants passants (Tension de sortie)	2 ^{ème} étape	Composants passants (Tension de sortie)
2, ($I < 0$)	S22	D11, D12, D23, D24 (V_{dc})		
3, ($I < 0$)	S13	D11, D12, D23, D24 (V_{dc})		
4, ($I < 0$)	S21	D11, D12, DC3, S22 ($V_{dc}/2$)		
4, ($I < 0$)	S22	D11, D12, D23, D24 (V_{dc})		
5, ($I < 0$)	S13	D11, D12, S22, DC3 ($V_{dc}/2$)	S13 est commandé à l'ouverture	D11, D12, S22, DC3 ($-V_{dc}/2$)
5, ($I < 0$)	S22	DC2, S13, D23, D24 ($V_{dc}/2$)		D11, D12, D23, D24 ($-V_{dc}$)
6, ($I < 0$)	S13	D11, D12, D23, D24 (V_{dc})		
6, ($I < 0$)	S14	DC2, S13, D23, D24 ($V_{dc}/2$)		
7, ($I < 0$)	S13	D11, D12, S21, S22 (0)	S13 est commandé à l'ouverture	D11, D12, S21, S22 (0)
7, ($I < 0$)	S21	DC2, S13, DC3, S22 (0)		D11, D12, DC3, S22 ($V_{dc}/2$)
7, ($I < 0$)	S22	DC2, S13, D23, D24 ($V_{dc}/2$)		
8, ($I < 0$)	S14	DC2, S13, DC3, S22 (0)	S14 est commandé à l'ouverture	DC2, S13, DC3, S22 (0)
8, ($I < 0$)	S22	S13, S14, D23, D24 (0)		DC2, S13, D23, D24 ($V_{dc}/2$)
8, ($I < 0$)	S13	D11, D12, DC3, S22 ($V_{dc}/2$)		
9, ($I < 0$)	S13	D11, D12, S22, S21 (0)	S13 est commandé à l'ouverture	D11, D12, S22, S21 (0)
9, ($I < 0$)	S14	DC2, S13, S22, S21 ($-V_{dc}/2$)		D11, D12, S22, S21 (0)
9, ($I < 0$)	S22	S13, S14, D23, D24 (0)		D11, D12, D23, D24 (V_{dc})
9, ($I < 0$)	S21	S13, S14, DC3, S22 ($-V_{dc}/2$)		D11, D12, DC3, S22 ($V_{dc}/2$)

Selon l'exemple présenté précédemment, lors de la défaillance de S12, l'identification du composant défaillant s'effectue lors d'une unique comparaison. Cependant, si le composant défaillant est S11 ou bien S23 (en supposant le même état de commutation 2 et le signe du courant de sortie positif), nous ne pourrions pas repérer le composant défaillant à l'issue d'une première comparaison : on parlera alors dans ce mémoire de « première étape ». Par exemple, supposons que l'interrupteur S11 soit en circuit ouvert. Après l'apparition du défaut au niveau de S11, la tension de sortie du convertisseur prend une valeur proche de 0. Ainsi, la tension quantifiée sera égale à 0. En comparant la tension quantifiée avec les trois tensions estimées (0, 0, et $-V_{dc}/2$), mémorisées dans la LUT, nous ne serons pas capables à repérer le composant défaillant. En effet, dans ce cas, la tension estimée et égale à 0 correspond à deux cas de défaut possibles : cas où un défaut survient soit au niveau de S11, soit au niveau de S23. Par conséquent, à l'issue de cette première étape, nous hésiterons entre S11 et S23 et ne pourrions pas discerner le composant défectueux. Dans la partie suivante, nous présentons la deuxième étape à effectuer pour identifier le composant défaillant.

3.3.1.2. Localisation de défaut lors de la deuxième étape

Dans la partie précédente, nous avons constaté que dans quelques cas, l'identification du composant défaillant peut être réalisée lors d'une première et unique comparaison (ou première étape) de la tension quantifiée avec les tensions estimées. Il s'agit des cas où une même valeur de V_{dc} mémorisée n'apparaît qu'une seule fois dans la troisième colonne des Tableau I.4 ou Tableau I.5, au niveau d'un état de commutation donné. Dans les autres cas, il faut effectuer une étape supplémentaire car nous ne pourrions pas distinguer le composant défaillant. Ainsi, selon le Tableau I.4, pour un courant de sortie positif et lorsque les états de commutation 4, 6, 7 ou 8 sont appliqués, la localisation du défaut est effectuée lors de la première étape. Cependant, toujours à courant de sortie positif, lors des états 1 et 5, une deuxième étape est impérative. Pour les états de commutation 2 et 3, le nombre d'étapes nécessaires (une ou deux) dépend du composant défaillant. De manière plus globale et quel que soit le signe du courant de sortie, nous pouvons déduire que lors d'un défaut de type circuit ouvert d'un interrupteur externe (S11, S14, S21, ou S24), deux étapes sont impératives ; lors d'un défaut au niveau d'un interrupteur interne (S12, S13, S22, ou S23), l'identification du composant défectueux s'effectue en une ou deux étapes, selon l'état de commutation concerné par le défaut.

Comme nous l'avons expliqué précédemment, lorsqu'une deuxième étape est nécessaire, l'algorithme de localisation de défaut hésite entre deux interrupteurs actifs différents. L'objectif de la deuxième étape est de lever cette impossibilité de sélection du composant réellement en défaut. Pour cela, nous appliquerons au convertisseur des ordres de commande spécifiquement étudiés et destinés à tester la défaillance d'un de ces deux composants potentiellement en défaut. Afin de lever l'ambiguïté, deux niveaux différents pour la tension de sortie du convertisseur devront être obtenus, selon le composant réellement en défaut. Comparativement aux ordres de commande de l'état de commutation mémorisé lors de l'apparition du défaut, un des interrupteurs actifs sera commandé à l'ouverture, au lieu d'être commandé à la fermeture (voir la quatrième colonne des Tableaux I.4 et I.5). Il s'agira d'un

des deux interrupteurs actifs, identifiés comme potentiellement défaillants à l'issue de la première étape. Le choix d'un de ces deux interrupteurs sera justifié par la suite et fera l'objet d'explications complémentaires. Suite à la commande à l'ouverture de l'interrupteur choisi, le chemin du courant et la tension de sortie doivent être de nouveau estimés. Pour établir la cinquième colonne des Tableaux I.4 et I.5, nous employons la même règle et la même procédure que pour établir la troisième colonne. Comme lors de la première étape, la nouvelle tension de sortie du convertisseur doit être de nouveau mesurée et quantifiée, puis comparée avec les nouvelles valeurs des tensions estimées.

Concernant la deuxième étape, deux points doivent être développés. Le premier point concerne le « critère temporel », détaillé lors de la détection de défaut. Il s'agit maintenant d'éviter toute fausse identification. Après avoir modifié les ordres de commande lors de la deuxième étape, il ne faut pas réaliser aussitôt la comparaison entre la tension de sortie quantifiée et les tensions estimées mais il faut également intégrer le « critère temporel », comme lors de la détection. Le deuxième point à mentionner concerne le choix de l'interrupteur actif à commander à l'ouverture. Cela est maintenant détaillé à l'aide d'un exemple.

Supposons qu'un défaut de type circuit ouvert survienne au niveau de S11 et que l'état de commutation mémorisé suite à la détection du défaut soit l'état 1, alors que le courant de charge est positif. Selon ces hypothèses, il faut donc se référer au Tableau I.4 (courant de sortie positif). La tension de sortie mesurée après l'apparition du défaut prend alors une valeur proche de $V_{dc}/2$ et la tension de sortie quantifiée sera donc $V_{dc}/2$. En comparant la tension quantifiée avec les tensions estimées, l'algorithme de localisation ne pourra choisir l'interrupteur défaillant, entre S11 et S24. Ainsi, l'exécution de la deuxième étape est impérative. Maintenant, il faut cependant sélectionner attentivement l'interrupteur à commander à l'ouverture (au lieu d'être commandé à la fermeture), parmi ceux qui conduisent le courant en mode de défaillance (colonne 2 du Tableau I.4). Etant donnés les interrupteurs actifs passants lors de la défaillance de S11 (DC1, S12, S23, S24) ou de S24 (S11, S12, S23, DC4), nous devons donc choisir parmi S12, S23, S24 ou S11. Il ne faut pas ouvrir S12 ou S23 car ces deux interrupteurs sont communs au passage du courant, dans les deux cas. En effet, à ce niveau de l'algorithme de localisation, nous sommes certains que le chemin réel de passage du courant est formé soit des composants DC1, S12, S23, S24, soit des composants S11, S12, S23, DC4. Ainsi, en ouvrant S12 ou S23, un nouveau chemin de passage du courant sera imposé et nous ne pourrons plus localiser le défaut. En revanche, si nous commandons à l'ouverture S11 ou S24, nous localiserons avec succès, dans les deux cas, le composant effectivement défaillant. Néanmoins, nous aurons 50 % de chance de générer un transfert du courant par d'autres semi-conducteurs. Supposons que nous ayons choisi de commander S11 à l'ouverture. Dans ce cas, si le composant défaillant est effectivement S11, les composants passants DC1, S12, S23, S24 ne changeront pas, après avoir interrompu l'ordre de commande de S11 (S11 était déjà en défaut de circuit ouvert). Cependant, si le composant défaillant est S24, un transfert du courant sera effectué. De même, si nous interrompons l'ordre de commande de S24 alors que le composant défaillant est S24, aucun transfert du courant ne sera effectué, mais lors d'un défaut au niveau de S11, nous générerons

donc un transfert du courant. Ainsi, en choisissant S11 ou S24 nous aurons 50 % de chance d'éviter un transfert du courant. Il est à noter que le choix de S11 ou de S24 est indifférent. Dans ce travail de recherche, entre S11 et S24, nous avons choisi S24, arbitrairement. Bien que nous ayons rempli le critère de tension et le critère temporel en concevant le quantificateur de tension et en employant un compteur, il faut éviter autant que possible un transfert du courant. Un transfert du courant lors de la phase de localisation de défaut peut engendrer un régime transitoire, qui n'est pas souhaitable. Pour tous les autres cas et de manière générale, nous pouvons mentionner que lorsque nous hésitons entre deux interrupteurs actifs, il faut commander indifféremment l'un des deux à l'ouverture pour lever l'ambiguïté.

3.3.2. Localisation de défaut au niveau d'un interrupteur actif ou d'une diode de clamp

Dans la section précédente, nous avons fait l'hypothèse que les diodes de clamp ne sont jamais défailtantes. Dans cette partie, nous considérerons qu'elles peuvent l'être également, tout comme les interrupteurs actifs. L'analyse de la localisation de défaut présentée dans la partie précédente n'était valable que lors d'un défaut d'un interrupteur actif. Ainsi, dans cette section, nous prendrons en compte la possibilité d'un défaut d'une diode de clamp et montrerons que sa défaillance peut également être détectée et localisée en modifiant à cet effet les deux LUT précédemment établies.

3.3.2.1. Validité de la localisation de défaut au niveau d'un interrupteur actif quand une diode de clamp est en circuit ouvert

Comme expliqué précédemment, pour établir les deuxième et troisième colonnes des Tableaux I.4 et I.5, nous nous sommes référés au Tableau I.3 dans lequel figurent les composants passants pour chaque état de commutation. Pour chaque interrupteur actif conduisant le courant, nous avons envisagé sa défaillance en circuit ouvert : le nouveau chemin du courant et la nouvelle tension de sortie avaient été estimés. Cependant, dans les parties précédentes, seuls les interrupteurs actifs avaient été supposés en circuit ouvert. Ainsi, dans les états de commutation où le courant traverse au moins une diode de clamp, les analyses correspondantes présentées dans les LUT (Tableaux I.4 et I.5) ne sont plus valables. Ces analyses doivent maintenant être modifiées et complétées.

Par exemple, dans l'état de commutation 8, à courant de sortie positif, les composants D14, D13, S23, et DC4 sont passants, en mode sain (voir le Tableau I.3). Dans le Tableau I.4, seul l'interrupteur S23 a été supposé en circuit ouvert. Dans ce cas, si un défaut réel survient au niveau de S23 (dans l'état 8), le composant défectueux S23 peut être identifié lors de la première étape. Cependant, la diode de clamp DC4 doit maintenant être considérée comme potentiellement défailtante. Dans ce cas, il se trouve qu'un défaut de type circuit ouvert, soit au niveau de S23, soit au niveau de DC4, donne lieu à une même tension de sortie. Ainsi, nous ne pourrions pas identifier le semi-conducteur défailtant lors de la première étape car nous hésiterions entre DC4 et S23. L'exécution d'une deuxième étape est indispensable. Comme constaté selon l'exemple présenté, en tenant compte de la défaillance potentielle des

diodes de clamp, les Tableaux I.4 et I.5 ne sont plus valables pour tous les cas. Par la suite, l'analyse détaillée concernant l'identification d'une diode de clamp défaillante sera présentée.

En conclusion de cette section, il est important de mentionner que le fait de ne pas prendre en compte la possibilité de défaillance d'une diode de clamp peut conduire à la fausse localisation d'un interrupteur actif, qui ne serait alors pas en défaut. Ceci a été illustré par l'exemple précédent lors de la défaillance de DC4 dans l'état de commutation 8 : l'interrupteur actif S23 sera alors identifié à tort comme défaillant. Cette fausse identification aura ensuite des conséquences si l'on envisage la tolérance de pannes du convertisseur, suite à cette détection : la continuité de service du convertisseur ne pourra pas être assurée. Cette remarque est spécifique au cas des convertisseurs NPC (qui comportent des diodes de clamp) et n'est donc pas applicable aux autres structures multiniveaux. On a cependant pu remarquer lors de nos recherches bibliographiques (détection et localisation de défaut, tolérance de pannes) portant sur les structures NPC que les auteurs ont très rarement envisagé, dans leurs études, le cas du défaut d'une diode de clamp : la validité des algorithmes de diagnostic de pannes proposés (et par conséquent la tolérance de pannes qui peut s'en suivre) reste donc à démontrer dans le cas du défaut d'une diode de clamp .

3.3.2.2. Principe général de la stratégie de localisation de défaut

Dans le cas d'une diode de clamp défaillante, le principe général d'identification retenu sera également basé sur l'AMD, tout comme celui d'un interrupteur actif. Ainsi, un algorithme général de localisation de défaut pourra être établi (interrupteur actif et diode de clamp). Néanmoins, on peut s'attendre à ce que cette généralisation alourdisse et complexifie les LUT présentées dans les Tableaux I.4 et I.5. De plus, il faudra vérifier, de manière exhaustive, que tous les cas de défaut (interrupteur actif et diode de clamp) peuvent être traités par cette approche AMD, intégrant plusieurs étapes, associées à des changements d'ordres de commande d'interrupteurs. De même, lors de la défaillance d'un interrupteur actif, on peut s'attendre à ce que le composant défectueux soit identifié un peu moins rapidement que dans le cas où les diodes de clamp sont supposées non défaillantes.

Tableau I.6. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) ($I > 0$)

Etat	Composant supposé en circuit ouvert	Composants passants (Tension de sortie)	2 ^{ème} étape	Composants passants (Tension de sortie)
1, ($I > 0$)	S11	DC1, S12, S23, S24 ($V_{dc}/2$)	S24 est commandé à l'ouverture	DC1, S12, S23, DC4 (0)
1, ($I > 0$)	S24	S11, S12, S23, DC4 ($V_{dc}/2$)		S11, S12, S23, DC4 ($V_{dc}/2$)
1, ($I > 0$)	S12	D14, D13, S23, S24 (0)	S23 est commandé à l'ouverture	D14, D13, D22, D21 ($-V_{dc}$)
1, ($I > 0$)	S23	S11, S12, D22, D21 (0)		S11, S12, D22, D21 (0)
2, ($I > 0$)	S12	D14, D13, S23, DC4 ($-V_{dc}/2$)		

Chapitre I : Diagnostic de défaut

2, (I>0)	S11	DC1, S12, S23, DC4 (0)	S24 est commandé à la fermeture	DC1, S12, S23, S24 (Vdc/2)
2, (I>0)	S23	S11, S12, D22, D21 (0)		S11, S12, D22, D21 (0)
2, (I>0)	DC4	S11, S12, D22, D21 (0)		S11, S12, S23, S24 (Vdc)
3, (I>0)	S23	DC1, S12, D22, D21 (-Vdc/2)		
3, (I>0)	S12	D14, D13, S23, S24 (0)	S11 est commandé à la fermeture	D14, D13, S23, S24 (0)
3, (I>0)	DC1	D14, D13, S23, S24 (0)		S11, S12, S23, S24 (Vdc)
3, (I>0)	S24	DC1, S12, S23, DC4 (0)		S11, S12, S23, DC4 (Vdc/2)
4, (I>0)	S11	DC1, S12, D22, D21 (-Vdc/2)		
4, (I>0)	S12	D14, D13, D22, D21 (-Vdc)		
5, (I>0)	S12	D14, D13, S23, DC4 (-Vdc/2)	S11 est commandé à la fermeture	D14, D13, S23, DC4 (-Vdc/2)
	DC1	D14, D13, S23, DC4 (-Vdc/2)		S11, S12, S23, DC4 (Vdc/2)
	S23	DC1, S12, D22, D21 (-Vdc/2)		S11, S12, D22, D21 (0) (voir le Tableau I.8 pour la 3 ^{ème} étape)
	DC4	DC1, S12, D22, D21 (-Vdc/2)		S11, S12, D22, D21 (0) (voir le Tableau I.8 pour la 3 ^{ème} étape)
6, (I>0)	S23	D14, D13, S23, S24 (-Vdc)		
6, (I>0)	S24	D14, D13, S23, DC4 (-Vdc/2)		
7, (I>0)	S12	D14, D13, D22, D21 (-Vdc)	S11 est commandé à la fermeture	D14, D13, D22, D21 (-Vdc)
7, (I>0)	DC1	D14, D13, D22, D21 (-Vdc)		S11, S12, D22, D21 (0)
8, (I>0)	S23	D14, D13, D22, D21 (-Vdc)	S24 est commandé à la fermeture	D14, D13, D22, D21 (-Vdc)
8, (I>0)	DC4	D14, D13, D22, D21 (-Vdc)		D14, D13, S23, S24 (0)

Selon les cas, le temps nécessaire à la localisation du défaut pourra augmenter car il faudra effectuer davantage d'étapes. Cependant, dans certains cas, le nombre d'étapes à effectuer pourra également rester inchangé. C'est le cas lorsque seuls des interrupteurs actifs forment le chemin de passage du courant (sans aucune diode de clamp). Les Tableaux I.6 et I.7 ont été établis pour identifier un composant défaillant, soit une diode de clamp, soit un interrupteur

Chapitre I : Diagnostic de défaut

actif. Le Tableau I.6 concerne les cas où le signe du courant de sortie est positif, au moment de la détection du défaut et le Tableau I.7 porte sur les cas à courant de sortie négatif. Ci-après, pour éviter la répétition, les explications présentées ne porteront que sur le Tableau I.6. Des analyses similaires ont conduit à établir le Tableau I.7.

Tableau I.7. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) ($I < 0$)

Etat	Composant supposé en circuit ouvert	Composants passants (Tension de sortie)	2 ^{ème} étape	Composants passants (Tension de sortie)
2, ($I < 0$)	S22	D11, D12, D23, D24 (V_{dc})	S21 est commandé à la fermeture	D11, D12, D23, D24 (V_{dc})
2, ($I < 0$)	DC3	D11, D12, D23, D24 (V_{dc})		D11, D12, S21, S22 (0)
3, ($I < 0$)	S13	D11, D12, D23, D24 (V_{dc})	S14 est commandé à la fermeture	D11, D12, D23, D24 (V_{dc})
3, ($I < 0$)	DC2	D11, D12, D23, D24 (V_{dc})		S13, S14, D23, D24 (0)
4, ($I < 0$)	S21	D11, D12, DC3, S22 ($V_{dc}/2$)		
4, ($I < 0$)	S22	D11, D12, D23, D24 (V_{dc})		
5, ($I < 0$)	S13	D11, D12, S22, DC3 ($V_{dc}/2$)	S14 est commandé à la fermeture	D11, D12, S22, DC3 ($V_{dc}/2$)
5, ($I < 0$)	DC2	D11, D12, S22, DC3 ($V_{dc}/2$)		S13, S14, S22, DC3 ($-V_{dc}/2$)
5, ($I < 0$)	S22	DC2, S13, D23, D24 ($V_{dc}/2$)		S13, S14, D23, D24 (0) (voir le Tableau I.8 pour la 3 ^{ème} étape)
5, ($I < 0$)	DC3	DC2, S13, D23, D24 ($V_{dc}/2$)		S13, S14, D23, D24 (0) (voir le Tableau I.8 pour la 3 ^{ème} étape)
6, ($I < 0$)	S13	D11, D12, D23, D24 (V_{dc})		
6, ($I < 0$)	S14	DC2, S13, D23, D24 ($V_{dc}/2$)		
7, ($I < 0$)	S22	DC2, S13, D23, D24 ($V_{dc}/2$)		
7, ($I < 0$)	S13	D11, D12, S21, S22 (0)	S14 est commandé à la fermeture	D11, D12, S21, S22 (0)
7, ($I < 0$)	DC2	D11, D12, S21, S22 (0)		S13, S14, S21, S22 ($-V_{dc}$)
7, ($I < 0$)	S21	DC2, S13, DC3, S22 (0)		S14, S13, DC3, S22 ($-V_{dc}/2$)
8, ($I < 0$)	S13	D11, D12, DC3, S22 ($V_{dc}/2$)		

8, ($I < 0$)	S14	DC2, S13, DC3, S22 (0)	S21 est commandé à la fermeture	DC2, S13, S21, S22 (-Vdc/2)
8, ($I < 0$)	S22	S13, S14, D23, D24 (0)		S13, S14, D23, D24 (0)
8, ($I < 0$)	DC3	S13, S14, D23, D24 (0)		S13, S14, S22, S21 (-Vdc)
9, ($I < 0$)	S13	D11, D12, S22, S21 (0)	S13 est commandé à l'ouverture	D11, D12, S22, S21 (0)
9, ($I < 0$)	S14	DC2, S13, S22, S21 (-Vdc/2)		D11, D12, S22, S21 (0)
9, ($I < 0$)	S22	S13, S14, D23, D24 (0)		D11, D12, D23, D24 (Vdc)
9, ($I < 0$)	S21	S13, S14, DC3, S22 (-Vdc/2)		D11, D12, DC3, S22 (Vdc/2)

D'après le Tableau I.6, nous pouvons observer que lors des états de commutation 1, 4 et 6, la même procédure qu'auparavant (diodes de clamp non défaillantes) peut être appliquée pour identifier l'interrupteur défaillant car le courant ne traverse aucune diode de clamp juste avant l'apparition du défaut. Un exemple a été sélectionné pour illustrer l'obtention du Tableau I.6 : il s'agit de l'état de commutation 2.

Dans le Tableau I.6 (pour l'état 2), la diode de clamp DC4 est supposée potentiellement en circuit ouvert, ce qui n'était pas le cas au Tableau I.4. Dans ces deux tableaux, on note que l'interrupteur défaillant S12 sera identifié lors de la première étape. Dans le Tableau I.4, lors de la première comparaison de la tension quantifiée avec les tensions estimées, nous hésiterons (si la tension de sortie après l'apparition du défaut atteint 0) entre les deux interrupteurs actifs S11 et S23 tandis que dans le Tableau I.6 nous hésiterons entre les trois semi-conducteurs S11, S23 et DC4. Dans le cas du Tableau I.4, il faut effectuer la deuxième étape en commandant l'interrupteur S11 à l'ouverture pour discerner l'interrupteur défaillant. La même procédure (en commandant S11 à l'ouverture) ne sera pas applicable avec succès dans le cas du Tableau I.6 car selon ce même Tableau I.6, lors d'un défaut circuit ouvert de S23 ou de DC4, les mêmes composants (S11, S12, D22, et D21) forment le nouveau chemin de passage du courant. Dans ce cas, en commandant les interrupteurs S11 ou S12 à l'ouverture, nous aurons de nouveau le même chemin du courant pour les deux cas ainsi que la même tension de sortie.

Pour résoudre ce problème, nous commandons à la fermeture l'interrupteur externe qui partage une connexion commune avec la diode de clamp potentiellement en circuit ouvert. Dans ce cas, nous commandons à la fermeture l'interrupteur externe S24, ayant une borne commune avec DC4. Plusieurs cas se présentent alors :

- S'il s'agit d'un défaut circuit ouvert de S11, après avoir effectué la deuxième étape (en commandant S24 à la fermeture), la diode de clamp DC4 sera bloquée et donc le transfert du courant s'effectue de DC4 vers S24 (voir les Figures I.22 et I.23). Ainsi, DC1, S12, S23, et S24 seront les nouveaux composants passants après l'exécution de

la deuxième étape (voir le Tableau I.6 et les Figures I.22 et I.23) et la tension de sortie atteint une valeur proche de $+V_{dc}/2$.

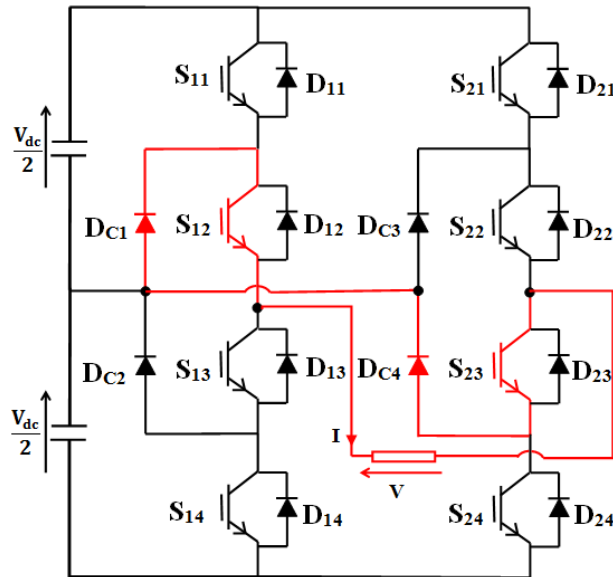


Figure I.22. Chemin de passage du courant en cas de défaut circuit ouvert de S11 avant l'exécution de la deuxième étape (état de commutation 2 et courant de sortie positif).

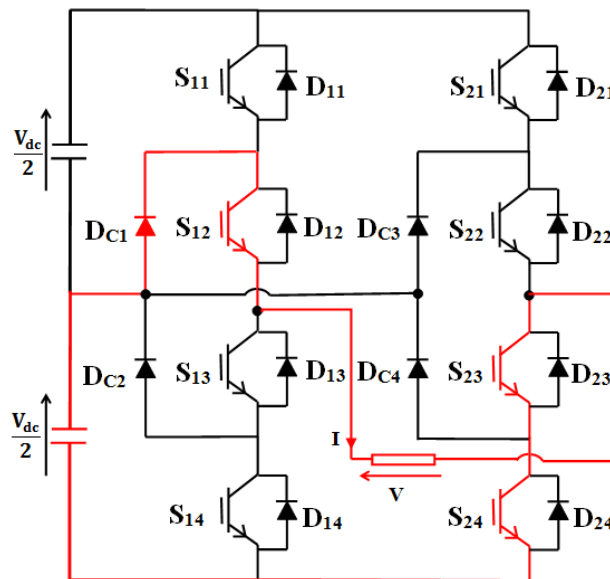


Figure I.23. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de S11 après la fermeture de S24 lors de la deuxième étape (état de commutation 2 et courant de sortie positif).

- S'il s'agit d'un défaut circuit ouvert de S23, après l'exécution de la deuxième étape, le chemin du courant ainsi que la tension de sortie restent inchangés (voir la Figure I.18) car la fermeture de S24 n'aura aucun impact sur le chemin du courant.
- Lors d'un défaut circuit ouvert de DC4, les composants S11, S12, D22, et D21 conduisent le courant, bien que les composants S11, S12, S22, et S23 soient commandés à la fermeture (voir le Tableau I.1, état 2). Après la deuxième étape (S24

commandé à la fermeture), les composants S23 et S24 seront tous deux commandés à la fermeture. Ainsi, les diodes de roue libre D22 et D21 seront bloquées et le transfert du courant s'effectue de D22 et D21 vers S23 et S24 (voir les Figures I.24 et I.25). Par conséquent, les nouveaux composants passants seront S11, S12, S23, et S24 (voir le Tableau I.6 et les Figures I.24 et I.25) et la tension de sortie atteint une valeur proche de +Vdc.

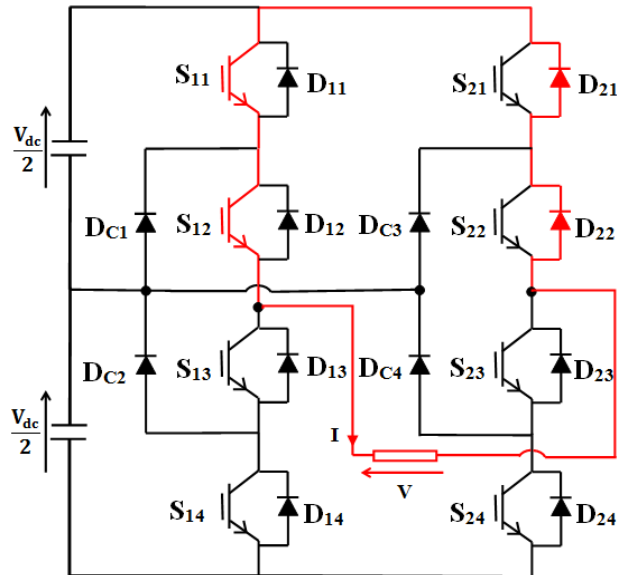


Figure I.24. Chemin de passage du courant en cas de défaut circuit ouvert de DC4 avant l'exécution de la deuxième étape (état de commutation 2 et courant de sortie positif).

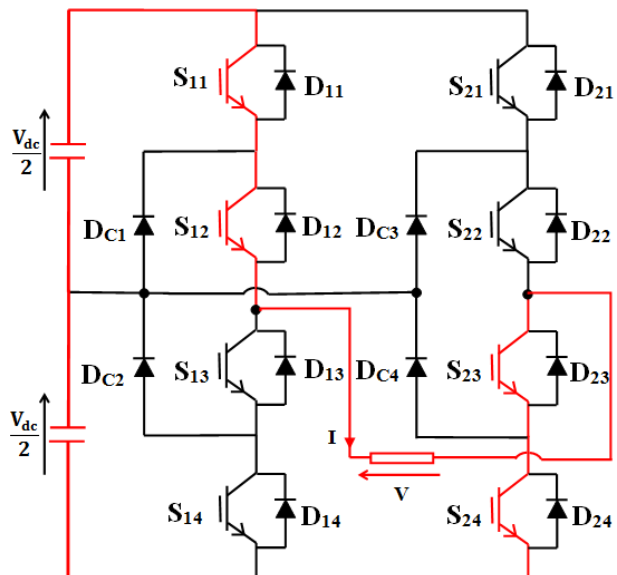


Figure I.25. Chemin de passage du courant en cas de défaut circuit ouvert au niveau de DC4 après la fermeture de S24 lors de la deuxième étape (état de commutation 2 et courant de sortie positif).

En conclusion, après avoir effectué la deuxième étape, trois tensions estimées distinctes ($V_{dc}/2$, 0, et V_{dc}) pourront être obtenues, selon le composant défaillant (S11, S23 ou DC4). En comparant la tension quantifiée avec les tensions estimées, le composant défaillant sera

repéré, sans aucune ambiguïté. Une étude similaire et exhaustive a été menée pour établir les deux Tableaux I.6 et I.7.

3.3.2.3. Localisation de défaut lors de la troisième étape

D'après les Tableaux I.6 et I.7, dans tous les états de commutation où au moins une diode de clamp conduit le courant (en mode sain et peut donc être potentiellement défaillante), deux étapes sont au minimum nécessaires pour identifier la diode de clamp défaillante. En particulier, lorsque l'état 5 est appliqué, deux diodes de clamp conduisent le courant en mode sain ; il s'agit de DC1 et DC4, à courant de sortie positif et de DC2 et DC3 à courant de sortie négatif (voir le Tableau I.3). Selon les Tableaux I.6 et I.7, lorsque l'état 5 est appliqué, trois étapes sont nécessaires pour identifier la défaillance de DC4 (lorsque le courant de sortie est positif) ou de DC3 (lorsque le courant de sortie est négatif). Dans le premier cas, à l'issue de la deuxième étape, il n'est pas possible de discerner le semi-conducteur défaillant, entre S23 et DC4. De même, dans le second cas, il n'est pas possible de discerner le semi-conducteur défaillant, entre S22 et DC3.

La modification des ordres de commande à réaliser lors de la troisième étape est synthétisée dans le Tableau I.8. Lors de la deuxième et de la troisième étape, un interrupteur actif externe, ayant une borne commune avec la diode de clamp supposée en circuit ouvert est commandé à la fermeture. Par exemple, selon le Tableau I.7, pour l'état 5, lors de la deuxième étape, S11 est commandé à la fermeture (borne commune avec DC1) et lors de la troisième étape, S24 est commandé à la fermeture (borne commune avec DC4). A l'issue du changement d'ordre de commande, la même procédure que lors de la seconde étape est mise en œuvre : la tension quantifiée est comparée avec les tensions estimées, en appliquant le critère de tension et le critère temporel

Pour conclure cette étude portant sur la localisation, la Figure I.26 présente le schéma récapitulatif général de l'algorithme de localisation de défaut, permettant de localiser un interrupteur actif ou une diode de clamp défaillante.

Tableau I.8. LUT destinée à localiser un interrupteur actif ou une diode de clamp défaillant(e) lors de la troisième étape.

Etat	Composant supposé en circuit ouvert	3 ^{ème} étape	Composants passants (Tension de sortie)
5, (I>0)	S23	S24 est commandé à la fermeture	S11, S12, D22, D21 (0)
5, (I>0)	DC4		S11, S12, S23, S24 (V _{dc})
5, (I<0)	S22	S21 est commandé à la fermeture	S13, S14, D23, D24 (0)
5, (I<0)	DC3		S13, S14, S21, S22 (-V _{dc})

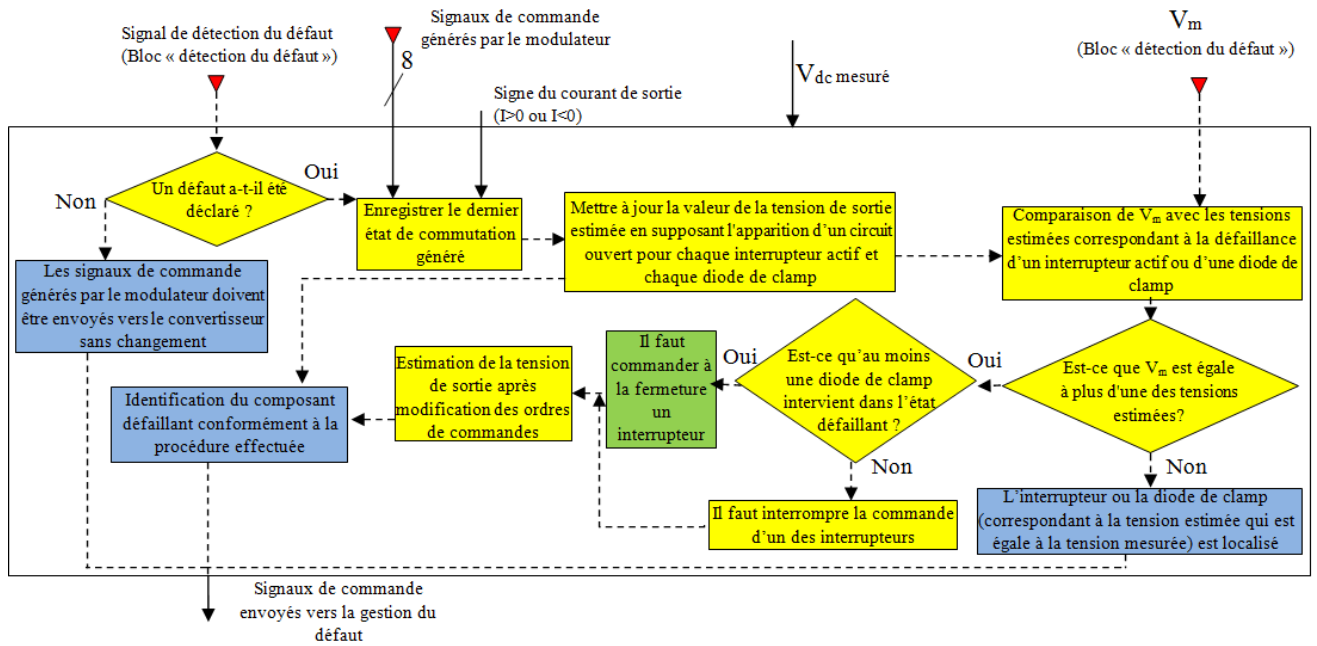


Figure I.26. Schéma récapitulatif de l'algorithme de localisation de défaut.

3. Conclusion

Dans ce chapitre, les différentes familles de convertisseurs multiniveaux ont tout d'abord été brièvement rappelées. Parmi celles-ci, nous nous sommes intéressés à la famille NPC pour plusieurs raisons. Tout d'abord, elle présente un nombre élevé d'avantages, comparativement aux autres topologies, comme ceci a été mentionné à la section 1.2.3. De plus, cette famille de convertisseurs n'avait pas encore été précédemment abordée lors de nos précédents travaux de recherche, les plus récents ayant concernés les topologies NPP et T-type. La littérature scientifique portant sur le diagnostic de défaut des convertisseurs NPC nous a également confortés dans notre choix : la présence de diodes de clamp dans la structure NPC a été très rarement considérée lors des études portant sur le diagnostic de défauts [2], [12], et [22]. Cependant, la nécessité de prendre en compte la défaillance potentielle d'une diode de clamp a été mentionnée et recommandée par plusieurs auteurs, spécialistes du domaine [2], [12], et [22]. Néanmoins, dans la majorité des publications, seul le diagnostic de défaut d'un interrupteur actif a été étudié, en supposant que les diodes de clamp ne pouvaient pas être défaillantes. Comme nous l'avons montré dans cette étude et pour la méthode de diagnostic proposée, la défaillance d'une diode de clamp perturbe le diagnostic de défaut d'un interrupteur et remet en cause sa validité.

Suite au choix d'une topologie NPC en pont en H à 5 niveaux, nous avons examiné les travaux de recherche effectués dans le domaine du diagnostic de défaut des convertisseurs NPC. Nous les avons classés selon deux catégories principales, puis les avantages et inconvénients des méthodes de diagnostic développées dans la littérature scientifique ont été examinés. Lors de nos travaux de recherche, nous nous sommes donc efforcés de proposer un

diagnostic de défaut ne présentant aucun des inconvénients mentionnés dans le Tableau I.1. De plus, un autre objectif de nos travaux de recherche était de proposer un unique algorithme qui permettra de diagnostiquer (détecter et localiser) aussi bien la défaillance d'un interrupteur actif que celle d'une diode de clamp. Par ailleurs, nous nous sommes attachés à minimiser, autant que possible, l'impact de la prise en compte de la défaillance potentielle des diodes de clamp, tant sur les performances temporelles que sur la complexité de l'algorithme de diagnostic.

Un diagnostic basé sur l'AMD a été présenté et développé par étapes. Dans un premier temps, seule la détection de défaut d'un interrupteur actif a été considérée. Les performances de l'algorithme ainsi développé reposent sur la prise en compte de deux critères permettant d'éviter toute fausse détection ainsi que toute fausse localisation, en rendant cet algorithme insensible aux imperfections du système de puissance réel (critère de tension et critère temporel), tout en préservant et privilégiant des performances temporelles élevées. La mise en œuvre d'un quantificateur de tension contribue principalement à l'obtention de ces performances. Comparativement à l'état de l'art précédemment mentionné, cet algorithme apporte ainsi une solution aux inconvénients mentionnés dans le Tableau I.1 ; cependant, il ne prend pas en compte le cas des diodes de clamp. Nous avons donc envisagé d'étendre notre étude, après avoir justifié qu'une diode de clamp défaillante perturbe le diagnostic, en interprétant à tort, par exemple, le défaut d'une diode de clamp comme celui d'un interrupteur actif : cette erreur de diagnostic conduit à appliquer ensuite une approche de tolérance de pannes non efficace, qui ne permet pas d'assurer la continuité de service du convertisseur. Nous sommes parvenus à généraliser notre algorithme de diagnostic, notamment via la modification de la localisation du défaut ; cette identification du défaut sera la base des actions menées au chapitre suivant pour garantir la continuité de service du convertisseur. En ajoutant des étapes supplémentaires à la localisation, nous avons établi la possibilité d'un diagnostic de défaut, basé sur un unique algorithme et permettant de diagnostiquer (détecter et localiser) aussi bien la défaillance d'un interrupteur actif que celle d'une diode de clamp. Le choix judicieux des actions à mener (modification des ordres de commande) lors des étapes de localisation a permis de limiter la complexité de l'algorithme ainsi que l'impact sur les performances temporelles. Dans ce chapitre, nous n'avons pas mentionné le défaut circuit ouvert d'une diode de roue libre, qui peut potentiellement se produire. Ce cas sera envisagé au chapitre suivant qui traite de la tolérance de pannes. Nous y proposerons la possibilité de garantir la continuité de service lors d'un défaut circuit ouvert d'une diode de roue libre, assurée grâce à la structure du convertisseur et sans nécessiter de diagnostic de défaut préalable.

Dans le chapitre suivant, nous allons maintenant nous intéresser à l'étape suivante : il s'agit d'assurer la continuité de service du convertisseur, en se basant sur le diagnostic de défaut du convertisseur, et plus particulièrement sur l'identification du semi-conducteur défaillant (interrupteur actif ou diode de clamp).

Chapitre II : Continuité de service

1. Introduction

Dès l'identification d'un composant défaillant, des mesures correctives adaptées doivent être prises pour assurer la continuité de service du convertisseur. D'après la littérature scientifique, on peut tout d'abord mentionner que ces mesures correctives peuvent être réalisées de deux manières différentes, selon le défaut diagnostiqué et selon la structure du convertisseur multiniveaux étudié :

- En modifiant les ordres de commande des interrupteurs actifs, sans intégrer de composants additionnels à la structure de base;
- En ajoutant des composants additionnels à la structure de base, afin de reconfigurer la topologie du convertisseur suite à la localisation d'un défaut. Ensuite, dans certains cas, les ordres de commande pourront être modifiés, si nécessaire.

Par ailleurs, il existe trois informations principales qui permettent de définir les mesures correctives à appliquer. La première concerne la topologie de convertisseur pour laquelle nous voulons assurer la continuité de service; chaque topologie impose des mesures correctives qui lui sont spécifiques. La deuxième est constituée des critères que l'on se fixe et que l'on veut respecter lors du fonctionnement à tolérance de pannes ; différents critères possibles seront exposés à la section suivante. Le choix de ces critères influencera de manière significative la complexité de l'approche à mettre en œuvre. A titre d'exemple, il est clair qu'un mode dégradé après défaut, s'il est acceptable pour l'application ciblée, sera moins contraignant qu'un fonctionnement nominal à assurer après l'apparition du défaut. La troisième est la nature du composant défaillant, qui pourra être un interrupteur actif ou une diode. La prise en compte de ces trois informations conduira à la conception d'une structure à tolérance de pannes, associée à une commande adaptée et qui permettra alors de répondre aux critères requis.

Dans ce travail de recherche, nous pouvons dès à présent mentionner que notre objectif est d'assurer la continuité de service du convertisseur NPC monophasé à cinq niveaux en mode nominal, et dans le cas de la défaillance d'un interrupteur actif ou d'une diode.

Au début de ce chapitre, nous introduirons tout d'abord les principaux critères que l'on peut envisager de satisfaire, durant le fonctionnement à tolérance de pannes d'un convertisseur multiniveaux. Ces différents critères seront issus d'une synthèse de l'ensemble des critères mentionnés ou satisfaits dans les différentes publications du domaine. Ensuite, dans la seconde section, nous présenterons un état de l'art synthétique et structuré de la continuité de service des convertisseurs multiniveaux. Les travaux de recherche présentés dans la littérature seront successivement examinés en deux parties. La première traitera de la continuité de service lorsqu'elle est réalisée sans ajouter de composants additionnels. La deuxième partie sera consacrée aux travaux de recherche ayant recours à des composants additionnels pour réaliser la continuité de service.

La section 3 de ce chapitre sera subdivisée en deux parties et portera sur les travaux de recherche qui ont été menés lors de cette thèse, dans le cas d'un convertisseur NPC monophasé en pont en H. La première partie est consacrée à la continuité de service dans le cas où le composant défaillant est une diode de clamp. Dans ce cas, la continuité de service du convertisseur est assurée en modifiant les ordres de commande, sans faire intervenir les composants additionnels. Dans la deuxième partie, les mesures correctives prises pour assurer la continuité de service dans le cas d'une défaillance au niveau d'un interrupteur actif seront présentées. Dans cet objectif, selon les critères introduits à la section 2, une structure à tolérance de pannes innovante, associée à une méthode de contrôle adaptée, sera présentée. Notons dès à présent que la stabilisation de la tension du point milieu du bus DC est primordiale pour les convertisseurs NPC. Ainsi, lors de la réalisation des mesures correctives, une attention particulière sera portée à ce point.

2. Etat de l'art

2.1. Critères potentiels à satisfaire lors de la continuité de service

Dans cette partie dédiée à l'état de l'art, nous nous intéressons à examiner les travaux de recherche effectués dans le domaine de la continuité de service (ou tolérance de pannes) des convertisseurs multiniveaux. Plus particulièrement, afin d'organiser au mieux cette section et présenter une étude synthétique, nous avons choisi d'examiner en premier lieu les critères satisfaits lors de la tolérance de pannes, par les différentes approches publiées dans la littérature. Les six critères mentionnés ci-dessous sont issus d'une synthèse de l'ensemble des critères mentionnés ou satisfaits dans les différentes publications du domaine ([1] à [17]).

Voici les six critères que nous avons identifiés :

- Critère 1 :* Restaurer la tension nominale ainsi que le courant nominal durant le fonctionnement à tolérance de pannes.
- Critère 2 :* Ne pas augmenter le contenu harmonique de la tension et du courant de sortie durant le fonctionnement à tolérance de pannes.
- Critère 3 :* Assurer la continuité de service du convertisseur en cas de défaut d'un interrupteur actif quelconque.
- Critère 4 :* Assurer le fonctionnement à tolérance de pannes en cas de défaut d'une diode de clamp.
- Critère 5 :* Ne pas employer de composants additionnels tels que des contacteurs ou des interrupteurs bidirectionnels.

Critère 6 : Assurer la continuité de service du convertisseur en cas de défaut d'une diode de roue libre.

Le Tableau II.1 ci-dessous positionne les publications du domaine, relativement à ces six critères. On peut également y constater que notre travail de recherche, présenté à la section 3, ambitionne de satisfaire tous ces six critères, ce qui n'est le cas d'aucune des publications que nous avons pu identifier lors de l'état de l'art.

Tableau II.1. Critères remplis par les travaux de recherche publiés dans la littérature.

Référence		Critère (chaque critère est défini à la section 2.1.)					
		1 ^{er}	2 ^{ème}	3 ^{ème}	4 ^{ème}	5 ^{ème}	6 ^{ème}
Ce travail de recherche		✓	✓	✓	✓	✓	✓
Des composants additionnels sont utilisés	[10]	✓	✓	✓	✗	✓	✗
	[11]	✓	✓	✓	✓	✗	✗
	[12]	✓	✓	✓	✗	✓	✗
	[13]	✓	✗	✓	---	✓	✗
	[14]	✗	✗	✓	---	✗	✗
	[15]	✓	✗	✓	---	✓	✗
	[16]	✗	✗	✓	---	✓	✗
	[17]	✓	✓	✓	✗	✓	✗
Aucun composant additionnel n'est employé	[1]	✗	✗	✓	---	✓	✗
	[2]	✓	✗	✓	✗	✓	✗
	[3]	✗	✗	✗	✓	✓	✗
	[4]	✗	✓	✓	✗	✓	✗
	[5]	✓	✗	✓	✓	✓	✗
	[6]	✗	✗	✗	✗	✓	✗
	[7]	✗	✓	✓	---	✓	✗
	[8]	✗	✗	✓	---	✓	✗
	[9]	✗	✗	✓	---	✓	✗
✓: Le Critère est rempli. ✗: Le Critère n'est pas rempli. ---: Le convertisseur ne comporte aucune diode de clamp							

Dans la section suivante, nous examinerons plus en détail les différentes publications mentionnées dans cette section. Dans un premier temps, nous considérerons les travaux de recherche traitant de la continuité de service de convertisseurs multiniveaux, sans avoir recours à des composants additionnels.

2.2. Travaux de recherche assurant la continuité de service sans composant additionnel

Le travail de recherche présenté dans [1] porte sur la tolérance de pannes d'un convertisseur T-Type triphasé, lors d'un défaut circuit ouvert d'un interrupteur actif. Cette stratégie est présentée selon deux parties. Dans un premier temps, la continuité de service du

convertisseur, lors d'un défaut au niveau d'un bras vertical (half-bridge leg), est examinée. La deuxième partie porte sur la continuité de service lorsqu'un défaut survient au niveau d'un bras horizontal (neutral point leg). Si le défaut apparaît au niveau d'un des interrupteurs du bras vertical, le point milieu du bras défectueux est connecté au point milieu du bus continu (en commandant à la fermeture les interrupteurs du bras horizontal, voir Figure II.1). Par conséquent, la tension de pôle correspondant au bras défectueux prend la valeur 0 V, suite au défaut et donc tout au long du fonctionnement après défaut. Les tensions des deux autres phases non affectées par le défaut sont contrôlées de telle sorte que les trois tensions de ligne en sortie du convertisseur soient équilibrées. Dans ce cas, les amplitudes du courant et de la tension de sortie, obtenues en mode sain avant défaut, ne sont plus atteignables. Si un défaut se produit au niveau d'un interrupteur du bras horizontal, la tension de pôle 0 V ne sera plus réalisable pour la phase défectueuse. Ainsi, après défaut, la commutation à trois niveaux sera remplacée par une commutation à deux niveaux : il s'en suit une augmentation des contenus harmoniques du courant et de la tension en sortie du convertisseur.

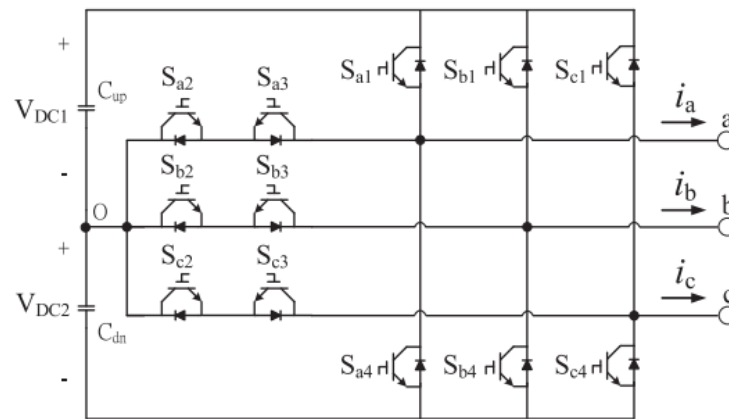


Figure II.1. Schéma d'un convertisseur T-Type triphasé [1].

Dans la publication [2], les auteurs proposent une stratégie à tolérance de pannes pour des redresseurs NPC (voir Figure II.2) et T-Type triphasés, connectés à une génératrice synchrone à aimants permanents. L'apparition d'un défaut circuit ouvert au niveau d'un interrupteur externe (pour le convertisseur NPC) ou d'un interrupteur d'un bras vertical (pour le convertisseur T-Type), a pour conséquence la distorsion du courant de sortie de la génératrice. Afin d'éliminer cette distorsion du courant, les auteurs proposent de régler le facteur de puissance du redresseur à 1. En effet, lorsque le redresseur NPC fonctionne à facteur de puissance unitaire, le courant ne traverse pas les interrupteurs externes. Pour régler le facteur de puissance à 1, le courant d'axe d du générateur est contrôlé à une valeur de consigne, déterminée selon les valeurs de l'inductance et de la résistance de l'ensemble constitué de la génératrice et de la ligne liant la génératrice au redresseur. De cette façon, la distorsion du courant de sortie peut être éliminée mais l'inconvénient majeur est que la génératrice n'est plus à son point de fonctionnement optimal. Si un défaut survient au niveau d'un interrupteur interne (cas du convertisseur NPC), certains vecteurs tension de la modulation SVM (Space Vector Modulation) appliquée ici, ne seront plus disponibles. Ainsi, la distorsion du courant de sortie ne sera pas parfaitement éliminée. Si un défaut apparaît au niveau d'un interrupteur

d'un bras horizontal (cas du convertisseur T-Type), la commutation à deux niveaux remplace la commutation à trois niveaux du mode sain. Ainsi, les contenus harmoniques du courant et de la tension de sortie seront augmentés.

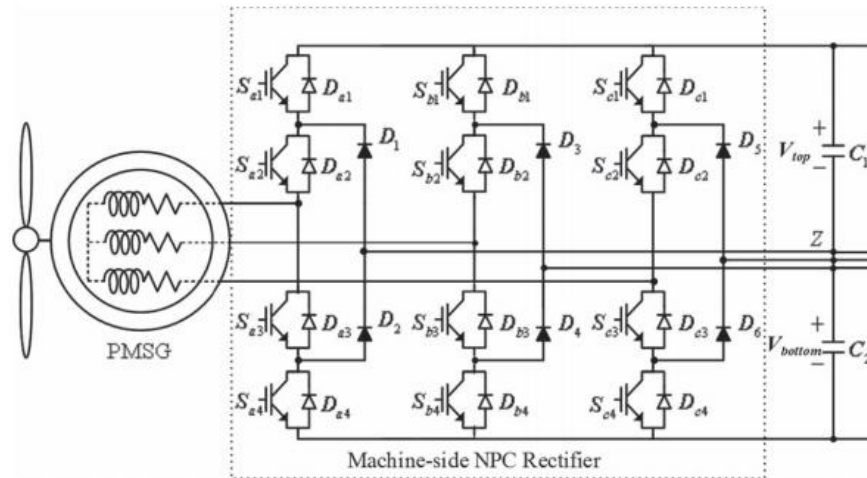


Figure II.2. Schéma d'un convertisseur NPC triphasé connecté à une génératrice synchrone à aimants permanents [2].

Les auteurs de la publication [3] présentent une stratégie de tolérance de pannes pour un convertisseur NPC triphasé (voir Figure II.2). Une méthode pour assurer la continuité de service est uniquement proposée lors d'un défaut circuit ouvert d'une diode de clamp. Le principe retenu repose sur une propriété spécifique aux convertisseurs multiniveaux : certains niveaux de tension peuvent être générés à partir de plusieurs états de commutations différents. On peut alors parler d'états redondants pour une même tension de sortie du convertisseur. Ainsi, lors d'un défaut au niveau d'une diode de clamp, quand cela est possible (états redondants possibles), les vecteurs tension de la modulation SVM qui ne peuvent plus être réalisés suite au défaut sont remplacés par l'application d'un état redondant. Cependant, il n'existe pas toujours de vecteurs tension redondants [3]. Si tel est le cas, pour la phase (ou bras) comportant la diode de clamp défectueuse, une commutation à deux niveaux sera appliquée, au lieu d'une commutation à trois niveaux. Ceci entraînera l'augmentation du contenu harmonique du courant et de la tension de sortie.

Quant à la publication [4], ses auteurs proposent également une stratégie de tolérance de pannes pour un convertisseur NPC triphasé lors d'un défaut court-circuit au niveau d'un interrupteur actif ou d'une diode de clamp. Lors d'un défaut de type court-circuit, un principe similaire à celui de la référence [3] est appliqué. Un vecteur tension qui n'est plus disponible suite au défaut est remplacé, tant que faire se peut, par un vecteur redondant. Notons que lors d'un défaut de type court-circuit au niveau d'un interrupteur externe, les vecteurs tension d'amplitudes maximales sont toujours disponibles. Cependant, lors d'un défaut de type court-circuit d'un interrupteur interne, une partie des vecteurs tension d'amplitudes maximales ne peut plus être réalisée. Ainsi, la méthode proposée ne permettra pas de restaurer, dans tous les cas, la tension de sortie nominale après l'apparition d'un défaut. Notons que le défaut court-circuit n'est pas physiquement éliminé. Ainsi, après l'apparition d'un défaut de type court-circuit au niveau d'un semi-conducteur, il y aura un risque de court-circuiter les

condensateurs du bus continu si l'on commande d'autres interrupteurs par erreur. Cela est probable si la transition entre l'apparition du défaut court-circuit et le fonctionnement à tolérance de pannes ne s'effectue pas très rapidement.

Dans la publication [5], les auteurs ont également étudié la tolérance de pannes de convertisseurs NPC triphasés lors d'un défaut de type court-circuit d'un interrupteur actif ou d'une diode de clamp. Pour assurer la continuité de service, une stratégie de commutation à deux niveaux est appliquée à la phase (ou bras) comprenant le composant défectueux. Par conséquent, le contenu harmonique de la tension de sortie du convertisseur sera augmenté après apparition du défaut.

Les travaux publiés dans [6] traitent de la tolérance de pannes de redresseurs triphasés à structures NPC et T-Type. La méthode proposée est uniquement valable lors d'un défaut circuit ouvert d'un interrupteur actif externe (cas du redresseur NPC) ou d'un interrupteur actif d'un bras vertical (cas du redresseur T-Type). La continuité de service est réalisée en injectant un courant de l'axe d à la génératrice alimentant le redresseur. Les auteurs n'ont pas traité le cas d'un défaut au niveau des autres interrupteurs actifs ou des diodes de clamp.

Le travail de recherche présenté dans [7] concerne les convertisseurs A-NPC triphasés (voir Figure II.3). La stratégie de tolérance de pannes proposée repose sur un changement de technique de modulation, suite à l'apparition d'un défaut de type circuit ouvert d'un interrupteur actif. Durant le fonctionnement en mode sain, la stratégie Level Shifted Pulse Width Modulation (LS-PWM) à trois niveaux est employée tandis qu'après défaut, pour la phase défaillante, la technique de modulation PWM classique à deux niveaux est appliquée. Après apparition du défaut, le fonctionnement avec un indice de modulation supérieur à 0.5 n'est plus possible.

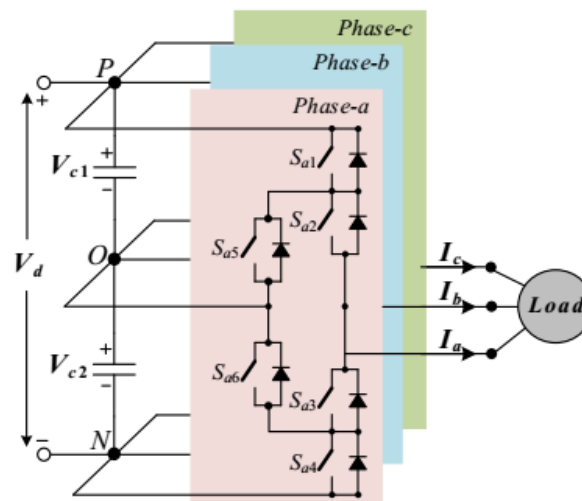


Figure II.3. Schéma d'un convertisseur A-NPC triphasé [7].

Les auteurs de [8] proposent une stratégie pour assurer la continuité de service de convertisseurs T-Type triphasés. Cette stratégie est basée sur la technique de modulation SVM. Lors d'un défaut circuit ouvert d'un des interrupteurs d'un bras vertical, les indices de modulation supérieurs à 0.5 ne sont plus réalisables. Suite au défaut, les auteurs proposent

alors de ne plus avoir recours à l'ensemble des vecteurs de la SVM et de n'utiliser que les vecteurs encore possibles, pour un indice de modulation inférieur à 0.5.

Comme précédemment, le travail de recherche présenté dans [9] porte sur la tolérance de pannes de convertisseurs T-Type triphasés. La stratégie mise en œuvre lorsqu'un défaut de type circuit ouvert d'un interrupteur actif survient au niveau d'un bras vertical est identique à celle présentée dans [8]. Lors d'un défaut au niveau d'un bras horizontal, les auteurs proposent deux méthodes pour assurer la continuité de service du convertisseur. La première méthode consiste à utiliser, pour la phase défaillante, une modulation à deux niveaux au lieu de trois. La deuxième méthode est nommée « commutation hybride » : Pour les indices de modulation inférieurs à 0.5, les vecteurs de tension de petite amplitude qui ne sont pas disponibles sont remplacés par ceux qui sont encore disponibles, et pour les indices de modulation supérieurs à 0.5, la commutation à deux niveaux est appliquée.

2.3. Travaux de recherche assurant la continuité de service en employant des composants additionnels

Cette section est une synthèse de l'état de l'art, portant sur les travaux de recherche destinés à assurer la continuité de service de convertisseurs multiniveaux, en mettant en œuvre des composants additionnels.

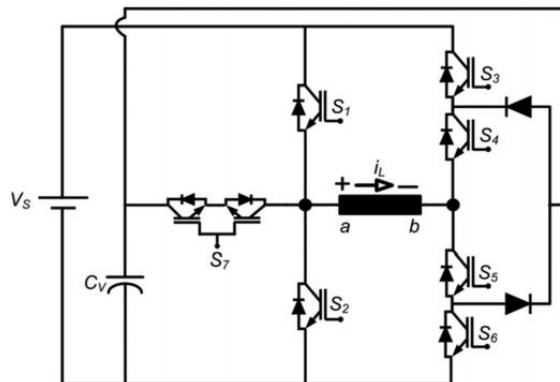


Figure II.4. Structure proposée dans [10] pour réaliser la tolérance de pannes en mode dégradé.

Dans la publication [10], les auteurs proposent un convertisseur monophasé à tolérance de pannes. Ce convertisseur monophasé à cinq niveaux est dérivé des structures de convertisseurs NPC et T-Type. Deux approches ont été proposées pour garantir sa continuité de service. Suite à un défaut circuit ouvert ou court-circuit au niveau d'un interrupteur actif, la première approche garantit un mode dégradé tandis que la deuxième permet d'assurer un fonctionnement nominal. Deux topologies distinctes ont donc été proposées dans cette publication (voir Figures II.4 et II.5). La structure de la Figure II.5 permet des états redondants pour chaque niveau de tension. Ainsi, lors d'un défaut au niveau d'un interrupteur, l'état de commutation devenu indisponible sera remplacé par un état de commutation redondant. Dans le cas où un défaut survient au niveau d'une diode de clamp, les deux solutions proposées ne sont pas capables d'assurer la continuité de service. Malgré le recours

à des interrupteurs actifs additionnels, les indices de modulation supérieurs à 0.5 ne sont pas réalisables pour la structure proposée en mode dégradé (voir Figure II.4).

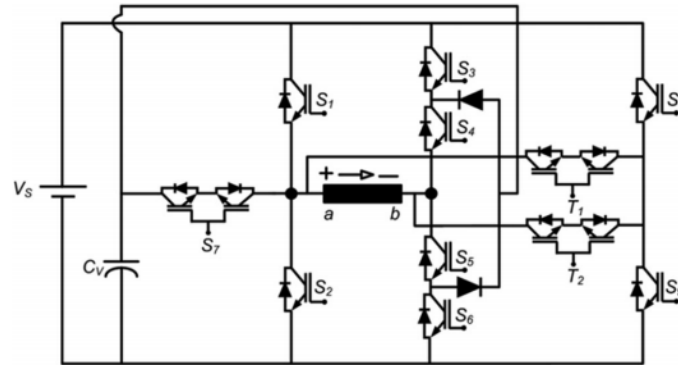


Figure II.5. Structure proposée dans [10] pour réaliser la tolérance de pannes en mode nominal.

Le travail de recherche présenté dans [11] étudie un convertisseur NPC triphasé. La structure proposée comporte quatre bras, contrairement à un convertisseur NPC triphasé classique qui en comprend uniquement trois (voir Figure II.6). Lors du fonctionnement en mode sain, ce bras additionnel est employé en tant que bras résonnant, permettant de réduire les pertes par commutation. Ce quatrième bras n'est donc pas un bras « additionnel » au sens strict du terme puisqu'il est utilisé en mode sain. L'approche développée dans cette publication a ainsi cherché à mettre à profit ce bras lors du mode sain, puis a proposé de l'utiliser comme bras « additionnel » suite à l'apparition d'un défaut de type circuit ouvert d'un interrupteur actif. Suite à l'apparition d'un défaut, ce bras ne réalise donc plus sa fonction initiale, à savoir la réduction des pertes par commutation. Lors de la reconfiguration du convertisseur, les ordres de commande appliqués au bras comportant l'interrupteur actif défaillant sont interrompus, puis ce bras est isolé du point milieu du convertisseur ainsi que de la sortie du convertisseur. L'isolation du bras défectueux s'effectue à l'aide de contacteurs électromagnétiques, ce qui conduit à une transition lente entre l'apparition d'un défaut et le recours à la structure à tolérance de pannes. Cette limitation est liée au temps de réponse élevé des contacteurs électromagnétiques (environ quelques dizaines de ms). Après reconfiguration, le convertisseur de la Figure II.6 fonctionne comme un convertisseur NPC triphasé classique à trois bras. Ce travail de recherche n'aborde pas le cas d'un défaut d'une diode de clamp.

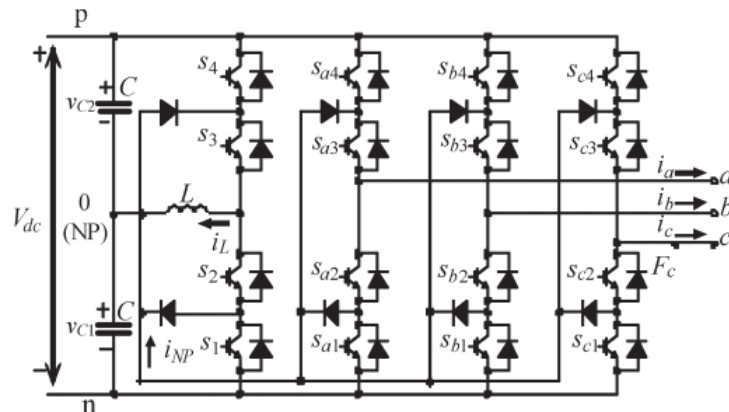


Figure II.6. Structure du convertisseur NPC triphasé comprenant quatre bras pour réaliser la tolérance de pannes [11].

Les auteurs de la publication [12] proposent également une topologie à tolérance de pannes, constituée de quatre bras, comme dans le cas de la publication [11]. Trois bras de cette topologie sont identiques à ceux employés dans un convertisseur NPC triphasé classique. Néanmoins, contrairement au cas de la publication [11], le quatrième bras est un bras type d'une structure de convertisseur Flying Capacitor (voir Figure II.7). L'idée générale reste cependant la même que celle des travaux présentés dans [11] : il s'agit également d'utiliser ce quatrième bras, même en mode sain. En mode sain, ce quatrième bras sert à éliminer les ondulations à basses fréquences de la tension du point milieu du bus continu. Lors d'un défaut circuit ouvert d'un interrupteur actif de ce quatrième bras, le convertisseur poursuit son fonctionnement à l'aide des trois autres bras sains, l'élimination des ondulations à basses fréquences n'étant plus assurée. Dans ce cas, le convertisseur fonctionne comme un convertisseur NPC triphasé classique à trois niveaux. Si un défaut survient au niveau d'un interrupteur actif d'un des trois autres bras, deux solutions ont été proposées pour garantir la continuité de service du convertisseur. Dans chacun des trois bras du convertisseur (structure NPC, comportant chacun une diode de clamp), deux fusibles rapides sont placés aux deux extrémités du bras (voir Figure II.7). Dès l'identification d'un défaut, la reconfiguration du convertisseur s'effectue. La première étape de cette reconfiguration a pour objectif d'isoler le bras défaillant, en utilisant les fusibles. Des ordres de commandes, spécifiquement choisis et adaptés au cas de l'interrupteur défaillant précédemment localisé, sont alors envoyés. Ainsi, les deux fusibles du bras défaillant sont cassés et ce bras devient alors totalement isolé des autres. A ce niveau de la reconfiguration, une première solution peut être mise en œuvre. La commutation à trois niveaux peut être appliquée, mais, dans ce cas, la tension nominale ne peut plus être générée en sortie du convertisseur. Lors d'une deuxième solution possible, les auteurs appliquent la commutation à trois niveaux au quatrième bras (bras type d'un convertisseur FC qui remplace alors le bras défaillant) tandis que la commutation à deux niveaux est appliquée aux deux autres bras. Dans les deux cas, il en résulte une augmentation du contenu harmonique de la tension de sortie.

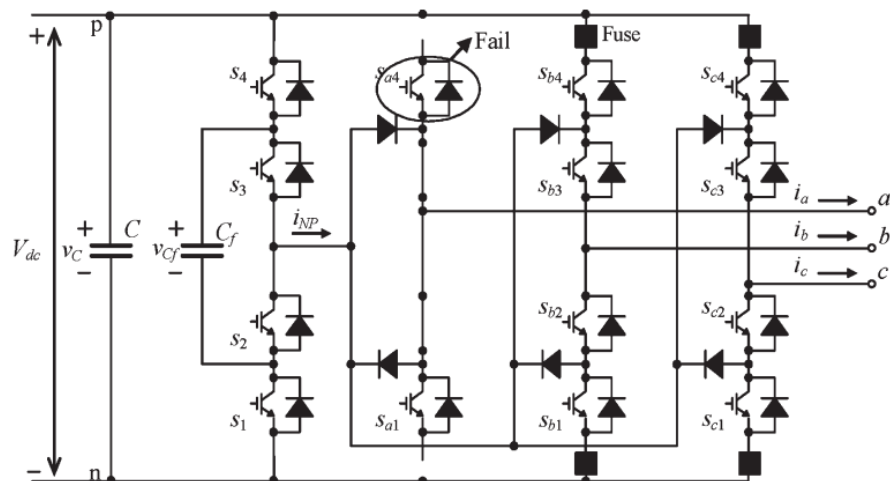


Figure II.7. Structure du convertisseur NPC triphasé comprenant quatre bras pour réaliser la tolérance de pannes [12].

Le travail de recherche présenté dans [13] concerne un convertisseur A-NPC triphasé à trois niveaux (voir Figure II.8). Pour assurer la continuité de service, un bras additionnel,

identique aux trois autres bras, a été ajouté. En mode sain, les interrupteurs internes du bras additionnel sont commandés à la fermeture afin de connecter le point milieu de chaque bras principal au point milieu du bus continu. Ainsi, lors d'un défaut de type circuit ouvert ou bien court-circuit d'un interrupteur actif, la tension nominale sera restaurée en sortie du convertisseur. Cependant, la stratégie proposée ne permet pas d'éviter d'accroître le contenu harmonique de la tension de sortie du convertisseur dans tous les cas de défauts. Par exemple, lors d'un défaut circuit ouvert d'un interrupteur externe, les interrupteurs externes du bras additionnel sont commandés à la fermeture (au lieu des interrupteurs internes) pour restaurer la tension de pole qui n'est plus réalisable à cause du défaut. Par conséquent, le point milieu du bus continu n'est plus connecté à l'ensemble des trois bras du convertisseur. Ainsi, pour certains cas de défaut circuit ouvert ou court-circuit d'un interrupteur actif, le convertisseur fonctionne comme un convertisseur triphasé classique. Par conséquent, au lieu d'obtenir trois niveaux de tension, deux niveaux de tension seront générés en sortie du convertisseur.

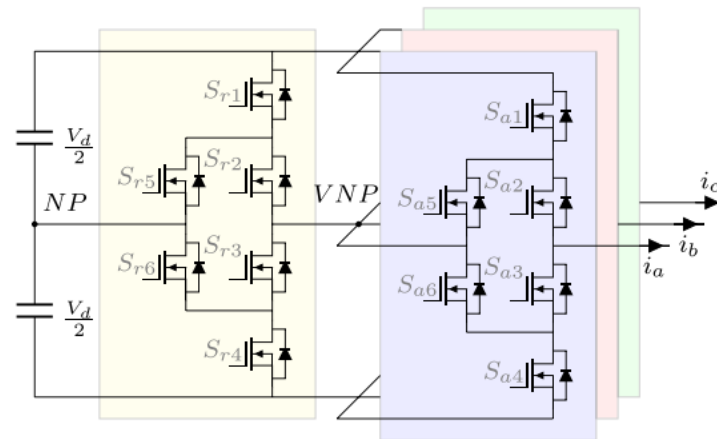


Figure II.8. Structure d'un convertisseur A-NPC triphasé comprenant un bras additionnel pour réaliser la tolérance de pannes [13].

Le travail de recherche présenté dans [14] concerne un convertisseur T-Type triphasé. Un bras vertical additionnel est ajouté à la structure classique (voir Figure II.9). En mode sain, ce bras additionnel permet de stabiliser la tension du point milieu du convertisseur. Des fusibles et des thyristors sont également inclus dans la structure proposée (voir Figure II.9). Ils ont pour but d'isoler le bras affecté par un défaut de type court-circuit ou bien circuit ouvert d'un interrupteur actif. Suite à l'identification d'un court-circuit, deux fusibles placés aux extrémités du bras en défaut doivent être volontairement cassés afin d'isoler le bras défaillant. Ces fusibles ne cassent donc pas automatiquement. Leur destruction résulte de la fermeture d'un thyristor, créant ainsi un court-circuit aux bornes des condensateurs additionnels, notés C_p et C_n à la Figure II.9. Ces condensateurs additionnels servent donc à établir le courant du court-circuit pour casser les deux fusibles concernés. Lors d'un défaut circuit ouvert d'un interrupteur actif d'un bras vertical, les signaux de commande appliqués aux interrupteurs de ce bras sont aussitôt interrompus. Ensuite, ce bras est isolé en cassant les deux fusibles concernés, comme expliqué précédemment. Après l'isolation du bras défaillant, le point milieu de ce bras est connecté au point milieu du bus continu. Dans ce cas, l'amplitude de la tension nominale n'est pas atteignable lors du fonctionnement après défaut. Au cas où le

défaut de type circuit ouvert survient au niveau d'un interrupteur appartenant à un bras horizontal, le bras affecté est tout d'abord isolé, puis, pour la phase défaillante, la modulation à deux niveaux remplace la modulation à trois niveaux. Ainsi, le contenu harmonique de la tension de sortie sera augmenté.

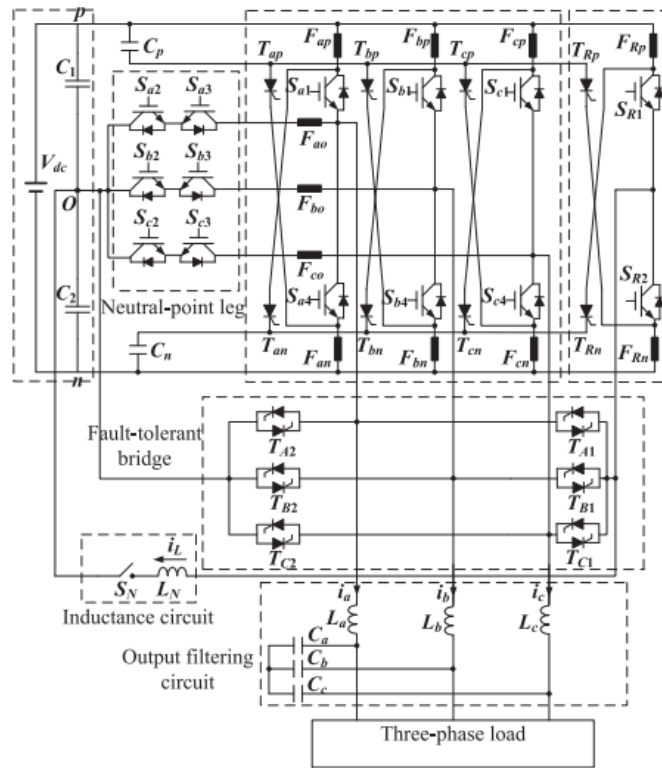


Figure II.9. Structure d'un convertisseur T-Type triphasé à tolérance de pannes proposée dans [14].

Dans la publication [15], les auteurs proposent une topologie à tolérance de pannes pour un convertisseur T-Type triphasé (voir Figure II.10). Dans cette structure, un quatrième bras identique aux trois bras principaux a été inséré entre les trois bras principaux et le bus continu. Autrement dit, les points milieux des bras principaux sont liés au point milieu du bus continu à travers ce bras additionnel (voir Figure II.10). Lors d'un défaut circuit ouvert d'un interrupteur actif d'un bras vertical, la tension nominale de sortie peut être maintenue, en commandant un des interrupteurs verticaux du bras additionnel. Dans ce cas, la modulation à deux niveaux est appliquée aux trois phases du convertisseur car le point milieu du bus continu n'est plus accessible. Cela induit une hausse du contenu harmonique de la tension de sortie. Lors d'un défaut circuit ouvert d'un interrupteur appartenant à un bras horizontal, le point milieu du bus continu ne sera plus accessible pour la phase affectée par le défaut mais la modulation à trois niveaux peut continuer à être appliquée aux deux autres phases saines du convertisseur. Ainsi, malgré l'ajout d'un bras vertical et d'un bras horizontal (composants additionnels), les trois niveaux de tension ne seront pas réalisables en sortie du convertisseur, dans tous les cas de défaut. Autrement dit, en employant cette structure, nous ne serons pas en mesure d'éviter l'augmentation du contenu harmonique de la tension de sortie durant la tolérance de pannes.

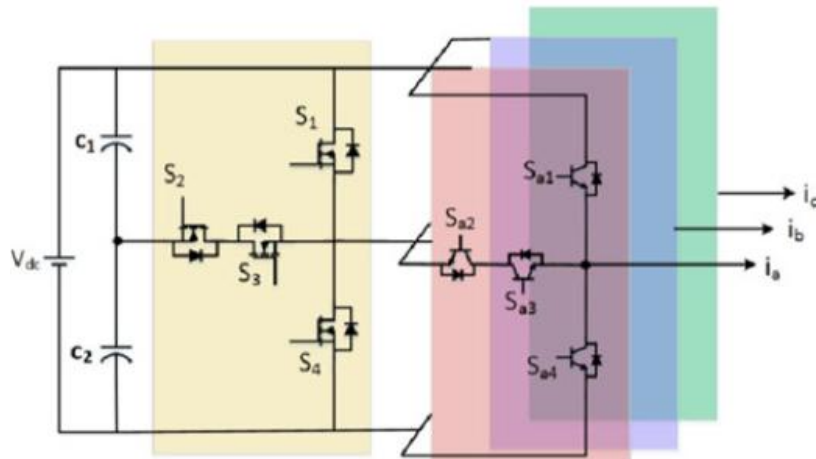


Figure II.10. Structure d'un convertisseur T-Type triphasé à tolérance de pannes proposée dans [15].

Dans la publication [16], les auteurs proposent une structure innovante de convertisseur monophasé à tolérance de pannes, lors d'un défaut circuit ouvert d'un interrupteur actif (voir Figure II.11). Cependant, la défaillance des interrupteurs bidirectionnels G1 et G2 de cette structure n'est pas couverte par l'étude proposée. En mode sain, sept niveaux de tension sont disponibles en sortie du convertisseur. La topologie proposée est constituée de deux « sous structures ». La première permet de générer à sa sortie l'un des trois niveaux de tension positif (partie gauche sur la Figure II.11) tandis que la deuxième permet d'inverser la polarité de la tension aux bornes du convertisseur (partie droite sur la Figure II.11). En mode sain, notons que les deux niveaux de tension $3V_{dc}$ et $-3V_{dc}$ ne sont réalisables qu'à partir d'un unique état de commutation. Ainsi, lors d'un défaut circuit ouvert au niveau d'un des interrupteurs S1, S3, T1, T2, T3 ou T4, la tension nominale ne pourra pas être obtenue en sortie du convertisseur.

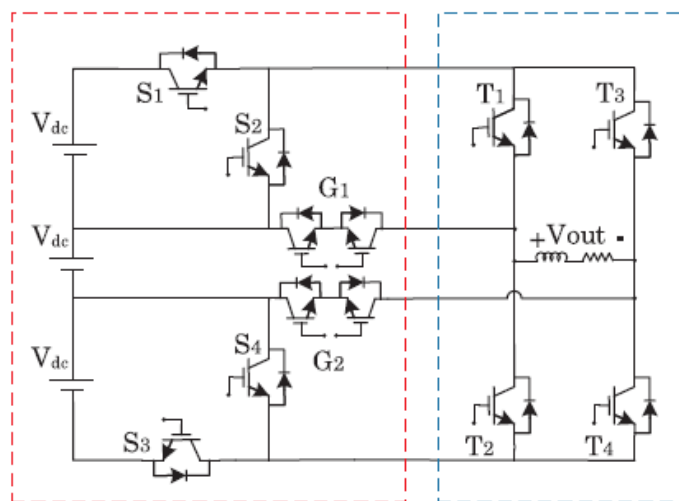


Figure II.11. Structure d'un convertisseur monophasé à tolérance de pannes proposée dans [16].

Dans la revue [17], les auteurs présentent un convertisseur monophasé à cinq niveaux (voir Figure II.12). La structure proposée est un convertisseur NPC monophasé à cinq niveaux, comportant six interrupteurs actifs additionnels. Cette structure garantit au moins un état redondant pour chaque niveau de tension. Ainsi, lors d'un défaut de type circuit ouvert ou

court-circuit au niveau d'un interrupteur actif, l'état de commutation indisponible est remplacé par un état de commutation redondant. Il est à noter qu'un défaut de type court-circuit quelconque conduit à la destruction d'un fusible. Par conséquent, un défaut de type court-circuit sera transformé en défaut de type circuit ouvert au niveau de l'interrupteur connecté en série avec le fusible cassé. Lors d'un défaut de type circuit ouvert ou court-circuit d'un interrupteur actif, la continuité de service du convertisseur est garantie, à tension nominale et sans augmentation du contenu harmonique de la tension de sortie. Cependant, aucune solution n'a pas été proposée lors de la défaillance d'une diode de clamp ou d'une diode de roue libre.

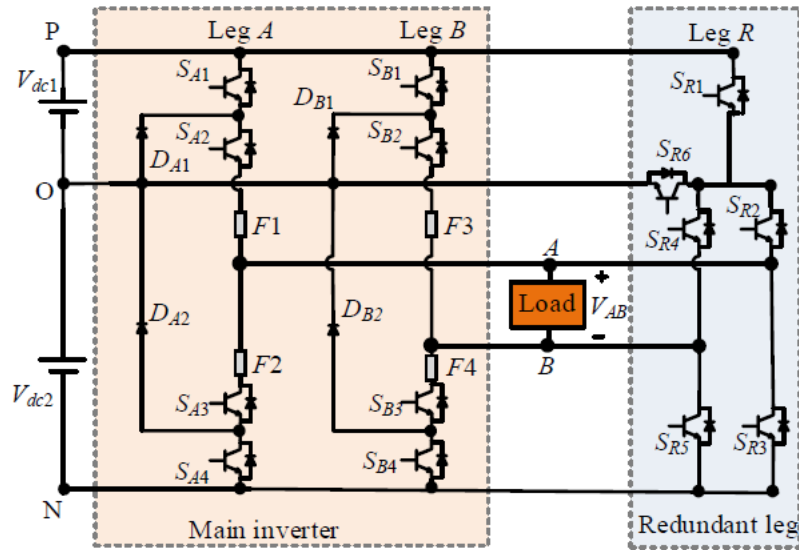


Figure II.12. Structure d'un convertisseur monophasé à tolérance de pannes proposée dans [17].

2.4. Conclusion

Dans les sections précédentes, les travaux de recherche publiés dans le domaine de la continuité de service des convertisseurs multiniveaux ont été analysés. Selon les cas étudiés, ces travaux ont été réalisés en proposant de mettre en œuvre ou non des composants additionnels, par rapport à la structure classique (mode sain).

La section 2.2 a présenté les travaux de recherche ayant réalisé la tolérance de pannes, sans utiliser de composant additionnel. La section 2.3 concernait les travaux de recherche ayant présenté une topologie à tolérance de pannes, en employant des composants additionnels. Selon les éléments mentionnés dans le Tableau II.2, nous pouvons conclure que la plupart des stratégies de la section 2.2 ne sont pas capables de restaurer la tension et le courant nominal en sortie du convertisseur. Ce critère nous semble cependant être un critère primordial à remplir, comparativement aux autres cinq critères mentionnés dans le Tableau II.2. Quand bien même ils ont eu recours à des composants additionnels, les travaux de recherche de la section 2.3 ne remplissent les six critères fixés pour la continuité de service.

Comme nous l'avons également mentionné dans plusieurs cas ([11], [12]), certains auteurs ont choisi d'utiliser également en mode sain les éléments qui ont été ajoutés à des structures

classiques de convertisseur ; ceci a permis de justifier l'ajout d'un quatrième bras, pas uniquement à des fins de tolérances de pannes. Néanmoins, après défaut, on peut mentionner que ces structures ne garantissent plus un fonctionnement nominal similaire à celui qui était assuré lors du mode sain : par exemple, le quatrième bras ne permet plus de réduire les pertes par commutation [11].

Les critères, remplis par chacun des travaux de recherche analysés précédemment, sont résumés et synthétisés dans le Tableau II.1.

Selon l'étude bibliographique présentée, aucun travail de recherche n'est capable de remplir les six critères mentionnés au début de ce chapitre. De ce fait, dans ce travail de recherche, une topologie à tolérance de pannes associée à une commande reconfigurable sera présentée, avec pour objectif et ambition de remplir l'ensemble des critères mentionnés dans le Tableau II.1. Dans la continuité de nos travaux sur le diagnostic de défaut précédemment exposés, nos recherches sur la continuité de service ont porté sur la même structure de convertisseur : le convertisseur NPC monophasé en pont en H, à cinq niveaux. Ils font l'objet de la section 3 qui suit.

3. Fonctionnement à tolérance de pannes du convertisseur NPC monophasé en pont en H à cinq niveaux

Cette section a pour objectif de présenter les travaux de recherche menés lors de cette thèse, sur la continuité de service du convertisseur NPC monophasé en pont en H, à cinq niveaux, dont la structure de base a été présentée à la Figure I.11.

Pour structurer la présentation ainsi que le développement de nos travaux de recherche, ces derniers seront présentés en deux parties. Dans la première partie, nous exposerons l'étude de la continuité de service du convertisseur, lors d'un défaut circuit ouvert d'une diode de clamp. Dans ce cas, aucun composant additionnel ne sera mis en œuvre ; la continuité de service sera assurée par une modification adaptée des ordres de commande générés par le modulateur. Dans la deuxième partie, nous étudierons la tolérance de pannes lors d'un défaut de type circuit ouvert d'un interrupteur actif. Dans ce cas, afin de remplir les six critères mentionnés dans le Tableau II.1, nous serons contraints d'employer des interrupteurs actifs additionnels. Comme lors du défaut d'une diode de clamp, après la reconfiguration du convertisseur, les ordres de commande appliqués aux interrupteurs actifs devront être également modifiés.

3.1. Continuité de service en cas de défaut circuit ouvert d'une diode de clamp

Cette partie porte spécifiquement sur la tolérance de pannes lors d'un défaut de type circuit ouvert d'une diode de clamp. Dans un premier temps, nous étudierons et analyserons le fonctionnement du convertisseur lors de la défaillance d'une diode de clamp. Cette étude démontrera l'importance de la sûreté du fonctionnement du convertisseur dans un tel cas de défaut. Ensuite, nous définirons une commande reconfigurée qui doit être appliquée aux

interrupteurs actifs, afin de garantir la continuité de service, tout en validant les six critères de la Table II.1.

3.1.1. Fonctionnement du convertisseur en cas de défaut d'une diode de clamp

3.1.1.1. Généralités

Pour analyser l'impact d'un défaut circuit ouvert au niveau d'une diode de clamp, il faut tout d'abord se référer au Tableau I.3, recensant les composants passants pour chaque état de commutation, pour un courant de sortie positif ou négatif. Dans le cas où un défaut circuit ouvert survient au niveau d'une diode de clamp, les états de commutation pour lesquels le courant traverse cette diode défaillante ne seront plus disponibles. Par exemple, lors d'un défaut de DC4, les états de commutation 2 ($I > 0$), 5 ($I > 0$), et 8 ($I > 0$) ne pourront plus être utilisés. On peut noter ici qu'un défaut au niveau de DC4 affecte uniquement des états de commutation à courant de sortie positif. De plus, une analyse similaire pourra être menée lors d'un défaut au niveau d'une autre diode de clamp.

Quand un état de commutation n'est plus disponible, le niveau de tension de sortie correspondant à cet état n'est donc plus réalisable. Dans le cas du défaut de DC4, traité ici à titre d'exemple, les niveaux de tension correspondant aux états 2 ($+V_{dc}/2$), 5 (0 V), et 8 ($-V_{dc}/2$) ne peuvent donc plus être générés via DC4. Cependant, les niveaux de tension $+V_{dc}$ et $-V_{dc}$ sont toujours disponibles. De manière générale, on peut conclure que la défaillance d'une diode de clamp n'empêche pas la génération des niveaux de tension extrêmes ($+V_{dc}$ et $-V_{dc}$) : l'amplitude nominale de la tension de sortie et par conséquent l'amplitude nominale du courant de sortie sont donc préservées, même si aucune mesure corrective n'est appliquée. En dépit de la préservation de la tension nominale et du courant nominal, deux préoccupations subsistent suite au défaut d'une diode de clamp. Ils sont mentionnés ci-après.

Le premier problème est le plus évident ; il concerne le contenu harmonique de la tension de sortie. En effet, après l'apparition du défaut, les niveaux de tension indisponibles en sortie du convertisseur sont à l'origine de cette augmentation.

Le deuxième problème est plus complexe : il concerne le déséquilibre du bus continu. Ce déséquilibre provient du fait que durant les alternances positive et négative du courant de sortie, les deux condensateurs du bus continu ne sont plus chargés et déchargés de manière équilibrée, sur une période (ce qui était le cas en mode sain). Cette affirmation sera démontrée dans la suite de ce mémoire. Si le défaut de la diode de clamp n'est pas traité et il persiste, la dérive du déséquilibre du bus continu s'accroît sans interruption. Ainsi, la tension d'un des condensateurs croît jusqu'à atteindre la tension totale du bus continu (V_{dc}) tandis que la tension de l'autre condensateur décroît jusqu'à atteindre la valeur 0 V. Progressivement, ceci contribue au vieillissement prématuré d'un des deux condensateurs, par ailleurs non dimensionné pour supporter un tel niveau de tension (le double de celui pour lequel il a été dimensionné). Ceci peut donc également engendrer, à court terme, la défaillance d'un des deux condensateurs du bus continu. Ce phénomène sera analysé en détail par la suite.

Ici encore, il faut rappeler que dans les sous-sections qui suivent, seules les analyses théoriques seront présentées ; les résultats de simulation et ainsi que les résultats expérimentaux seront présentés au troisième chapitre de ce mémoire, qui leur sera entièrement consacré.

3.1.1.2. Déséquilibre du bus continu lors de la défaillance d'une diode de clamp

3.1.1.2.1. Explications générales

Afin d'examiner le déséquilibre du bus continu, nous nous référerons à la Figure I.12 qui illustre la technique de modulation appliquée dans ce mémoire. Pour simplifier les explications et afin de mieux comprendre notre analyse, nous faisons l'hypothèse que le facteur de puissance de la charge est unitaire. Autrement dit, à tout instant, le signe de la tension de sortie est le même que celui du courant de sortie. Il est à noter que nous avons arbitrairement choisi un facteur de puissance unitaire ; néanmoins, toutes les analyses présentées ci-après peuvent être appliquées dans les cas où le facteur de puissance de la charge n'est pas unitaire. Comme cela a été expliqué au premier chapitre, durant l'alternance positive, les états de commutation 1, 2, 3, et 5 sont appliqués aux interrupteurs actifs tandis qu'au cours de l'alternance négative, les états de commutation 5, 7, 8, et 9 sont appliqués. A partir du Tableau I.3, mentionnant les composants passants pour chaque état de commutation, nous pouvons établir la Figure II.13. Cette figure rassemble les différents schémas simplifiés du convertisseur, lorsque les états de commutation 1, 2, 3, 5, 7, 8, et 9 sont appliqués (en supposant les semi-conducteurs parfaits). Elle a pour objectif de faciliter l'analyse de l'accroissement et de la diminution de la tension aux bornes des deux condensateurs du bus continu. Comme cela pourra être constaté sur les Figures et Tableaux de cette section, d'autres états de commutation (états à courant de sortie négatifs) seront également mentionnés, afin d'illustrer de futures explications. Cette Figure II.13 sera donc également exploitée dans d'autres sections de ce mémoire.

Les sept schémas de la Figure II.13 sont valables quel que soit le signe du courant I , en sortie du convertisseur. Cependant, l'accroissement ou la diminution des tensions aux bornes des deux condensateurs du bus continu sera bien sûr directement lié au signe de I . Dans cette section, après des explications générales, l'évolution des tensions aux bornes des condensateurs sera d'abord examinée en mode sain, puis dans le cas d'un défaut circuit ouvert de la diode de clamp DC4. Avant d'examiner l'évolution de ces tensions sur une période complète, nous devons analyser l'impact de chaque état de commutation sur les tensions des condensateurs en tenant compte du signe de I . Sur les schémas de la Figure II.13, on note I_z le courant injecté au point milieu du bus continu.

3.1.1.2.2. Impact de chaque état de commutation sur les tensions aux bornes des condensateurs du bus continu

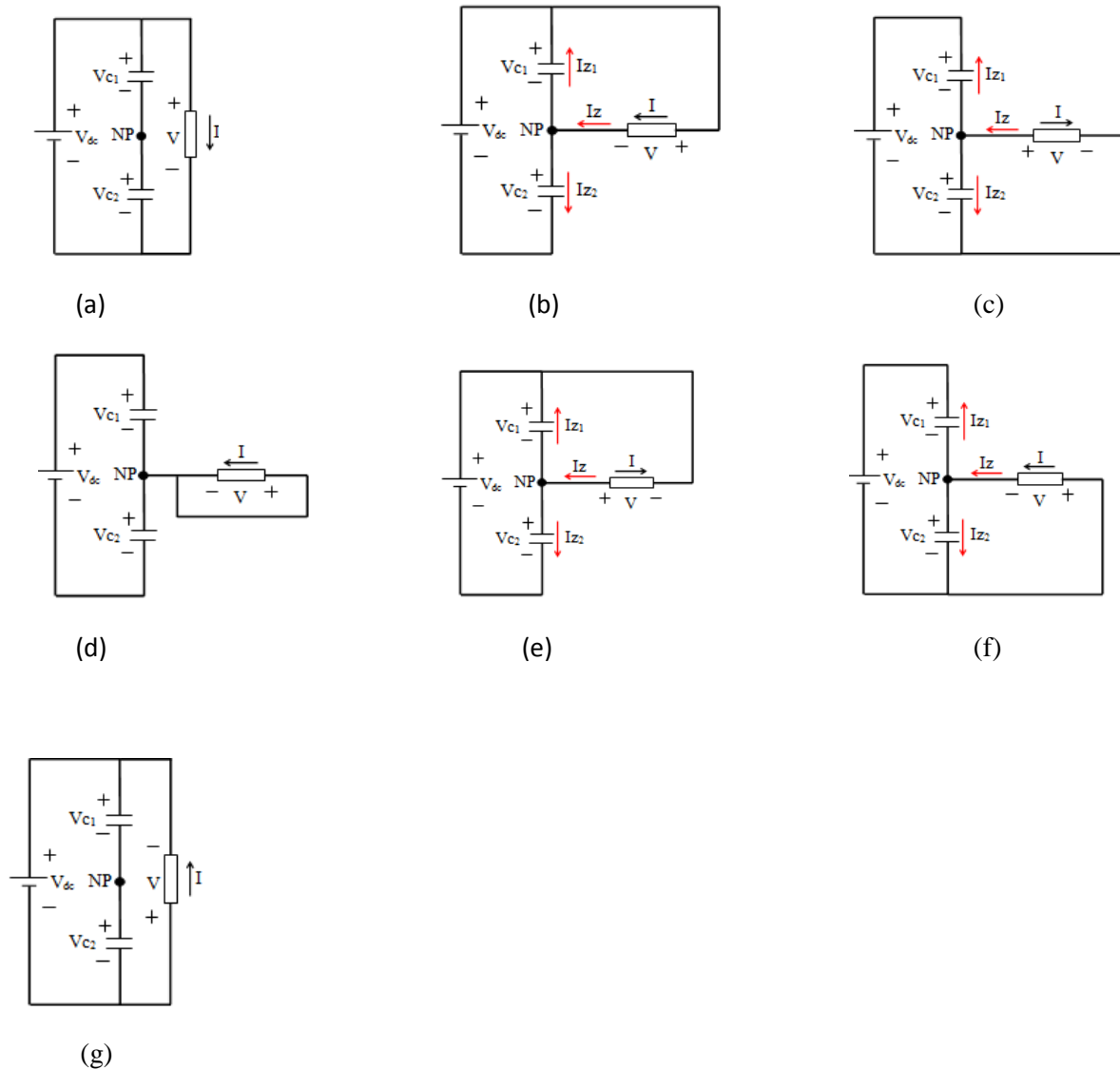


Figure II.13. Schéma simplifié du convertisseur après avoir appliqué les états de commutation (a) 1,10,16; (b) 2,11; (c) 3,17; (d) 4,5,6; (e) 7,15; (f) 8,13; (g) 9,12,14.

Selon la Figure II.13a, lorsque les états de commutation 1, 5, et 9 sont appliqués, aucun courant n'est injecté au point milieu du bus continu. Cela signifie que l'application de ces états de commutation n'affecte pas les tensions aux bornes des deux condensateurs (notées V_{c1} et V_{c2} à la Figure II.13).

Selon la Figure II.13b, quand l'état de commutation 2 est appliqué, le courant injecté au point milieu du bus continu est de même signe que le courant de charge. Considérons maintenant les notations suivantes :

- t_1 : instant de début de l'intervalle d'application d'un nouvel état de commutation (ici l'état de commutation 2) ;
- Δt : durée de l'intervalle d'application d'un nouvel état de commutation (ici l'état de commutation 2) ;

- t_2 : instant de fin de l'intervalle d'application d'un nouvel état de commutation (ici l'état de commutation 2).

On peut considérer que la tension totale aux bornes du bus continu est maintenue à une valeur constante durant l'application d'un état de commutation aux interrupteurs actifs. Ainsi, nous pouvons écrire :

$$\begin{aligned} V_{c1}(t_1) + V_{c2}(t_1) &= V_{c1}(t_2 = t_1 + \Delta t) + V_{c2}(t_2 = t_1 + \Delta t) \\ &= V_{c1}(t_1) + \Delta V_{c1} + V_{c2}(t_1) + \Delta V_{c2} = V_{dc} \end{aligned}$$

$$\text{Soit } \Delta V_{c1} + \Delta V_{c2} + V_{dc} = V_{dc}$$

$$\text{d'où } \Delta V_{c1} = -\Delta V_{c2}$$

Les deux condensateurs sont supposés de capacités égales ($C_1=C_2=C$). Selon l'équation précédente et étant donné les sens des courants I_{z1} et I_{z2} (voir Figure II.13b, relativement aux tensions V_{c1} et V_{c2}), nous en déduisons que les courants de charge des deux condensateurs C_1 et C_2 sont égaux ($I_{z1}=I_{z2}$). Cette réflexion peut ensuite être généralisée à tous les états de commutations.

Par conséquent, lorsque l'état de commutation 2 est appliqué et que le courant de charge est positif, les courants injectés aux deux condensateurs sont positifs. Ainsi, la variation de tension du condensateur inférieur sera positive ($\Delta V_{c2}>0$) tandis que la variation de tension du condensateur supérieur sera négative ($\Delta V_{c1}<0$). Toujours dans l'état de commutation 2, lorsque le signe du courant de charge est négatif, les sens de variation des tensions seront permutés.

Dans le cas où l'état de commutation 3 est appliqué (voir Figure II.13c), le courant de charge est dans le sens opposé de celui du courant injecté au point milieu du bus continu. Ainsi, durant l'application de l'état de commutation 3, un courant de sortie positif induit une variation positive de la tension V_{c1} et une variation négative de la tension V_{c2} .

La Figure II.13e correspond au cas de l'état de commutation 7. Dans ce cas, puisque le courant de sortie est dans le sens opposé à celui du courant injecté au point milieu du bus continu, nous obtiendrons la même analyse que pour l'état de commutation 3. De même, les résultats de l'analyse des variations des tensions des condensateurs pour l'état de commutation 2 pourra être appliquée à l'état de commutation 8.

Les analyses présentées sont synthétisées dans le Tableau II.2. Il faut se rappeler que dans cette section, nous n'utiliserons que les résultats obtenus pour les états de commutation 1, 2, 3, 5, 7, 8, et 9. Les autres états de commutation qui figurent dans le Tableau II.2 ainsi qu'au niveau de la Figure II.13 seront exploités ultérieurement.

Tableau II.2. Variations des tensions des condensateurs du bus continu correspondant à chaque état de commutation pour un courant de sortie positif ou négatif.

Etat de commutation	I>0		I<0	
	1,10,16	Iz=0	$\Delta V_{c1}=0;$ $\Delta V_{c2}=0$	Iz=0
2,11	Iz=I Iz1>0 Iz2>0	$\Delta V_{c1}<0;$ $\Delta V_{c2}>0$	Iz=I Iz1<0 Iz2<0	$\Delta V_{c1}>0;$ $\Delta V_{c2}<0$
3,17	Iz=-I Iz1<0 Iz2<0	$\Delta V_{c1}>0;$ $\Delta V_{c2}<0$	Iz=-I Iz1>0 Iz2>0	$\Delta V_{c1}<0;$ $\Delta V_{c2}>0$
4,5,6	Iz=0	$\Delta V_{c1}=0;$ $\Delta V_{c2}=0$	Iz=0	$\Delta V_{c1}=0;$ $\Delta V_{c2}=0$
7,15	Iz=-I Iz1<0 Iz2<0	$\Delta V_{c1}>0;$ $\Delta V_{c2}<0$	Iz=-I Iz1>0 Iz2>0	$\Delta V_{c1}<0;$ $\Delta V_{c2}>0$
8,13	Iz=I Iz1>0 Iz2>0	$\Delta V_{c1}<0;$ $\Delta V_{c2}>0$	Iz=I Iz1<0 Iz2<0	$\Delta V_{c1}>0;$ $\Delta V_{c2}<0$
9,12,14	Iz=0	$\Delta V_{c1}=0;$ $\Delta V_{c2}=0$	Iz=0	$\Delta V_{c1}=0;$ $\Delta V_{c2}=0$

3.1.1.2.3. Variations des tensions aux bornes des condensateurs, sur une période, en mode sain

Nous avons précédemment examiné l’impact de chaque état de commutation sur les variations des tensions des condensateurs du bus continu. A partir des résultats consignés dans le Tableau II.2, les variations de ces tensions peuvent être examinées sur une période complète de fonctionnement, tout d’abord en mode sain. Nous nous rappelons que pour simplifier l’analyse, le facteur de puissance de la charge a été considéré comme unitaire. D’après la Figure I.12, durant l’alternance positive de la tension de sortie, la séquence des états de commutation suivante est appliquée aux interrupteurs actifs :

... →5→3→1→2→1→3→1→2→5→...

Ainsi, en se référant au Tableau II.2 et sachant que le signe du courant de sortie du convertisseur est supposé positif durant l’alternance positive de la tension, l’évolution de la tension Vc1 correspondant à la séquence de commutation précédemment mentionnée peut être examinée sur cette demi-période. Dans cette sous-section, l’étude sera menée en mode sain.

Analysons tout d’abord la tension Vc1. Les états de commutation 5 et 1 n’ont aucun impact sur la tension Vc1. Ainsi, les hausses engendrées par l’état de commutation 3 seront compensées par les baisses imposées par l’état de commutation 2. Par conséquent, durant l’alternance positive, certes la tension Vc1 varie lors des différents états de commutation 3 et 2 (respectivement à la hausse ou à la baisse), mais, à l’issue de la demi période, Vc1 retrouve sa valeur initiale.

Quant à la tension V_{c2} , nous pouvons appliquer la même analyse mais cette fois-ci les hausses de tension sont engendrées par l'état de commutation 2 et sont compensées, sur la demi période d'alternance positive, par les baisses causées par l'état de commutation 3. De même que pour V_{c1} , durant l'alternance positive, certes la tension V_{c2} varie lors des états de commutation 2 et 3 (respectivement à la hausse ou à la baisse), mais à l'issue de la demi période, V_{c2} retrouve également sa valeur initiale.

Considérons maintenant l'alternance négative du courant (ou de la tension, selon notre hypothèse). D'après la Figure I.12, durant l'alternance négative de la tension de sortie, la séquence de commutation ci-dessous est appliquée :

... →5→8→9→7→9→8→9→7→5→...

Les états 5 et 9 n'affectent pas les tensions V_{c1} et V_{c2} . L'application de l'état de commutation 8 diminue la tension V_{c1} tandis que l'application de l'état 7 l'accroît (voir le Tableau II.2). Comme lors de l'alternance positive, les accroissements et les diminutions engendrés par les états 7 et 8, se compensent. De cette manière, les valeurs des tensions V_{c1} et V_{c2} en fin d'alternance négative seront égales à celles du début de cette alternance.

On peut également noter ici que les séquences de commutation présentées plus haut sont symétriques. Cela signifie que la durée totale d'accroissement des tensions V_{c1} ou V_{c2} est égale à la durée totale de diminution de ces mêmes tensions.

3.1.1.2.4. Variations des tensions aux bornes des condensateurs, sur une période, lors de la défaillance de DC4

Dans cette section, nous allons maintenant analyser les variations des tensions V_{c1} et V_{c2} lors d'un défaut de type circuit ouvert d'une diode de clamp. Dans un premier temps, nous considérerons le cas particulier de la diode de clamp DC4, puis nous généraliserons cette analyse aux cas de défauts des autres diodes de clamp.

Nous devons tout d'abord déterminer les états de commutation affectés par un défaut circuit ouvert de DC4. Selon le Tableau I.3, le courant de sortie traverse la diode de clamp DC4 lors des états de commutation 2, 5 et 8 (uniquement lorsque le courant I est positif). Ainsi, suite à la défaillance de DC4, ces états de commutation ne seront plus disponibles. Sachant que nous avons considéré un facteur de puissance unitaire pour la charge, lorsque l'état de commutation 8 est appliqué (correspondant au niveau de tension $-V_{dc}/2$), le signe du courant de sortie sera négatif. Par conséquent, quand l'état 8 est appliqué, le courant ne traverse pas la diode de clamp DC4 et cet état ne sera donc pas affecté par le défaut.

Selon l'analyse résumée dans le Tableau I.6 (troisième colonne en partant de la gauche), lorsque l'état de commutation 2 est appliqué, juste après un défaut circuit ouvert de DC4, les composants S11, S12, D22, et D21 forment le nouveau chemin du courant. La tension de sortie du convertisseur prend alors la valeur de 0 V. Dans ce cas, le schéma simplifié du convertisseur est équivalent à celui de la Figure II.13d. On constate qu'aucun courant n'est

injecté au point milieu du bus continu : les tensions V_{c1} et V_{c2} ne varient donc pas durant l'état de commutation 2.

Quand l'état 5 est appliqué, dès l'apparition d'un défaut de type circuit ouvert au niveau de DC4, les composants DC1, S12, D22, et D21 conduisent le courant (voir le Tableau I.6). Ainsi, la tension de sortie prend la valeur $-V_{dc}/2$. Dans ce cas, le schéma résultant sera équivalent à celui de la Figure II.13e.

Sachant que le facteur de puissance de la charge est considéré comme unitaire et qu'un courant de sortie négatif ne traverse pas DC4, seules les alternances positives de la tension de sortie peuvent contribuer aux variations des tensions V_{c1} et V_{c2} . De ce fait, sur une période complète, nous examinerons uniquement l'impact de l'alternance positive en termes de variations des tensions V_{c1} et V_{c2} .

Dans un premier temps, sur une période, nous examinons la variation de la tension V_{c1} . Pour cela, les effets induits par les états 2 et 5 en mode sain doivent être remplacés par les effets des nouveaux chemins de passage du courant, suite à la défaillance de DC4. Par conséquent, les effets de la Figure II.13b (état 2) et de la Figure II.13d (état 5) doivent être respectivement remplacés par ceux de la Figure II.13d et de la Figure II.13e. Dans le Tableau II.3, les états de commutation affectés par la défaillance de DC4 sont indiqués dans les colonnes grisées. Comme l'indique ce tableau, contrairement au fonctionnement en mode sain, lors de la défaillance de DC4, les hausses de la tension V_{c1} ne sont plus neutralisées par des baisses, mais accrues par des hausses.

Quant à la tension V_{c2} , la situation occasionnée est inverse (voir le Tableau II.3). Dans ce cas, contrairement au mode sain, les baisses ne sont plus compensées par des hausses.

Si le convertisseur continue de fonctionner avec la diode DC4 défaillante, sans appliquer de mesures correctives, la séquence de commutation qui opère après défaut sera définitivement appliquée. Fatalement, la tension V_{c1} augmentera progressivement jusqu'à ce qu'elle atteigne la tension totale du bus continu (V_{dc}) tandis que la tension V_{c2} diminuera, progressivement et complémentairement à V_{c1} , jusqu'à la décharge complète du condensateur C2.

Selon les analyses présentées plus haut, nous pouvons conclure que l'apparition d'un défaut de type circuit ouvert au niveau d'une diode de clamp expose un des condensateurs du bus continu à une surtension et peut ainsi donner lieu à sa défaillance. De ce fait, prévoir une mesure corrective lors d'un défaut de type circuit ouvert d'une diode de clamp est primordial.

3.1.2. Fonctionnement à tolérance de pannes avec commande reconfigurée lors d'un défaut circuit ouvert d'une diode de clamp

Dans la section précédente, l'impact d'un défaut circuit ouvert d'une diode de clamp a été étudié. Nous en avons déduit que l'application de mesures correctives était primordiale, afin d'éviter les conséquences de cette défaillance. Dans cette section, nous proposons une

Chapitre II : Continuité de service

approche basée sur la reconfiguration de la commande du convertisseur, permettant ainsi d'assurer la continuité de service lors d'un défaut circuit ouvert d'une des quatre diodes de clamp. A la section suivante, nous vérifierons que la méthode proposée ne génère pas de déséquilibre du bus continu.

Tableau II.3. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de défaillance de DC4.

	Etat de commutation appliqué	5	3	1	2	1	3	1	2	5
Mode a	Schéma équivalent (numéro de la Figure)	II.13d	II.13c	II.13a	II.1b	II.13a	II.13c	II.13a	II.13b	II.13d
	Impact sur la tension Vc1	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension Vc2	---	↘	---	↗	---	↘	---	↗	---
Mode b	Schéma équivalent (numéro de la Figure)	II.13e	II.13c	II.13a	II.13d	II.13a	II.13c	II.13a	II.13d	II.13e
	Impact sur la tension Vc1	↗	↗	---	---	---	↗	---	---	↗
	Impact sur la tension Vc2	↘	↘	---	---	---	↘	---	---	↘
Mode a : Fonctionnement en mode sain Mode b : Fonctionnement en cas de défaillance de DC4 ↗ : La tension augmente ↘ : La tension diminue --- : La tension ne varie pas										

Comme mentionné précédemment, la sûreté du fonctionnement du convertisseur en cas de défaillance d'une diode de clamp est assurée sans ajouter de composant additionnel. Pour cela, dès l'identification la diode de clamp défaillante, la commande du convertisseur doit être reconfigurée.

La stratégie proposée se base sur le remplacement des états de commutation indisponibles par des états de commutation redondants. Sa réalisation ne nécessite donc aucun composant additionnel. Pour déterminer les états de commutation indisponibles, nous devons nous référer au Tableau I.3 dans lequel sont indiqués les composants passants correspondant à chaque état de commutation. Lors d'un défaut d'une diode de clamp, l'application des états de commutations dans lesquels la diode de clamp défaillante fait partie des composants passants, ne conduit pas au niveau de tension désiré, en sortie du convertisseur.

Selon le Tableau I.3, lorsque les états de commutation 3, 5 et 7 sont appliqués et que le signe du courant de sortie est positif, la diode de clamp DC1 fait partie des composants passants. Cela signifie que dès l'apparition d'un défaut au niveau de DC1, les états de commutation 3, 5, et 7 deviennent indisponibles. D'après le Tableau I.6 (troisième colonne en

partant de la gauche), dès l'apparition du défaut circuit ouvert de DC1 quand les états 3, 5, et 7 sont appliqués (à courant de sortie positif), au lieu des niveaux de tension $+V_{dc}/2$ (correspondant à l'état 3), 0 (correspondant à l'état 5), et $-V_{dc}/2$ (correspondant à l'état 7), la tension de sortie du convertisseur prend respectivement les valeurs 0, $-V_{dc}/2$ et $-V_{dc}$; ces valeurs ne sont pas conformes aux niveaux de tension désirés. Afin de restaurer les niveaux de tension désirés lors du fonctionnement à tolérance de pannes, les états indisponibles ne doivent plus être appliqués et doivent être remplacés par des états de commutation dont l'application conduit aux niveaux de tension désirés, en sortie du convertisseur. Ainsi, l'état de commutation 2 doit être remplacé par l'état 3 car en appliquant l'état 3, le niveau de tension $+V_{dc}/2$ peut être de nouveau obtenu (voir le Tableau I.2). Au lieu de l'état 5, devenu indisponible pour générer le niveau de tension 0 V, les deux états 4 et 6 peuvent être employés pour restaurer ce niveau 0 V (voir le Tableau I.2). Par conséquent, vu de la tension de sortie du convertisseur, les deux états remplaçants 4 et 6 sont interchangeable durant le fonctionnement à tolérance de pannes du convertisseur. En appliquant l'état 8, nous pouvons restaurer le niveau de tension $+V_{dc}/2$ (voir le Tableau I.2) qui n'est plus réalisable en appliquant l'état 7, devenu indisponible.

Selon le Tableau I.3, lors d'un défaut circuit ouvert de DC2 (à courant de sortie négatif), les états indisponibles ainsi que les états qui peuvent les remplacer sont identiques au cas où DC1 est défaillante. La différence entre la défaillance de DC1 et celle de DC2 concerne les niveaux de tension de sortie obtenus juste après l'apparition du défaut. Cependant, cette différence n'affecte pas la stratégie proposée car le convertisseur étudié est un onduleur à source de tension : la tension de sortie est déterminée par l'état de commutation appliqué, quel que soit le courant de la charge (soit son amplitude, soit son signe). Dans les cas où le composant défaillant est DC3 ou DC4, nous pouvons appliquer une analyse similaire à celle présentée plus haut pour DC1 et DC2. Pour les quatre diodes de clamp, lors d'un défaut circuit ouvert, les états indisponibles et les états remplaçants sont consignés dans le Tableau II.4.

Un point important reste cependant à vérifier : il s'agit de l'équilibre des tensions aux bornes des deux condensateurs du bus continu, après avoir appliqué la commande reconfigurée présentée dans cette section. Ce point est examiné dans la section suivante.

Tableau II.4. Etats de commutation indisponibles et états remplaçants en cas de défaillance d'une diode de clamp.

Diode de clamp défaillante	Etat de commutation indisponible	Etat de commutation remplaçant
DC1 ou DC2	3	2
	5	4 ou 6
	7	8
DC3 ou DC4	2	3
	5	4 ou 6
	8	7

3.1.3. Impact de la commande reconfigurée proposée sur l'équilibre du bus continu

Suite à la stratégie proposée à la section précédente, après avoir reconfiguré la commande, nous n'avons pas vérifié que l'équilibre du bus continu était toujours assuré. Si ce n'était pas le cas, nous aurions alors proposé une méthode qui certes permet de garantir une forme d'onde de tension inchangée en sortie du convertisseur, suite à la défaillance d'une diode de clamp ; cependant, si cette méthode venait à déséquilibrer le bus continu, elle aurait des conséquences identiques à celle de la défaillance d'une diode de clamp lorsque la tolérance de pannes n'est pas mise en œuvre.

Nous remarquons que selon l'analyse du Tableau II.4, pour les états indisponibles 2, 3, 7 et 8, il n'existe qu'un état de commutation remplaçant tandis que pour l'état 5, les deux états de commutation redondants 4 et 6 peuvent être appliqués et sont interchangeables.

Dans un premier temps, nous nous intéressons à l'interchangeabilité des états 4 et 6 dont aucun ne peut être a priori privilégié par rapport à l'autre, du point de vue de l'équilibre du bus continu. Comme précédemment, pour étudier l'impact de chaque état de commutation sur le bus continu, il faut examiner le courant injecté au point milieu, situé entre les deux condensateurs. Selon le Tableau II. 2, lorsque les états 4 ou 6 sont appliqués, aucun courant n'est injecté à ce point milieu. Par conséquent, les tensions aux bornes des deux condensateurs du bus continu ne sont pas affectées par les deux états 4 et 6. Ainsi, vu de l'équilibre des tensions du bus continu, les deux états redondants 4 et 6 sont parfaitement équivalents et interchangeables.

Nous allons maintenant présenter une analyse exhaustive de l'évolution des tensions V_{c1} et V_{c2} (équilibre du bus continu), lorsque les diodes de clamp conduisent en mode sain et lorsque la commande est reconfigurée suite au défaut circuit ouvert d'une des quatre diodes de clamp. Le Tableau II.5 et le Tableau II.6 alors obtenus intégreront partiellement certains résultats présentés au Tableau II.3 (cas particulier de DC4 en mode sain, intégré dans le Tableau II.6) et exploiteront les résultats consignés dans les Tableaux II.2 et II.4. Comme précédemment, afin de simplifier les analyses, nous supposerons que le facteur de puissance de la charge est unitaire. Par ailleurs, les états de commutation en mode sain, indiqués dans le Tableau II.5 et le Tableau II.6, correspondent aux états de commutation appliqués pour obtenir la forme d'onde de la tension V de la Figure I.12.

Le Tableau II.5 présente l'évolution des tensions V_{c1} et V_{c2} durant le fonctionnement en mode sain des diodes de clamp DC1 et DC2 et lors de la tolérance de pannes suite à la défaillance de DC1 ou de DC2. Les colonnes du Tableau II.5 correspondant aux états de commutation indisponibles et aux états de commutations remplaçants sont repérées en gris.

D'après le Tableau II.5, en mode sain et à la fin de chaque alternance, les tensions V_{c1} et V_{c2} retrouvent leurs valeurs de début d'alternance. Durant le fonctionnement après défaut, au cours de l'alternance positive, la tension V_{c1} augmente mais ne diminue jamais durant cette alternance. En revanche, durant l'alternance négative, il y a uniquement une baisse de V_{c1} . Globalement, au niveau d'une période complète, la hausse lors de l'alternance positive et

Chapitre II : Continuité de service

compensée par la baisse qui a lieu lors de l'alternance négative car la durée totale d'accroissement de la tension V_{c1} est égale à la durée totale de diminution de cette tension. Nous pouvons donc conclure que lors de la reconfiguration de la commande précédemment développée, l'accroissement de V_{c1} durant une alternance est certes neutralisé par sa diminution durant l'alternance suivante mais cette compensation n'est pas effectuée aussi rapidement qu'en en mode sain ; en effet, lors du mode sain, les variations de V_{c1} et de V_{c2} se compensaient sur une alternance, et non pas sur une période. Ainsi, la reconfiguration proposée lors d'un défaut circuit ouvert de DC1 ou de DC2 garantit l'équilibre des tensions des condensateurs du bus continu mais génère néanmoins une ondulation basse fréquence des tensions V_{c1} et V_{c2} . Cette ondulation sera validée et constatée au chapitre III, au niveau des formes d'ondes de V_{c1} et de V_{c2} , qu'elles soient obtenues par simulation ou expérimentalement.

Une analyse similaire peut être menée pour évaluer l'évolution des tensions V_{c1} et V_{c2} , dans le cas des diodes de clamp DC3 ou DC4. Le Tableau II.6 présente l'évolution des tensions V_{c1} et V_{c2} durant le fonctionnement en mode sain des diodes de clamp DC3 et DC4 et lors de la tolérance de pannes suite à la défaillance de DC3 ou de DC4. Il en résulte une conclusion similaire quant à la présence d'une ondulation des tensions V_{c1} et V_{c2} , suite à la reconfiguration de la commande. Néanmoins, dans tous les cas de défauts d'une diode de clamp, l'amplitude de cette ondulation restera limitée mais sera néanmoins visible, à la lecture des résultats de simulation et des essais expérimentaux présentés au chapitre III.

Tableau II.5. Evolution des tensions aux bornes des condensateurs du bus continu : mode sain et fonctionnement à tolérance de pannes en cas de défaillance de DC1 ou DC2.

Mode a	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)									Alternance négative ($V<0$ & $I<0$)								
		5	3	1	2	1	3	1	2	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---
Mode b	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)									Alternance négative ($V<0$ & $I<0$)								
		4 ou 6	2	1	2	1	2	1	2	4 ou 6	4 ou 6	8	9	8	9	8	9	8	4 ou 6
	Impact sur la tension V_{c1}	---	↘	---	↘	---	↘	---	↘	---	---	↗	---	↗	---	↗	---	↗	---
	Impact sur la tension V_{c2}	---	↗	---	↗	---	↗	---	↗	---	---	↘	---	↘	---	↘	---	↘	---
Mode a : Fonctionnement en mode sain Mode b : Fonctionnement à tolérance de pannes ↗ : La tension augmente ↘ : La tension diminue --- : La tension ne varie pas																			

Tableau II.6. Evolution des tensions aux bornes des condensateurs du bus continu : mode sain et fonctionnement à tolérance de pannes en cas de défaillance de DC3 ou DC4.

Mode a	Etat de commutation appliqué	Alternance positive ($V > 0$ & $I > 0$)									Alternance négative ($V < 0$ & $I < 0$)								
		5	3	1	2	1	3	1	2	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension Vc1	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension Vc2	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---
Mode b	Etat de commutation appliqué	Alternance positive ($V > 0$ & $I > 0$)									Alternance négative ($V < 0$ & $I < 0$)								
		4 ou 6	3	1	3	1	3	1	3	4 ou 6	4 ou 6	7	9	7	9	7	9	7	4 ou 6
	Impact sur la tension Vc1	---	↗	---	↗	---	↗	---	↗	---	---	↘	---	↘	---	↘	---	↘	---
	Impact sur la tension Vc2	---	↘	---	↘	---	↘	---	↘	---	---	↗	---	↗	---	↗	---	↗	---

Mode a : Fonctionnement en mode sain
 Mode b : Fonctionnement à tolérance de pannes
 ↗ : La tension augmente
 ↘ : La tension diminue
 --- : La tension ne varie pas

3.1.4. Conclusion

Dans cette section 3.1., nous avons proposé une stratégie à tolérance de pannes lors d'un défaut circuit ouvert d'une diode de clamp. Dans un premier temps, nous avons étudié le fonctionnement du convertisseur en cas de défaut. Selon les études effectuées, sans appliquer de mesures correctives, certains niveaux de tension ne seront plus réalisables, en sortie du convertisseur : ceci induira une hausse du contenu harmonique de la tension et du courant de sortie du convertisseur. Un autre problème majeur apparaît également suite au défaut : le déséquilibre des tensions aux bornes des deux condensateurs du bus continu. Si rien n'est fait, cette dérive persiste jusqu'à ce qu'un des condensateurs se décharge complètement tandis que l'autre atteint la tension totale du bus continu : cela peut conduire à de graves dysfonctionnements du convertisseur. Suite à cette étude, nous avons alors proposé une commande reconfigurée permettant de garantir la tension nominale après défaut, sans modifier le contenu harmonique des grandeurs de sortie, comparativement au mode sain. Cette reconfiguration de la commande ne requiert aucun composant additionnel. Nous avons par ailleurs attentivement étudié les effets de cette reconfiguration sur l'équilibre du bus continu. Une étude exhaustive a démontré que sur une période de fonctionnement, après défaut et suite à la reconfiguration de la commande, les valeurs en fin de période des tensions Vc1 et Vc2 retrouvent leurs valeurs de début de période, quelle que soit la diode défaillante. Il en résulte néanmoins une ondulation basse fréquence des tensions Vc1 et Vc2, d'amplitude limitée.

Ayant maintenant finalisé l'étude de la tolérance de pannes lors de la défaillance d'une diode de clamp, nous allons aborder à la section suivante le cas de la défaillance d'un interrupteur actif.

3.2. Continuité de service lors d'un défaut circuit ouvert d'un interrupteur actif

Dans cette section, nous présenterons une stratégie garantissant la continuité de service du convertisseur lors d'un défaut circuit ouvert d'un interrupteur actif. Cette étude est complémentaire de la précédente, pour laquelle nous avons proposé une stratégie à tolérance de pannes en cas de défaillance d'une diode de clamp. Ici encore, la stratégie à tolérance de pannes aura pour objectif de remplir les six critères introduits en début de ce chapitre. Dans un premier temps, nous examinerons le fonctionnement du convertisseur suite à un défaut circuit ouvert d'un interrupteur actif, sans mesures correctives. Ensuite, une structure de convertisseur à tolérance de pannes sera proposée. Enfin, une stratégie de commande sera spécifiquement développée pour cette structure à la tolérance de pannes.

3.2.1. Fonctionnement du convertisseur en cas de défaut, sans mesures correctives

La structure du convertisseur étudié étant symétrique, nous limiterons notre étude détaillée aux cas de défauts des interrupteurs actifs S11 et S12. Des analyses similaires pourront être appliquées dans les autres cas. Dans cette sous-section, nous supposons il n'y aura aucune mesure corrective appliquée, suite à l'apparition du défaut.

Considérons tout d'abord le cas de l'interrupteur S11. D'après le Tableau I.3, l'interrupteur actif S11 fait partie des composants passants (à courant de sortie positif) lorsque les états de commutation 1, 2, et 4 sont appliqués. Parmi ces états, nous ne tiendrons compte que des états 1 et 2 car, comme expliqué au chapitre I, en appliquant la technique de modulation employée dans ce mémoire, l'état de commutation 4 n'est jamais généré par le modulateur. De ce fait, nous étudierons uniquement l'impact d'un défaut circuit ouvert de S11 sur les états de commutation 1 et 2. D'après le Tableau I.2, les états de commutation 1 et 2 correspondent respectivement aux niveaux de tension de sortie $+V_{dc}$ et $+V_{dc}/2$; selon le Tableau I.6, en cas de défaillance de S11, ces niveaux de tension deviennent respectivement $+V_{dc}/2$ et 0 V . Ainsi, dès l'apparition d'un défaut circuit ouvert de S11, le niveau de tension $+V_{dc}$ ne sera plus réalisable, en sortie du convertisseur. L'état 1 étant le seul état de commutation permettant de générer le niveau $+V_{dc}$, on peut dès à présent mentionner qu'il est impossible de restaurer ce niveau de tension uniquement par une reconfiguration de la commande. Ainsi, nous serons contraints de recourir à des composants additionnels.

L'apparition d'un défaut circuit ouvert de S12 (voir Tableau I.3) affecte les états de commutation 1, 2, 3, 4, 5 et 7 (courant de charge positif). Comme lors de l'étude de S11, nous ne prendrons pas en compte l'état 4. D'après le Tableau I.6, en appliquant les états 1, 2, 3, 5 et 7, au lieu d'obtenir les niveaux de tension $+V_{dc}$ (état 1), $+V_{dc}/2$ (état 2), $+V_{dc}/2$ (état 3), 0 V (état 5) et $-V_{dc}/2$ (état 7), nous obtiendrons respectivement les niveaux de tension 0 V , $-V_{dc}/2$, 0 V , $-V_{dc}/2$, et $-V_{dc}$. Ainsi, les niveaux de tension $+V_{dc}/2$ et $+V_{dc}$ ne pourront plus

être générés en sortie du convertisseur. Autrement dit, l'alternance positive de la tension de sortie sera éliminée.

Nous allons maintenant évaluer l'impact de la défaillance de S11 et de S12 sur l'équilibre du bus continu. Comme précédemment, nous supposons que le facteur de puissance de la charge est unitaire. Les interrupteurs S11 et S12 ne conduisent que lors d'un courant de charge positif, leurs défaillances n'auront aucun impact sur la forme d'onde de l'alternance négative de la tension : nous n'examinerons alors que l'impact d'un défaut sur l'alternance positive. Pour mener l'étude de l'équilibre du bus continu, nous devons sélectionner les schémas équivalents, choisis parmi ceux de la Figure II.13 et correspondant aux états de commutation appliqués en mode sain et lors de la défaillance de S11 ou de S12. Ensuite, à partir du Tableau II.2, l'effet de chaque état de commutation sur les tensions Vc1 et Vc2 sera examiné.

Tableau II.7. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de la défaillance de S11.

	Etat de commutation appliqué	5	3	1	2	1	3	1	2	5
Mode a	Schéma équivalent (numéro de la Figure)	II.13d	II.13c	II.13a	II.13b	II.13a	II.13c	II.13a	II.13b	II.13d
	Impact sur la tension Vc1	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension Vc2	---	↘	---	↗	---	↘	---	↗	---
Mode b	Schéma équivalent (numéro de la Figure)	II.13d	II.13c	II.13c	II.13d	II.13c	II.13c	II.13c	II.13d	II.13d
	Impact sur la tension Vc1	---	↗	↗	---	↗	↗	↗	---	---
	Impact sur la tension Vc2	---	↘	↘	---	↘	↘	↘	---	---
Mode a : Fonctionnement en mode sain Mode b : Fonctionnement en cas de défaillance de S11 ↗ : La tension augmente ↘ : La tension diminue --- : La tension ne varie pas										

Lors du défaut de S11, quand l'état 1 est appliqué, les composants DC1, S12, S23, et S24 sont les composants passants (voir Tableau I.6). Le schéma équivalent correspondant est donc celui de la Figure II.13c. De même, quand l'état 2 est appliqué et qu'un défaut survient au niveau de S11, les composants DC1, S12, S23, et DC4 conduisent le courant. Le schéma équivalent à considérer est celui de la Figure II.13d.

Dans le cas de S11, nous avons ainsi étudié les effets des états de commutation sur les tensions des condensateurs du bus continu, durant le mode sain et en mode de défaillance.

Chapitre II : Continuité de service

Les résultats obtenus sont résumés dans le Tableau II.7. Les colonnes des états affectés par le défaut y sont grisées. Nous pouvons observer qu'en cas de défaillance de S11, les hausses de la tension Vc1 ne sont plus compensées par des baisses, sur une période. De même, les baisses imposées à la tension Vc2 ne sont plus compensées. Par conséquent, en cas d'absence de mesures correctives, la séquence de commutation qui sera définitivement appliquée après défaut de S11 conduira à la décharge complète du condensateur inférieur du bus continu (la tension Vc2 atteint 0 V) et augmentera la tension Vc1 jusqu'à la tension totale du bus continu (+Vdc).

Tableau II.8. Analyse des effets des états de commutation sur les tensions des condensateurs du bus continu durant le mode sain et lors de la défaillance de S12.

	Etat de commutation appliqué	5	3	1	2	1	3	1	2	5
Mode a	Schéma équivalent (numéro de la Figure)	II.13d	II.13c	II.13a	II.13b	II.13a	II.13c	II.13a	II.13b	II.13d
	Impact sur la tension Vc1	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension Vc2	---	↘	---	↗	---	↘	---	↗	---
Mode b	Schéma équivalent (numéro de la Figure)	II.13f	II.13d	II.13d	II.13g	II.13d	II.13d	II.13d	II.13g	II.13f
	Impact sur la tension Vc1	↘	---	---	---	---	---	---	---	↘
	Impact sur la tension Vc2	↗	---	---	---	---	---	---	---	↗
Mode a : Fonctionnement en mode sain Mode b : Fonctionnement en cas de défaillance de S12 ↗ : La tension augmente ↘ : La tension diminue --- : La tension ne varie pas										

La même analyse a été menée pour examiner l'évolution des tensions Vc1 et Vc2 en cas de défaillance de S12. Cette analyse est résumée dans le Tableau II.8. Les colonnes correspondant aux états de commutation affectés par le défaut sont indiquées en gris : on peut noter que tous les états de commutation appliqués durant l'alternance positive de la tension de sortie sont affectés par le défaut. Nous pouvons également conclure qu'en cas de défaillance de S12, les baisses de la tension Vc1 ne sont plus compensées par des hausses, sur une période. De même, les hausses de la tension Vc2 ne sont plus compensées. Sans mesure corrective, un défaut de S12 conduira à la décharge complète du condensateur supérieur du bus continu et augmentera la tension Vc2 jusqu'à la tension totale +Vdc du bus continu.

Si l'on compare les évolutions des tensions Vc1 et Vc2, présentées dans les Tableaux II.7 et II.8, on peut déduire qu'un défaut circuit ouvert de S11 a un impact bien plus important que

celui de S12, sur l'évolution de ces deux tensions. Le taux d'évolution à la hausse ou à la baisse des tensions des condensateurs du bus continu est plus élevé dans le cas d'un défaut de S11.

3.2.2. Structure du convertisseur à tolérance de pannes

Au début de ce chapitre, nous avons introduit six critères et avons mentionné que ce travail de recherche a pour objectif de remplir tous ces critères dont notamment la restauration, après défaut, de la tension nominale en sortie du convertisseur. A la section précédente, nous avons constaté qu'en cas de défaut circuit ouvert d'un quelconque interrupteur actif, l'amplitude de la tension nominale ne peut pas être restaurée en appliquant uniquement une commande reconfigurée : il faut donc modifier, le plus adroitement possible, la structure de base du convertisseur (mode sain) afin d'y adjoindre des composants additionnels et permettre ainsi de garantir la continuité de service, en respectant les six critères que nous nous sommes fixés.

La nouvelle structure à tolérance de pannes, proposée dans ce mémoire, est illustrée par la Figure II.14. Cette structure est constituée de deux circuits principaux. Le premier circuit, indiqué en noir, correspond à la topologie classique NPC monophasé en pont en H, à cinq niveaux (mode sain, Figure I.11 du Chapitre I). Le deuxième circuit est constitué de composants additionnels, en rouge. Chaque composant additionnel est constitué d'un IGBT (Insulated Gate Bipolar Transistor) et d'une diode en antiparallèle.

Dans le chapitre I, nous avons présenté les états de commutation d'un module NPC monophasé en pont en H, à cinq niveaux. Selon le signe du courant et pour chaque état de commutation, nous y avons précisé les ordres de commande appliqués (voir Tableau I.2) ainsi que les composants réellement passants (voir Tableau I.3). Suite à l'ajout de composants additionnels à la structure de base, huit nouveaux états de commutation viennent s'ajouter aux états liés à la structure de base. Le Tableau II.9 rassemble l'ensemble de tous ces états de commutation possibles. Dans le Tableau II.9, les états 1 à 9 sont liés à la structure de base tandis que les nouveaux états 10 à 17 sont possibles grâce aux composants additionnels. Il est à noter que les états 10 à 17 ne sont utilisés qu'après défaut d'un interrupteur actif, pour garantir la continuité de service. Dans le Tableau II.9, les lignes correspondant aux nouveaux états sont indiquées en gris.

Parmi les huit nouveaux états de commutation, deux nouveaux états ont ainsi été ajoutés à chacun des quatre niveaux de tension suivants : $+V_{dc}$, $-V_{dc}$, $+V_{dc}/2$ et $-V_{dc}/2$. Ce sont eux qui vont permettre d'assurer la continuité de service. Les composants passants correspondant à chaque niveau de tension sont indiqués dans le Tableau II.10, selon le signe du courant de sortie. Il faut rappeler ici que lors du fonctionnement en mode sain, aucun interrupteur actif (IGBT) additionnel n'est commandé à la fermeture. Cependant, comme l'indique le Tableau II.10, même en mode sain, les diodes de roue libre, connectées en antiparallèle des IGBT additionnels, peuvent conduire le courant. L'utilisation, en mode sain, des diodes de roue libre additionnelles, n'affecte pas le fonctionnement du convertisseur. Ce point sera discuté plus en détail, ultérieurement.

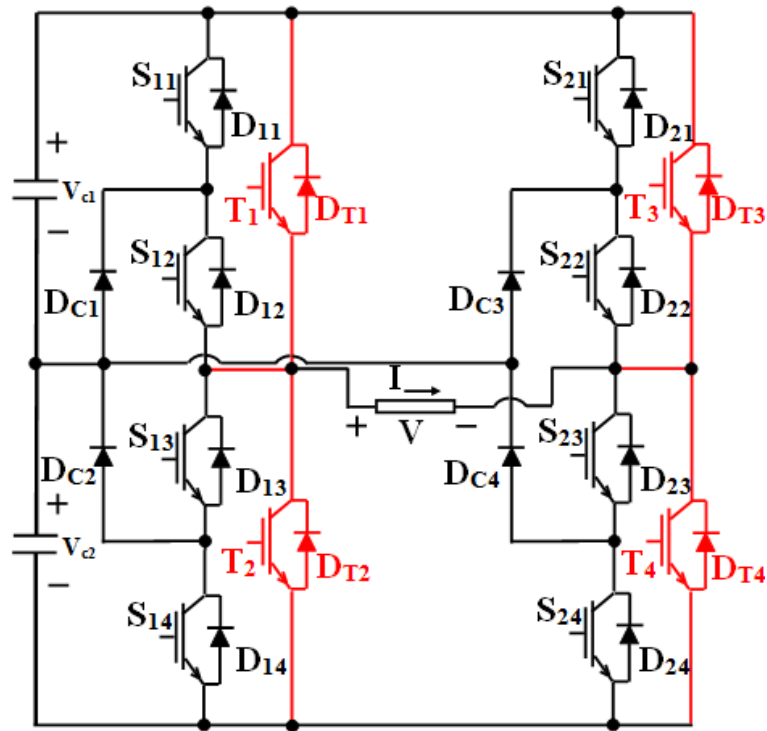


Figure II.14. Structure à tolérance de pannes, proposée dans ce mémoire.

Tableau II.9. Ordres de commande correspondant à chaque état de commutation, y compris en incluant les composants additionnels de la Figure II.2.

Etat de commutation	Tension de sortie	S11	S12	S13	S14	S21	S22	S23	S24	T1	T2	T3	T4
1	+Vdc	1	1	0	0	0	0	1	1	0	0	0	0
2	+Vdc/2	1	1	0	0	0	1	1	0	0	0	0	0
3	+Vdc/2	0	1	1	0	0	0	1	1	0	0	0	0
4	0	1	1	0	0	1	1	0	0	0	0	0	0
5	0	0	1	1	0	0	1	1	0	0	0	0	0
6	0	0	0	1	1	0	0	1	1	0	0	0	0
7	-Vdc/2	0	1	1	0	1	1	0	0	0	0	0	0
8	-Vdc/2	0	0	1	1	0	1	1	0	0	0	0	0
9	-Vdc	0	0	1	1	1	1	0	0	0	0	0	0
/													
10	+Vdc	0	0	0	0	0	0	1	1	1	0	0	0
11	+Vdc/2	0	0	0	0	0	1	1	0	1	0	0	0
12	-Vdc	0	0	0	0	1	1	0	0	0	1	0	0
13	-Vdc/2	0	0	0	0	0	1	1	0	0	1	0	0
14	-Vdc	0	0	1	1	0	0	0	0	0	0	1	0
15	-Vdc/2	0	1	1	0	0	0	0	0	0	0	1	0
16	+Vdc	1	1	0	0	0	0	0	0	0	0	0	1
17	+Vdc/2	0	1	1	0	0	0	0	0	0	0	0	1

Tableau II.10. Composants passants pour chaque état de commutation, pour un courant de sortie positif ou négatif.

Etat de commutation	Tension de sortie	Composants passants ($I > 0$)	Composants passants ($I < 0$)
1	+Vdc	$S_{11}, S_{12}, S_{23}, S_{24}$	$D_{11}, D_{12}, D_{T1}, D_{23}, D_{24}, D_{T4}$
2	+Vdc/2	$S_{11}, S_{12}, S_{23}, D_{C4}$	$D_{11}, D_{12}, D_{T1}, S_{22}, D_{C3}$
3	+Vdc/2	$D_{C1}, S_{12}, S_{23}, S_{24}$	$D_{C2}, S_{13}, D_{23}, D_{24}, D_{T4}$
4	0	$S_{11}, S_{12}, D_{22}, D_{21}, D_{T3}$	$D_{11}, D_{12}, D_{T1}, S_{21}, S_{22}$
5	0	$D_{C1}, S_{12}, S_{23}, D_{C4}$	$D_{C2}, S_{13}, S_{22}, D_{C3}$
6	0	$D_{14}, D_{13}, D_{T2}, S_{23}, S_{24}$	$S_{13}, S_{14}, D_{T4}, D_{24}, D_{23}$
7	-Vdc/2	$D_{C1}, S_{12}, D_{22}, D_{21}, D_{T3}$	$D_{C2}, S_{13}, S_{22}, S_{21}$
8	-Vdc/2	$D_{14}, D_{13}, D_{T2}, S_{23}, D_{C4}$	$S_{13}, S_{14}, D_{C3}, S_{22}$
9	-Vdc	$D_{14}, D_{13}, D_{T2}, D_{21}, D_{22}, D_{T3}$	$S_{13}, S_{14}, S_{22}, S_{21}$
/			
10	+Vdc	T_1, S_{23}, S_{24}	$D_{11}, D_{12}, D_{T1}, D_{23}, D_{24}, D_{T4}$
11	+Vdc/2	T_1, S_{23}, D_{C4}	$D_{11}, D_{12}, D_{T1}, S_{22}, D_{C3}$
12	-Vdc	$D_{14}, D_{13}, D_{T2}, D_{21}, D_{22}, D_{T3}$	T_2, S_{21}, S_{22}
13	-Vdc/2	$D_{14}, D_{13}, D_{T2}, S_{23}, D_{C4}$	T_2, S_{22}, D_{C3}
14	-Vdc	$D_{14}, D_{13}, D_{T2}, D_{21}, D_{22}, D_{T3}$	T_3, S_{13}, S_{14}
15	-Vdc/2	$D_{C1}, S_{12}, D_{22}, D_{21}, D_{T3}$	D_{C2}, S_{13}, T_3
16	+Vdc	S_{11}, S_{12}, T_4	$D_{11}, D_{12}, D_{T1}, D_{23}, D_{24}, D_{T4}$
17	+Vdc/2	D_{C1}, S_{12}, T_4	$D_{C2}, S_{13}, D_{23}, D_{24}, D_{T4}$

Considérons maintenant le dimensionnement des semi-conducteurs de la structure à tolérance de pannes. Pour cela, nous déterminerons la tension maximale et le courant maximal pour tous les semi-conducteurs du convertisseur de la Figure II.14. Le courant nominal est déterminé par le courant maximal traversant la charge. Pour déterminer la tension nominale des semi-conducteurs principaux et additionnels, il faut examiner la tension appliquée à leurs bornes (tension collecteur-émetteur pour les IGBTs), pour chaque état de commutation. Parmi les valeurs de tension obtenues, la valeur maximale sera considérée comme la tension nominale de chaque composant. Les résultats de l'étude réalisée sont consignés dans le Tableau II.11. Selon les valeurs mentionnées dans ce Tableau II.11, la tension nominale d'un interrupteur actif principal est égale à $V_{dc}/2$ tandis que celle d'un interrupteur additionnel est égale à V_{dc} . Par conséquent, la tension nominale d'un interrupteur additionnel doit être deux fois plus élevée que celle d'un interrupteur principal. Puisque chaque diode de roue libre, principale ou additionnelle, est connectée en antiparallèle d'un interrupteur actif, sa tension nominale est égale à celle de l'interrupteur actif correspondant.

3.2.3. Stratégie proposée pour réaliser le fonctionnement à tolérance de pannes

Cette section a pour but de détailler la stratégie de commande proposée dans ce mémoire, permettant d'assurer la continuité de service du convertisseur lors de la défaillance d'un interrupteur actif. De manière générale, la stratégie proposée repose sur le remplacement des états de commutation indisponibles par les états de commutation redondants. Rappelons ici

Chapitre II : Continuité de service

qu'un état de commutation est qualifié d'« indisponible » quand en appliquant cet état suite à un défaut, le niveau de tension attendu n'est pas obtenu en sortie du convertisseur.

Tableau II.11. Tension appliquée aux bornes de chaque interrupteur actif, pour chaque état de commutation.

Etat de commutation	S11	S12	S13	S14	S21	S22	S23	S24	T1	T2	T3	T4
1(I>0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
1(I<0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
2(I>0)	0	0	Vdc/2	Vdc/2	Vdc/4	Vdc/4	0	Vdc/2	0	Vdc	Vdc/2	Vdc/2
2(I<0)	0	0	Vdc/2	Vdc/2	Vdc/2	0	Vdc/4	Vdc/4	0	Vdc	Vdc/2	Vdc/2
3(I>0)	Vdc/2	0	Vdc/4	Vdc/4	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc	0
3(I<0)	Vdc/4	Vdc/4	0	Vdc/2	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc	0
4(I>0)	0	0	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	0	Vdc	0	Vdc
4(I<0)	0	0	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	0	Vdc	0	Vdc
5(I>0)	Vdc/2	0	Vdc/4	Vdc/4	Vdc/4	Vdc/4	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	Vdc/2
5(I<0)	Vdc/4	Vdc/4	0	Vdc/2	Vdc/2	0	Vdc/4	Vdc/4	Vdc/2	Vdc/2	Vdc/2	Vdc/2
6(I>0)	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	0	0	Vdc	0	Vdc	0
6(I<0)	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	0	0	Vdc	0	Vdc	0
7(I>0)	Vdc/2	0	Vdc/4	Vdc/4	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	Vdc
7(I<0)	Vdc/4	Vdc/4	0	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	Vdc
8(I>0)	Vdc/2	Vdc/2	0	0	Vdc/4	Vdc/4	0	Vdc/2	Vdc	0	Vdc/2	Vdc/2
8(I<0)	Vdc/2	Vdc/2	0	0	Vdc/2	0	Vdc/4	Vdc/4	Vdc	0	Vdc/2	Vdc/2
9(I>0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
9(I<0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
10(I>0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
10(I<0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
11(I>0)	0	0	Vdc/2	Vdc/2	Vdc/4	Vdc/4	0	Vdc/2	0	Vdc	Vdc/2	Vdc/2
11(I<0)	0	0	Vdc/2	Vdc/2	Vdc/2	0	Vdc/4	Vdc/4	0	Vdc	Vdc/2	Vdc/2
12(I>0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
12(I<0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
13(I>0)	Vdc/2	Vdc/2	0	0	Vdc/4	Vdc/4	0	Vdc/2	Vdc	0	Vdc/2	Vdc/2
13(I<0)	Vdc/2	Vdc/2	0	0	Vdc/2	0	Vdc/4	Vdc/4	Vdc	0	Vdc/2	Vdc/2
14(I>0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
14(I<0)	Vdc/2	Vdc/2	0	0	0	0	Vdc/2	Vdc/2	Vdc	0	0	Vdc
15(I>0)	Vdc/2	0	Vdc/4	Vdc/4	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	Vdc
15(I<0)	Vdc/4	Vdc/4	0	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	Vdc
16(I>0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
16(I<0)	0	0	Vdc/2	Vdc/2	Vdc/2	Vdc/2	0	0	0	Vdc	Vdc	0
17(I>0)	Vdc/2	0	Vdc/4	Vdc/4	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc	0
17(I<0)	Vdc/4	Vdc/4	0	Vdc/2	Vdc/2	Vdc/2	0	0	Vdc/2	Vdc/2	Vdc	0

Nous pouvons classer les états de commutation redondants selon deux catégories. Ceux qui restent disponibles à partir de la structure de base (après défaut d'un interrupteur actif et sans utilisation des composants additionnels) font partie de la première catégorie. Par exemple, l'état de commutation 2 peut être considéré comme un état de commutation redondant pour obtenir le niveau de tension +Vdc/2 (voir le Tableau I.3) lorsque l'état de commutation 3 est indisponible et réciproquement. Puisque que la réalisation de l'état de commutation 2 n'exige

Chapitre II : Continuité de service

aucun recours à des composants additionnels, cet état de commutation se trouve dans la première catégorie. Les états de commutation dont la réalisation requiert l'usage d'un ou plusieurs interrupteurs additionnels appartiennent à la deuxième catégorie. Par exemple, dans le cas où l'état 1 est indisponible, aucun état de commutation redondant n'est possible à partir de la structure de base. Dans ce cas, l'intervention d'un composant additionnel est indispensable.

A partir du Tableau I.3, nous pouvons identifier tous les états indisponibles pour chaque interrupteur actif défaillant. A titre d'exemple, nous expliquons ici comment les états indisponibles sont identifiés lors d'un défaut de S11. La même logique peut être appliquée pour tous les autres interrupteurs. En mode sain, le courant de sortie du convertisseur traverse l'interrupteur S11 lorsque les états de commutation 1 et 2 sont appliqués ; les niveaux de tension $+V_{dc}$ et $+V_{dc}/2$ sont alors respectivement obtenus. En cas de défaut de S11, en imposant les états 1 et 2, les niveaux de tension obtenus sont respectivement $+V_{dc}/2$ et 0 V (Voit Tableau I.6). Ainsi, tous les états indisponibles lors de la défaillance d'un quelconque interrupteur actif ont pu être consignés dans le Tableau II.12 (premier chiffre X du crochet [X, Y] de la colonne de droite).

Tableau II.12. Etats de commutation indisponibles et redondants en cas de défaillance d'un quelconque interrupteur actif.

Composant défaillant	[état indisponible, état redondant]
S11	[1, 10], [2, 11], [4, 5 ou 6]
S12	[1, 10], [2, 11], [3, 11], [4, 6], [5, 6], [7, 8]
S13	[3, 2], [5, 4], [6, 4], [7, 13], [8, 13], [9, 12]
S14	[6, 4 ou 5], [8, 13], [9, 12]
S21	[4, 5 ou 6], [7, 15], [9, 14]
S22	[2, 3], [4, 6], [5, 6], [7, 15], [8, 15], [9, 14]
S23	[1, 16], [2, 17], [3, 17], [5, 4], [6, 4], [8, 7]
S24	[1, 16], [3, 17], [6, 4 or 5]

Pour compléter le Tableau II.12 et y mentionner de manière exhaustive tous les états redondants sélectionnés pour chaque état indisponible, nous nous sommes référés au Tableau II.10 ; en effet, ce tableau recense tous les états de commutation possibles, y compris ceux qui utilisent les composants additionnels de la structure à tolérance de pannes. Néanmoins, nous pouvons constater que le Tableau II.12 ne mentionne pas tous les états redondants, a priori possibles pour chaque état indisponible, notamment car certains d'entre eux perturbent l'équilibre du bus continu et n'ont donc pas été retenus. Comme précédemment, pour examiner les évolutions des tensions V_{c1} et V_{c2} , nous supposons que le facteur de puissance de la charge est unitaire.

A titre d'exemple, pour justifier et illustrer notre sélection des états redondants dans le Tableau II.12, nous détaillerons le cas d'un défaut de S11, rendant indisponibles les états 1, 2 et 4.

Dans un premier temps, nous considérerons le cas de l'état 1, rendu indisponible suite à la défaillance de S11 ; la valeur de la tension souhaitée en sortie du convertisseur est égale à $+V_{dc}$. Le Tableau II.10 mentionne que le niveau $+V_{dc}$ peut néanmoins être obtenu à partir des états 10 ou 16 (courant de sortie positif, voir Tableau II.10). Cependant l'état 16 n'est pas applicable car il requiert la conduction de S11, alors défaillant. C'est pour cette raison que seul l'état 10 figure en tant qu'état redondant de l'état 1, au niveau du Tableau II.12.

La sélection du ou des états redondants mentionnés dans le Tableau II.12 n'est pas aussi simple, dans tous les cas induits par la défaillance de S11. Considérons maintenant la défaillance de S11 dans l'état 2. Dans ce cas, le niveau de tension $+V_{dc}/2$ n'est plus réalisable. D'après le Tableau II.10, les états 2, 3, 11, et 17 correspondent au niveau de tension de sortie $+V_{dc}/2$. Ainsi, il existe trois états redondants (états 3, 11, et 17) susceptibles de remplacer l'état 2. Cependant, une condition primordiale doit être satisfaite par ces états redondants : il s'agit de l'équilibre des tensions aux bornes des condensateurs du bus continu (V_{c1} et V_{c2}). Ainsi, avant de retenir définitivement un état redondant, il est impératif d'examiner les évolutions des tensions V_{c1} et V_{c2} lors de la tolérance de pannes, quand les états 3, 11 et 17 sont choisis pour remplacer l'état 2. Cette étude sera menée en deux temps. Nous considérerons tout d'abord le cas où l'état 11 remplace l'état 2. Dans un deuxième temps, nous considérerons, dans une unique étude, les deux cas où l'état 3 ou l'état 17 est l'état redondant ; en effet, selon le Tableau II.2, l'application de l'état 3 ou de l'état 17 donne lieu au même schéma équivalent présenté à la Figure II.13c, conduisant ainsi aux mêmes conséquences sur les tensions V_{c1} et V_{c2} . Comme précédemment, ces deux études seront présentées synthétiquement, sous forme de Tableaux, pour faciliter l'interprétation. Des études similaires ayant été détaillées dans les sections précédentes, nous présenterons ici les Tableaux ainsi obtenus, sans les détailler davantage : il s'agit du Tableau II.13 (état 2 remplacé par l'état 11) et du Tableau II.14 (état 2 remplacé par l'état 3 ou par l'état 7).

Il nous faut maintenant considérer la défaillance de S11 dans l'état 4 et avoir ainsi traité tous les états indisponibles possibles qui font suite à un défaut de S11. L'état 4 permettrait d'obtenir le niveau de tension 0 V en sortie du convertisseur et peut être a priori remplacé par l'état 5 ou l'état 6. Ces deux états n'ont aucun impact sur l'évolution des tensions V_{c1} et V_{c2} car lorsqu'ils s'appliquent, aucun courant n'est injecté au point milieu du bus continu. Ainsi, les trois états 4, 5, et 6 sont tout à fait interchangeables et aucun des deux états redondants potentiels (états 5 ou 6) ne doit être écarté.

Sur la base des études menées et des résultats obtenus dans le cas du défaut de S11, notamment présentés dans les Tableaux II.13 et II.14, nous pouvons maintenant complètement justifier la première ligne du Tableau II.12 (cas de S11 défaillant). En particulier, les états 3 et 17 n'y figurent pas en tant qu'états redondants de l'état 2 car ils conduisent au déséquilibre du bus continu (voir Tableau II.14). L'état 11 est retenu comme état redondant de l'état 2 car il ne perturbe pas l'équilibre du bus continu, globalement sur une période (voir Tableau II.13).

L'analyse présentée et détaillée pour S11 peut être généralisée aux cas de défaillance des autres interrupteurs actifs. Les résultats de toutes les analyses qui ont dû être menées sont

Chapitre II : Continuité de service

résumés dans le Tableau II.12. Pour chacune des 8 lignes de ce tableau, une étude similaire à celle menée pour S11 a été systématiquement réalisée. Pour certains états redondants sélectionnés, nous avons pu également constater qu'une ondulation basse fréquence pouvait être générée au niveau de formes d'ondes de V_{c1} et de V_{c2} , sans pour autant déséquilibrer le bus continu (globalement équilibré, sur une période). Comme nous l'avons démontré précédemment, ce n'est pas le cas lors de la défaillance de S11, par exemple lors du remplacement de l'état 2 par l'état 11 (Tableau II.13). Il est en de même pour tous les cas de défaut des interrupteurs actifs externes.

Tableau II.13. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S11, lors du remplacement de l'état 2 par l'état 11.

Mode a	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		5	3	1	2	1	3	1	2	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---
Mode b	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		5	3	10	11	10	3	10	11	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---

Mode a : Fonctionnement en mode sain
Mode b : Fonctionnement à tolérance de pannes
↗ : La tension augmente
↘ : La tension diminue
--- : La tension ne varie pas

Tableau II.14. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S11, lors du remplacement de l'état 2 par l'état 3 ou l'état 17.

Mode a	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		5	3	1	2	1	3	1	2	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---
Mode b	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		5	3	10	3 ou 17	10	3	10	3 ou 17	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↗	---	↗	---	↗	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↘	---	↘	---	↘	---	---	↘	---	↗	---	↘	---	↗	---

Mode a : Fonctionnement en mode sain
Mode b : Fonctionnement à tolérance de pannes

Chapitre II : Continuité de service

Le cas de la défaillance de S12 (interrupteur interne) est maintenant abordé, afin d'illustrer et démontrer la présence d'une ondulation basse fréquence des tensions V_{c1} et V_{c2} , lors du fonctionnement après défaut. D'après le Tableau II.15, durant l'alternance positive, la tension V_{c1} diminue tandis qu'elle augmente durant l'alternance négative. Cela signifie que la compensation des tensions V_{c1} et V_{c2} ne s'effectue pas par alternance, mais sur une période. Il est en de même pour tous les cas de défaut des interrupteurs actifs internes.

Tableau II.15. Evolution des tensions des condensateurs du bus continu : mode sain et cas de la défaillance de S12, lors du fonctionnement à tolérance de pannes.

Mode a	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		5	3	1	2	1	3	1	2	5	5	8	9	7	9	8	9	7	5
	Impact sur la tension V_{c1}	---	↗	---	↘	---	↗	---	↘	---	---	↗	---	↘	---	↗	---	↘	---
	Impact sur la tension V_{c2}	---	↘	---	↗	---	↘	---	↗	---	---	↘	---	↗	---	↘	---	↗	---
Mode b	Etat de commutation appliqué	Alternance positive ($V>0$ & $I>0$)								Alternance négative ($V<0$ & $I<0$)									
		6	11	10	11	10	11	10	11	6	6	8	9	8	9	8	9	8	6
	Impact sur la tension V_{c1}	---	↘	---	↘	---	↘	---	↘	---	---	↗	---	↗	---	↗	---	↗	---
	Impact sur la tension V_{c2}	---	↗	---	↗	---	↗	---	↗	---	---	↘	---	↘	---	↘	---	↘	---

Mode a : Fonctionnement en mode sain
Mode b : Fonctionnement à tolérance de pannes
↗ : La tension augmente
↘ : La tension diminue
--- : La tension ne varie pas

3.2.4. Continuité de service en cas de défaut d'une diode de roue libre

A ce niveau du mémoire, le dernier critère qui reste à remplir est le critère 6, introduit au début de ce chapitre. Il concerne la continuité de service du convertisseur lors d'un défaut de type circuit ouvert d'une des diodes de roue libre. Jusqu'à présent, rappelons que selon les recherches bibliographiques effectuées, nous n'avons pas identifié de travaux permettant de remplir ce critère.

Dans ce travail de recherche, la tolérance de pannes lors d'un défaut d'une des diodes de roue libre n'est pas effectuée de la même manière que pour un interrupteur actif ou une diode de clamp. L'identification de l'interrupteur défaillant ou de la diode de clamp défectueuse est indispensable pour appliquer la mesure corrective adaptée. Dans le cas d'un défaut d'une diode de roue libre, nous n'avons pas besoin d'identifier la diode de roue libre défaillante. La tolérance de pannes sera garantie et automatiquement assurée dès l'apparition du défaut, grâce à la topologie de convertisseur que nous avons proposée à la Figure II.14. En effet, chaque module IGBT additionnel intègre une diode de roue libre, connectée en antiparallèle de l'IGBT.

Chapitre II : Continuité de service

En mode sain, seuls les états de commutation 1 à 9 sont appliqués et les états 10 à 17 ne le sont pas. Selon le Tableau II.10, en mode sain, nous pouvons constater que pour tous les états de commutation 1 à 9, les diodes de roue libre conduisent toujours par paire : au niveau d'un demi-bras donné, soit les deux diodes de roue libre conduisent simultanément, soit elles sont toutes deux bloquées. Comme on peut le voir à la Figure II.14, pour chaque demi-bras, une diode additionnelle est connectée aux bornes des deux diodes de roue libre issues de la structure de base (diodes de roue libre principales). En mode sain, cela signifie que si une diode de roue libre principale conduit le courant, alors l'autre diode de roue libre du même demi-bras conduit également, ainsi que la diode de roue libre additionnelle. Ainsi, même en mode sain, une diode de roue libre additionnelle conduit toujours le courant en parallèle des deux diodes de roue libre principales. Par exemple, les diodes de roue libre principales D11 et D12 conduisent le courant en parallèle avec la diode de roue libre additionnelle DT1 ; de même, D23 et D24 conduisent le courant en parallèle avec DT4.

Tableau II.16. Composants passants suite au défaut circuit ouvert des diodes de roue libre lorsque le signe du courant de sortie est positif.

Etat de commutation	Composants passants en mode sain ($I > 0$)	Composants défaillants	Composants passants suite au défaut
1	S11, S12, S23, S24		
2	S11, S12, S23, DC4		
3	DC1, S12, S23, S24		
4	S11, S12, D22, D21, DT3	D21 ou D22	S11, S12, DT3
		D21 & D22	S11, S12, DT3
		DT3	S11, S12, D22, D21
5	DC1, S12, S23, DC4		
6	D14, D13, DT2, S23, S24	D13 ou D14	DT2, S23, S24
		D13 & D14	DT2, S23, S24
		DT2	D14, D13, S23, S24
7	DC1, S12, D22, D21, DT3	D21 ou D22	DC1, S12, DT3
		D21 & D22	DC1, S12, DT3
		DT3	DC1, S12, DT3
8	D14, D13, DT2, S23, DC4	D13 ou D14	DT2, S23, DC4
		D13 & D14	DT2, S23, DC4
		DT2	D14, D13, S23, DC4
9	D14, D13, DT2, D21, D22, DT3	D13 & D14	DT2, D21, D22, DT3
		D13 ou D14	DT2, D21, D22, DT3
		D21 & D22	D14, D13, DT2, DT3
		D21 ou D22	D14, D13, DT2, DT3
		DT2	D14, D13, D21, D22, DT3
		DT3	D14, D13, DT2, D21, D22
		DT2 & DT3	D14, D13, D21, D22

Ainsi, à titre d'exemple, si un défaut circuit ouvert survient au niveau d'une des deux diodes de roue libre principales D11 ou D12, le nouveau chemin du courant sera formé par les

Chapitre II : Continuité de service

semi-conducteurs DT1, D23, D24, et DT4. Notons que la tension de sortie ne sera pas affectée par ce défaut. Il en est de même pour tous les autres cas de défaut d'une diode de roue libre principale.

Tableau II.17. Composants passants suite au défaut circuit ouvert des diodes de roue libre lorsque le signe du courant de sortie est négatif.

Etat de commutation	Composants passants ($I < 0$)	Composants défaillants	Composants passants suite au défaut
1	D11, D12, DT1, D23, D24, DT4	D11 ou D12	DT1, D23, D24, DT4
		D11 & D12	DT1, D23, D24, DT4
		D23 ou D24	D11, D12, DT1, DT4
		D23 & D24	D11, D12, DT1, DT4
		DT1	D11, D12, D23, D24, DT4
		DT4	D11, D12, DT1, D23, D24
2	D11, D12, DT1, S22, DC3	D11 ou D12	DT1, S22, DC3
		D11 & D12	DT1, S22, DC3
		DT1	D11, D12, S22, DC3
3	DC2, S13, D23, D24, DT4	D23 ou D24	DC2, S13, DT4
		D23 & D24	DC2, S13, DT4
		DT4	DC2, S13, D23, D24
4	D11, D12, DT1, S21, S22	D11 ou D12	DT1, S21, S22
		D11 & D12	DT1, S21, S22
		DT1	D11, D12, S21, S22
5	DC2, S13, S22, DC3		
6	S13, S14, DT4, D24, D23	D23 ou D24	S13, S14, DT4
		D23 & D24	S13, S14, DT4
		DT4	S13, S14, D24, D23
7	DC2, S13, S22, S21		
8	S13, S14, DC3, S22		
9	S13, S14, S22, S21		

Avant de terminer cette section, plusieurs informations complémentaires peuvent être mentionnées. Tout d'abord, nous pouvons préciser que le transfert du courant suite au défaut circuit ouvert d'une diode de roue libre s'effectue automatiquement, sans appliquer aucun ordre de commande. Ensuite, étant donné la structure de convertisseur proposée, le déclenchement de la continuité de service n'exige pas l'identification du composant défaillant et débute automatiquement dès à l'apparition du défaut. Le troisième point concerne le fait que, même en mode sain, les diodes de roue libre additionnelles conduisent le courant. De ce fait, elles sont également exposées à une défaillance. Cependant, si un défaut circuit ouvert a lieu au niveau d'une diode de roue libre additionnelle, les diodes de roue libre principales continueront à conduire le courant. Autrement dit, les diodes de roue libre principales peuvent également palier la défaillance d'une diode de roue libre additionnelle.

L'analyse exhaustive, que nous avons menée quant au défaut circuit ouvert d'une diode de roue libre principale est résumée dans les Tableaux II.16 et II.17. Dans le Tableau II.16, nous avons mentionné les composants passants suite au défaut, lorsque le signe du courant de sortie est positif. Le Tableau II.17 a été établi lorsque le courant de sortie est négatif. Rappelons que dans les cas de défaillance des diodes de roue libre, la tension de sortie n'est pas affectée. Pour cette raison, la tension de sortie suite à l'apparition du défaut ne figure pas dans les Tableaux II.16 et II.17.

4. Conclusion

Dans ce chapitre, nous nous sommes intéressés à la tolérance de pannes des convertisseurs multiniveaux. Notre objectif final est d'assurer la continuité de service du convertisseur NPC monophasé à cinq niveaux, en mode nominal et lors de la défaillance d'un interrupteur actif ou d'une diode. Lors du chapitre I, nous avons proposé un algorithme qui permet de détecter puis localiser un interrupteur actif ou une diode de clamp, lors d'un défaut circuit ouvert. Nous n'avons pas cherché à détecter un défaut circuit ouvert d'une diode de roue libre. Ce choix peut maintenant être justifié à l'issue de ce chapitre II : la structure de convertisseur que nous avons proposée garantit la continuité de service lors de ce type de défaillance, sans diagnostic préalable du défaut. L'ensemble des chapitres I et II constitue donc une étude théorique complète et propose une approche globale de la tolérance de pannes du convertisseur NPC étudié. Nous n'avons pas identifié de travaux de recherche aussi exhaustifs dans la littérature scientifique : lors de notre étude, quel que soit le semi-conducteur en défaut circuit ouvert (interrupteur actif, diode de roue libre ou diode de clamp), la continuité de service du convertisseur est assurée, en mode nominal.

Lors de l'état de l'art, nous avons choisi de classer selon deux approches les travaux de recherche portant sur la tolérance de pannes des convertisseurs multiniveaux. La première ne nécessite pas de mettre en œuvre des composants additionnels et repose uniquement sur une modification du contrôle du convertisseur. La seconde approche a recours à des composants additionnels et nécessite, dans la grande majorité des cas, de reconfigurer également le contrôle. La lecture de l'ensemble des travaux de recherche de la bibliographie a permis d'établir six critères afin de comparer ces différents travaux publiés et en faire ressortir leurs avantages et inconvénients respectifs. Une synthèse de ce travail bibliographique est illustrée par le Tableau II.1. Dans ce tableau, nous avons fait figurer l'objectif de nos travaux : satisfaire ces six critères dans de notre contribution.

Lors de la description de nos travaux de recherche, nous avons choisi d'aborder, en premier lieu, la continuité de service du convertisseur NPC étudié, lors d'un défaut circuit ouvert d'une diode de clamp. Ce cas fait partie de la première catégorie identifiée lors de l'état de l'art : la continuité de service peut être assurée sans composant additionnel. Lors de cette étude, nous avons tout d'abord mis en évidence les conséquences d'un défaut circuit ouvert d'une diode de clamp : augmentation du contenu harmonique de la tension de sortie et déséquilibre du bus continu. Ce second point conduit rapidement à l'application de la tension

totale du bus continu à l'un des deux condensateurs et à la décharge complète du second. Le défaut d'une diode de clamp expose donc un des condensateurs à une surtension, et conduit à son vieillissement et à sa défaillance, à court terme. Dans cette structure NPC, la nécessité de traiter les cas de défaut des diodes de clamp apparaît comme primordiale, bien qu'il soit très rarement abordé dans la littérature scientifique. La solution que nous avons apportée, dans le cas des diodes de clamp, permet de satisfaire les six critères que nous nous sommes fixés.

Nous avons ensuite traité les cas de défaut circuit ouvert d'un des interrupteurs actifs. Ces cas relèvent de la seconde catégorie, nécessitant de concevoir une structure de convertisseur à tolérance de pannes, associée à une commande reconfigurable. Nous avons proposé une nouvelle structure de convertisseur, permettant d'assurer la continuité de service grâce à quatre interrupteurs actifs additionnels. Ces composants additionnels doivent être impérativement mis en œuvre si l'on veut respecter le critère portant sur la garantie du mode nominal après défaut. En effet, lors de défaillance d'un interrupteur actif, nous avons montré qu'en fonction du composant défectueux, certains niveaux de tension ne seront plus disponibles, sans ces composants additionnels. De manière générale et afin de minimiser le nombre de composants additionnels, nous avons employé deux types d'états de commutation redondants, lors de la défaillance d'un interrupteur actif. Les uns sont applicables sans l'utilisation des composants additionnels tandis que l'application des autres états de commutation a recours aux composants additionnels. Pour remplacer un état devenu indisponible suite à une défaillance, des états redondants sont naturellement possibles (en mode sain) ainsi que de nouveaux états possibles grâce aux composants additionnels : a priori de nombreuses possibilités de choix sont offertes. Néanmoins, nous avons illustré par plusieurs exemples le fait que les états redondants à mettre en œuvre lors de la reconfiguration de la commande doivent être sélectionnés avec la plus grande attention. En effet, l'état redondant utilisé ne doit pas seulement garantir de nouveau la possibilité du niveau de tension devenu indisponible suite à une défaillance, mais il ne doit pas déséquilibrer le bus continu. Si le bus continu venait à être déséquilibré, tout le bénéfice de la continuité de service serait très vite perdu : le défaut aurait apparemment été « corrigé » vue de la sortie du convertisseur, mais, en interne au convertisseur, nous n'aurions pas respecté les contraintes de dimensionnement des condensateurs du bus continu. Un mauvais choix des états redondants à utiliser conduirait alors à une panne du convertisseur, suite à la défaillance du bus continu. Le Tableau II.12 synthétise les résultats de notre étude dans le cas de la défaillance d'un interrupteur actif. Il indique, de manière exhaustive, les états redondants à utiliser, quel que soit l'interrupteur actif défaillant.

Enfin, nous avons traité le cas de la continuité de service du convertisseur lors d'un défaut circuit ouvert d'une des diodes de roue libre. Lors de la mise en œuvre des interrupteurs actifs redondants, ces derniers sont généralement commercialisés dans des modules qui intègrent également une diode en antiparallèle de chaque IGBT. Ainsi, sans complexifier la structure à tolérance de pannes, tant du point de vue théorique que de la mise en œuvre expérimentale, les diodes de tels modules vont naturellement (et sans détection préalable) garantir la continuité de service lors de la défaillance d'une diode de roue libre principale.

Pour conclure ce chapitre, on peut donc mentionner qu'à l'issue de ces chapitres I et II, nous avons atteint, du point de vue de l'étude théorique, les objectifs que nous nous étions fixés à l'issue des études bibliographiques. En effet, quel que soit le semi-conducteur en défaut circuit ouvert (interrupteur actif, diode de roue libre ou diode de clamp), notre étude permet de garantir la continuité de service du convertisseur, en mode nominal, tout en satisfaisant les six critères que nous nous étions fixés. Il nous reste cependant à valider cette étude théorique, d'abord par simulation, puis expérimentalement : c'est l'objet du chapitre III, intégralement consacré à la validation de l'étude théorique.

Chapitre III : Prototypage et validation

1. Introduction

Au chapitre I, nous nous sommes intéressés au diagnostic de défauts dans les convertisseurs multiniveaux et avons examiné le cas d'un défaut circuit ouvert d'un de leurs semi-conducteurs (interrupteur actif ou diode de clamp). Suite à un état de l'art, nous avons présenté nos travaux de recherche et avons exposé, de manière théorique, une stratégie de détection et d'identification du défaut, dans le cas d'un module NPC monophasé en pont en H, à cinq niveaux. Suite à la localisation du défaut, nous avons alors envisagé l'étude de la continuité de service du convertisseur, objet du chapitre suivant.

Au chapitre II, un état de l'art nous a notamment permis d'établir six critères à satisfaire lors de la tolérance de pannes. Nous nous sommes fixés comme objectif de satisfaire ces six critères et avons proposé une structure de convertisseur à tolérance de pannes, associée à une commande reconfigurable. L'étude théorique menée au chapitre II a démontré la capacité théorique de la structure de convertisseur proposée à assurer la continuité de service, non seulement suite à localisation du composant défectueux (diode de clamp ou un interrupteur actif), mais également lors de la défaillance d'une diode de roue libre, sans qu'un diagnostic de défaut préalable ne soit alors nécessaire.

Comme nous venons de le mentionner, les deux premiers chapitres ont été consacrés aux études théoriques; nous n'y avons présenté ni résultats de simulation, ni résultats expérimentaux. Ce choix est motivé par le souhait d'éviter les répétitions lors de la présentation de ces résultats, par ailleurs obtenus chronologiquement et par étapes lors de ces travaux de thèse, tant par simulation qu'expérimentalement. En effet, les étapes de détection, de localisation et de mise en œuvre de mesures correctives pour la tolérance de pannes sont liées. Les explications d'une étape donnée sont directement liées à celles d'une autre. Le fait de consacrer la totalité de ce chapitre III à la présentation de ces résultats permettra d'interpréter et commenter de manière plus synthétique les différentes formes d'ondes des grandeurs. Les études théoriques développées aux chapitres I et II seront validées dans ce chapitre III.

Traditionnellement, la validation des études théoriques s'effectue dans un premier temps par simulation. Ensuite, une fois simulés avec succès, les algorithmes proposés ainsi que la structure du convertisseur à tolérance de pannes doivent être validés lors d'essais expérimentaux. Avant de passer de la simulation à l'expérimentation, nous pouvons être conduits à affiner l'étude validée par simulation, avant sa mise en œuvre sur un banc de test expérimental. Ces ajustements prennent généralement en compte deux points principaux. Le premier point concerne l'intégration des imperfections du système réel que nous devons intégrer lors des simulations, dans la limite du possible. Par exemple, dans notre cas, nous avons intégré lors de nos modélisations les temps de réponse des capteurs, les temps de latence des convertisseurs analogiques/numériques (ADC pour Analog-to-Digital Converter) et numériques/analogiques (DAC pour Digital-to-Analog Converter) ainsi que les temps de retard à la fermeture et à l'ouverture des interrupteurs actifs. Comme nous l'avons expliqué au

chapitre I, au niveau de l'algorithme de détection, la non prise en compte de ces imperfections liées au système réel aurait conduit à de fausses détections lors du passage à la phase expérimentale. En effet, les simulations auraient alors été validées avec succès, ce qui n'aurait pas été le cas des essais expérimentaux. La difficulté rencontrée a été de choisir d'intégrer dans nos modèles les imperfections du système qui ont spécifiquement un impact sur notre étude, sans en oublier mais sans pour autant intégrer de manière systématique l'ensemble des imperfections. Le deuxième point concerne l'adaptation de la transcription des algorithmes proposés, étape supplémentaire qui fait suite à la validation de nos simulations. Elle est nécessaire avant de pouvoir implanter les modèles de simulation au niveau du banc expérimental : il s'agit de passer d'un modèle simulable dans l'environnement Matlab à un modèle implantable sur une cible matérielle. En effet, selon les cibles matérielles employées pour réaliser le banc de test, nous sommes dans l'obligation d'adapter la forme de la description de l'algorithme validé par simulation, afin qu'il devienne implantable. Par exemple, dans le cas de notre banc de test expérimental intégrant une cible FPGA (Field Programmable Gate Arrays), nous ne serons pas en mesure d'implémenter directement sur la cible FPGA les modèles Simulink, simulés dans l'environnement Matlab.

Le premier point mentionné ci-dessus a été attentivement pris en compte dans les deux premiers chapitres où nous avons considéré le comportement et les imperfections du système réel lors de l'étude théorique. Concernant le second point, son développement nécessite d'avoir tout d'abord décrit les éléments qui constituent le banc de test. Dans le cadre de ces travaux de thèse, un nouveau banc expérimental a été développé et mis en œuvre dans les locaux du laboratoire GREEN. Ainsi, après avoir décrit ce banc expérimental et les éléments qui le constituent, nous présenterons la méthodologie et le flot de conception qui ont été suivis pour la mise en œuvre expérimentale, notamment en ce qui concerne les algorithmes étudiés aux chapitres I et II. Dans notre cas, le choix des cibles matérielles destinées à réaliser, partiellement ou en totalité, les stratégies de diagnostic de défaut et le fonctionnement à tolérance de pannes, a déterminé la démarche suivie, depuis la validation par simulation jusqu'à l'implantation.

2. Description du banc de test expérimental

2.1. Contexte général

Les travaux de recherche réalisés dans le cadre de cette thèse s'inscrivent dans la continuité de travaux menés depuis 2006, en collaboration entre les deux laboratoires IJL et GREEN de l'Université de Lorraine. Une grande partie de ces collaborations a porté sur la tolérance de pannes des convertisseurs de puissance : convertisseurs AC/DC et DC/AC à deux niveaux, convertisseur back-to-back, convertisseurs DC/DC, ... Plus récemment, en 2016, la tolérance de pannes de la conversion multiniveaux pour structures NPP et T-Type a été étudiée, particulièrement lors des travaux de thèse de Monsieur Florent BECKER [1]. Lors des travaux de Monsieur BECKER, la plateforme expérimentale mise en œuvre lors des

précédentes recherches avait alors été adaptée et utilisée. Cette plateforme utilisait notamment un système modulaire commercialisé par la société dSPACE, basé sur un processeur. Afin d'intégrer un composant FPGA à cette plateforme et le coupler au processeur, nous avons été amenés à développer des cartes d'interface, insérées entre le système modulaire dSPACE et une carte de développement de la famille Altera, intégrant un FPGA. Le développement de cartes d'interface complémentaires avait également été nécessaire, afin d'intégrer l'ensemble dans la boucle de contrôle du système de puissance. Ces expériences passées ont démontré les difficultés liées aux interfaces, difficultés par ailleurs clairement identifiées et mentionnées par tous les expérimentateurs : ces interfaces sont régulièrement à l'origine de problèmes qu'il faut solutionner et que l'on ne peut pas identifier lors des simulations préalables. En effet, lors des simulations, les interfaces du banc de test ne peuvent pas être intégralement prises en compte et elles limitent la contribution des simulations à la réduction du temps de développement. Néanmoins, nous n'avions alors pas la possibilité d'acheter sur le marché des systèmes de développement intégrant un processeur et un FPGA, au sein d'un unique système de prototypage.

Cependant, ces dernières années, les systèmes de prototypage ont évolué : le souhait des concepteurs de plateformes était de démocratiser l'utilisation de cibles FPGA, en facilitant leur mise en œuvre par les utilisateurs. Ils ont alors développé de nouvelles plateformes, intégrant un processeur et un FPGA au sein d'un unique système de prototypage. Au niveau de la société dSPACE, cette évolution a été motivée par une forte demande de chercheurs des domaines de l'électronique de puissance et de la commande : ces derniers souhaitaient pouvoir bénéficier des performances potentielles des FPGA, sans être spécialistes de l'électronique analogique ou numérique, du domaine des FPGA et du développement de cartes électroniques d'interface. C'est pour cette raison que dSPACE a développé et commercialisé un nouveau produit, appelé MicroLabBox, plateforme de prototypage rapide intégrant un processeur et un FPGA de la famille Xilinx.

Lors de ces travaux de thèse, nous avons saisi cette opportunité et avons décidé de mettre en place un nouveau banc expérimental, intégrant notamment cette MicroLabBox. L'expérience et les compétences acquises lors des précédentes collaborations IJL/GREN a permis de développer efficacement ce nouveau banc de test. Cependant, cette nouvelle plateforme a nécessité une forte implication aux niveaux de l'installation des nombreux outils informatiques et de leurs prises en main. De même, de nouvelles interfaces, certes plus limitées que dans le cas de la plateforme existante, ont été conçues et réalisées.

Avant d'aborder la présentation des résultats, nous présentons dans cette section le nouveau banc de test expérimental. Nous y détaillerons ensuite l'approche suivie lors de la mise en œuvre expérimentale.

2.2. Principaux éléments du banc expérimental

Une photographie du banc expérimental est présentée à la Figure III.1. Il comporte des montages à IGBT, une charge résistive, une charge inductive, une source de tension programmable TDK LAMBDA, des capteurs de tension MTX 1032-C et MTX 1032-B

Chapitre III : Prototypage et validation

commercialisés par la société METRIX, des capteurs de courant PR 30 commercialisés par LEM et une MicroLabBox de l'entreprise dSPACE. Il est à noter que le montage à IGBT est conçu à partir de modules commercialisés par la société SEMIKRON (référence SKM50GB123D, voir la Figure III.2). Ces IGBTs sont pilotés par des drivers de référence SKHI22A, également commercialisés par SEMIKRON. Les paramètres électriques du banc sont consignés dans le Tableau III.1.

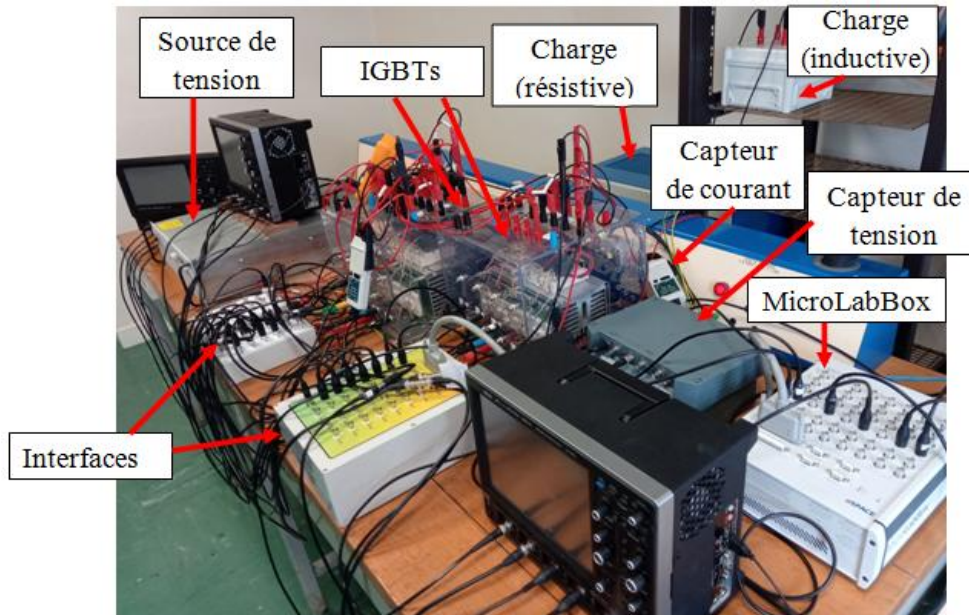


Figure III.1. Photographie du banc de test expérimental réalisé.

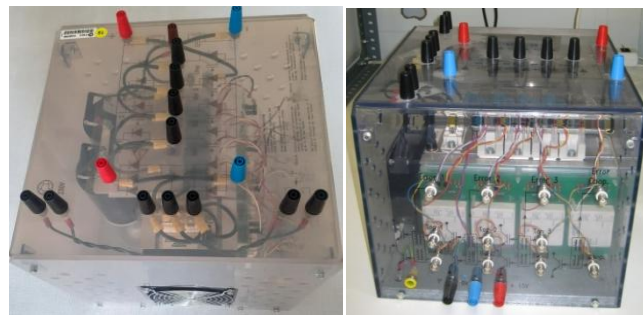


Figure III.2. Photographies du montage à IGBT.

Tableau III.1. Paramètres du système étudié (simulation et essais expérimentaux).

Éléments du système	Valeurs
Inductance de la charge	9 mH
Résistance de la charge	27.7 Ω
Capacité de chaque condensateur du bus continu	2.2 mF
Tension nominale du bus DC	50 V

2.3. Choix technologiques et méthodologie d'implantation sur processeur et FPGA

2.3.1. Introduction

Comme nous l'avons mentionné en introduction de ce chapitre, nous avons fait le choix d'une MicroLabBox pour y implanter les algorithmes dédiés au diagnostic de défaut et à la tolérance de pannes. Dans cette sous-section, nous décrivons brièvement l'architecture globale et les principaux éléments d'une MicroLabBox. Puis, suite à cette description, nous présenterons le schéma de principe de l'implantation des algorithmes. Enfin, les étapes du flot de conception à suivre lors de l'implantation seront exposées et détaillées.

2.3.2. Architecture globale d'une MicroLabBox et implantation expérimentale

Globalement, une MicroLabBox est constituée de deux cartes DS1202 et DS1302. Un processeur temps réel est intégré à la carte DS1202 tandis que la carte DS1302 comporte un module FPGA (Xilinx® Kintex®-7 XC7K325T) ainsi que des convertisseurs type DAC et ADC. Selon l'architecture globale de la MicroLabBox, l'échange des données entre la carte processeur et le module FPGA s'effectue via un bus appelé « Local bus ».

Le choix d'une cible numérique de type FPGA a été motivé par les impératifs de performance temps réelle, requis pour l'exécution des algorithmes de diagnostic et de gestion de défaut. La logique câblée interne au FPGA lui permet d'atteindre des vitesses d'exécution très élevées. Un composant FPGA étant multitâches (traitement parallèle), ses capacités s'avèrent également intéressantes comparativement à celle de composants de type DSP (Digital Signal Processor), souvent pénalisés par le traitement sérialisé des instructions. De plus, une cible FPGA est capable de travailler à une période d'échantillonnage très faible, de l'ordre de quelques centaines de nanosecondes (ns), alors qu'un système basé sur un DSP pourra faire face à des difficultés pour fonctionner à telles fréquences. Par ailleurs, la mise en œuvre d'un diagnostic de défaut très rapide est essentielle au niveau des convertisseurs à tolérance de pannes. La rapidité du diagnostic de défaut nous permet de réduire au minimum les transitoires indésirables, suite à l'apparition d'un défaut. La surveillance du système par l'algorithme de diagnostic de défaut doit alors être rapide et effectuée en parallèle des autres traitements dédiés au contrôle du système (mode sain), qui peuvent alors être plus lents.

Par conséquent, dans ce travail de recherche, les algorithmes de diagnostic (détection et localisation) et de gestion du défaut (mesures correctives pour la tolérance de pannes) sont implémentés sur le FPGA de la MicroLabBox, alors que le modulateur est implémenté sur le processeur. La période d'échantillonnage pour le processeur est fixée à 50 microsecondes (μ s) tandis que la période d'horloge du module FPGA est fixée à 10 ns. Notons que la fréquence d'échantillonnage du processeur (20 kHz pour une période de 50 μ s) est suffisamment élevée par rapport à la fréquence de commutation d'un convertisseur multiniveaux (tout au long de ce travail de recherche, nous avons fixé la fréquence de commutation à 1 kHz). Par conséquent, durant une période d'échantillonnage du processeur, l'état de commutation

Chapitre III : Prototypage et validation

généralisé par le modulateur ne change pas. D'autre part, la surveillance du système s'effectue par l'algorithme de diagnostic de défaut en fonction de l'état de commutation appliqué, comme expliqué au chapitre I. Ainsi, augmenter la fréquence d'échantillonnage du processeur ne permet pas de réduire le temps nécessaire au diagnostic de défaut. En revanche, la fréquence d'horloge de la cible FPGA doit être aussi élevée que possible pour effectuer l'action de diagnostic dans le temps imparti et réduire autant que possible le temps de diagnostic du défaut. C'est pour cela que nous avons implanté le modulateur sur le processeur tandis que les algorithmes de diagnostic et de gestion de défaut sont implémentés sur FPGA. Il est à noter que nous pourrions également implanter l'intégralité du contrôle (mode sain) et de la tolérance de pannes sur la cible FPGA ; cependant, ce choix induirait un surcoût à l'échelle industrielle car le FPGA choisi devrait alors être de plus grande taille, sans pour autant améliorer les performances de la tolérance de pannes. Nos choix technologiques permettent d'optimiser la mise en œuvre du système proposé en termes de coût et de performances.

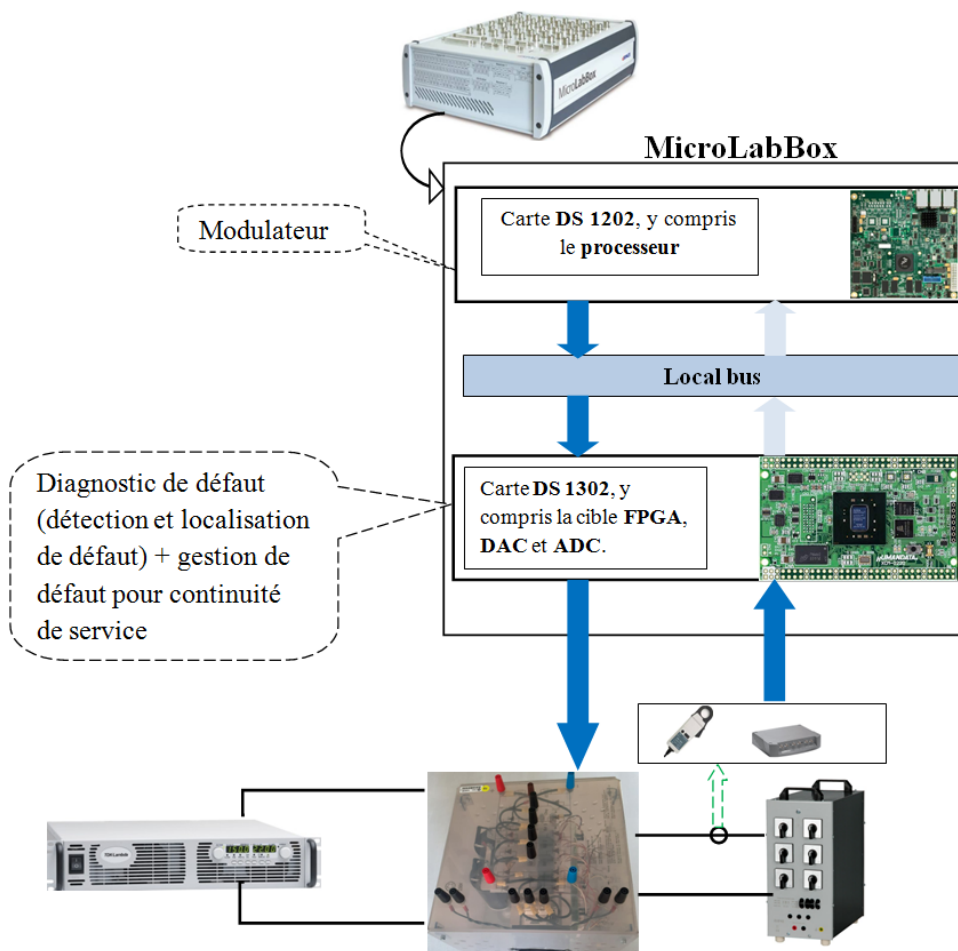


Figure III.3. Schéma de l'implantation expérimentale.

Le schéma de l'implantation expérimentale retenue est illustré par la Figure III.3. A tout moment du fonctionnement du convertisseur (mode sain et tolérance de pannes), les ordres de commande des interrupteurs actifs sont générés par le modulateur qui est implanté sur le processeur. Le module FPGA fonctionne en parallèle du processeur et exécute notamment

l'algorithme de détection de défaut. Cela signifie que durant chaque période d'échantillonnage du processeur, le module FPGA effectue l'action de surveillance d'un éventuel défaut. Si aucun défaut n'est détecté, le module FPGA applique aux interrupteurs actifs, sans aucune modification, les ordres de commande générés par le modulateur. Si un défaut est détecté, le module FPGA reçoit toujours les ordres de commande générés par le modulateur mais il n'applique plus ces ordres aux interrupteurs (les ordres sont ceux qui correspondent au dernier état appliqué, juste avant la détection de défaut) et exécute l'algorithme d'identification du composant défaillant. Une fois le composant identifié, les mesures correctives adaptées sont appliquées par ce même FPGA, en fonction du composant défaillant.

2.3.3. Etapes à effectuer afin de valider expérimentalement les stratégies proposées

Dans les sections précédentes, nous avons présenté les éléments constitutifs du banc de test. Nous allons maintenant détailler les étapes successives à effectuer, pour valider sur ce banc les algorithmes développés aux chapitres I et II.

- **Première étape : Simulation fonctionnelle**

La première étape s'effectue à l'aide d'outils informatiques classiques, dédiés à la simulation des systèmes de puissance et à leur contrôle en boucle fermée. Dans ce travail de recherche, Matlab et ses boîtes à outils Simulink et SimPowerSystem Blockset ont été utilisés. Cette étape nous permet de valider fonctionnellement le système de puissance étudié, et notamment les algorithmes destinés à assurer la tolérance de pannes.

- **Deuxième étape : Simulation hors ligne**

Cette étape de simulation dite « Hors Ligne » permet de simuler en boucle fermée et dans l'environnement Matlab, la modélisation VHDL (Very high speed integrated circuits Hardware Description Language) synthétisable et destinée à la programmation du FPGA.

Ainsi, les parties du modèle Simulink (de la première étape) qui intègrent les algorithmes réalisant le diagnostic de défaut et les mesures correctives (gestion du défaut) doivent tout d'abord être implantées sur la cible FPGA de la famille Xilinx. Préalablement à la programmation du FPGA, les modèles Simulink doivent être remplacés par de nouveaux modèles équivalents, ayant le même comportement mais construits à partir des éléments disponibles dans la bibliothèque de la boîte à outils « Xilinx Blockset ». Toutefois, certaines des fonctions souhaitées ou nécessaires ne sont pas disponibles au sein de cette bibliothèque. Les modèles concernés doivent alors être décrits par l'utilisateur lui-même, en code VHDL. Notons que cette boîte à outils « Xilinx Blockset » est spécifiquement dédiée aux FPGA de la famille Xilinx ; cependant, elle est directement utilisable dans l'environnement Matlab, au même titre que Simulink, par exemple. Les modèles construits à l'aide « Xilinx Blockset » peuvent en effet être importés dans l'environnement Matlab. Chaque élément de la bibliothèque « Xilinx Blockset » correspond à un modèle VHDL synthétisable qui peut être

directement implanté sur la cible FPGA Kintex-7 XC7K325T de la MicroLabBox. Cette boîte à outils est particulièrement efficace pour un prototypage rapide sur le composant FPGA.

Tous les modèles qui doivent être implantés sur FPGA sont rassemblés dans un sous-système, que nous appellerons « sous-système FPGA ». Tous les modèles hors du sous-système FPGA (exceptés ceux de la partie puissance) seront exécutés sur le processeur. Ils constitueront ce que l'on nommera le « modèle processeur ». Durant cette seconde étape dédiée à la simulation, les modèles de la partie puissance et du modulateur restent identiques à ceux de la première étape. Nous devons également configurer, au niveau de la MicroLabBox, les interfaces entre le FPGA, le processeur et l'environnement Matlab. La boîte à outils « RTI FPGA Programming Blockset » sert à cela ; elle est directement utilisable depuis l'environnement Matlab. Afin d'illustrer nos explications, la Figure III.4 présente les blocs proposés par la boîte à outil « RTI FPGA Programming Blockset » pour configurer les interfaces. A l'issue de cette étape, l'objectif est de valider par simulation hors ligne la tolérance de pannes du convertisseur NPC étudié dans ce mémoire.

Notons que l'utilisation des boîtes à outils « RTI FPGA Programming Blockset » et « Xilinx Blockset » requiert l'outil logiciel « Xilinx System Generator for DSP Blockset (XSG) », un des produits de « Vivado® Design Suite ».

Lors de cette simulation hors ligne, la partie puissance reste simulée à l'aide de la boîte à outils SimPowerSystemBlockset. A ce niveau du flot de conception, il n'est donc pas nécessaire de configurer les interfaces entre le FPGA et les canaux d'entrée et de sortie de la MicroLabBox. Cette configuration sera effectuée lors de l'étape qui suit.

- **Troisième étape : Génération du fichier de programmation du FPGA**

Si le comportement des modèles et les résultats issus de la deuxième étape sont cohérents et satisfaisants, nous pouvons alors générer le fichier de programmation du FPGA, à partir du modèle VHDL synthétisable du « sous-système FPGA ». La boîte à outil « RTI FPGA Programming Blockset », accessible depuis l'environnement Matlab, gère la procédure de génération du fichier de programmation du FPGA, en adéquation avec la MicroLabBox. Lors de cette étape, il faut également configurer toutes les interfaces illustrées sur la Figure III.4 dont les interfaces insérées entre le FPGA et les canaux d'entrée et de sortie de la MicroLabBox. Il est à noter que si l'exécution de cette étape ne s'achève pas avec succès, nous devons revenir à la deuxième étape pour modifier le modèle.

- **Quatrième étape : génération du code exécutable sur le processeur**

Après avoir généré le fichier de programmation lié au « sous-système FPGA », il nous faut alors générer le code exécutable sur le processeur, pour le « modèle processeur ». Cette étape est réalisée à l'aide des blocs de la boîte à outil « RTI FPGA Programming Blockset » (notamment le bloc « Processor Setup »). Le code obtenu est ensuite chargé dans le processeur de la MicroLabBox. Ce chargement s'effectue à l'aide du logiciel « ControlDesk » de la société dSPACE.

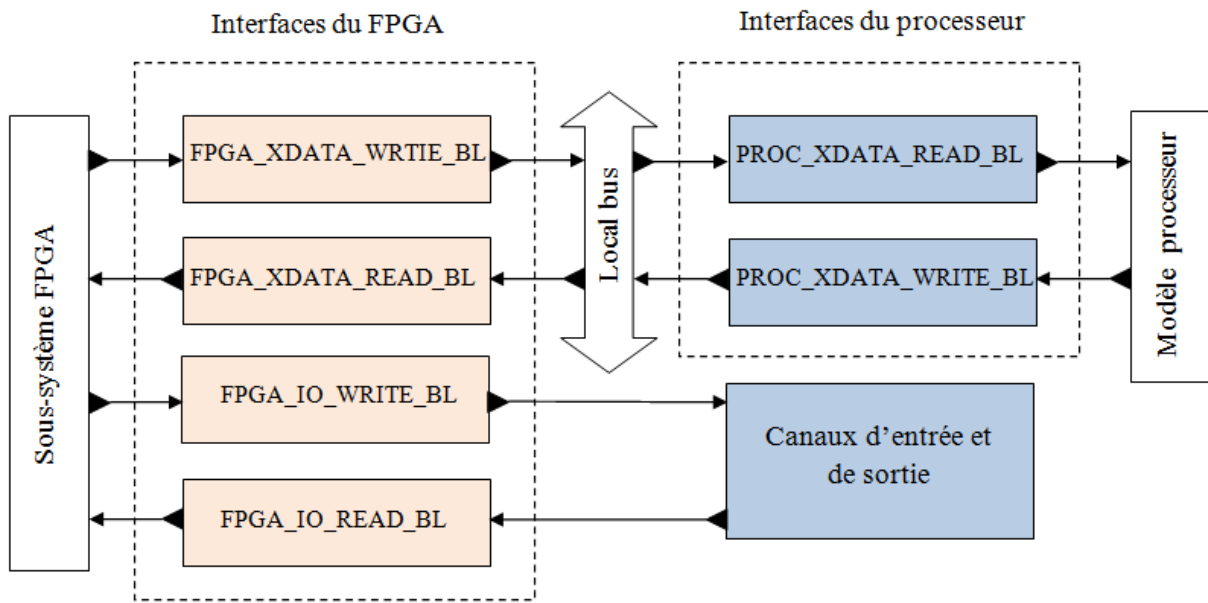


Figure III.4. Blocs d'interfaces disponibles dans l'architecture de MicroLabBox.

- **Cinquième étape : validation entièrement expérimentale**

Une fois le FPGA programmé conformément à la modélisation du « sous-système FPGA » et le code du « modèle processeur » chargé dans le processeur, nous pouvons envisager de procéder à des essais expérimentaux avec la partie puissance réelle.

Le flot de conception de la Figure III.5 résume les cinq étapes à effectuer pour l'implantation sur MicroLabBox des stratégies proposées dans ce travail de recherche.

3. Validation par simulation et résultats expérimentaux

Dans les sections qui suivent, nous présenterons les résultats obtenus par simulation ainsi que ceux issus des essais expérimentaux. Nous détaillerons successivement les résultats obtenus pour le diagnostic de défaut (détection et localisation), puis pour la continuité de service. Avant de présenter les résultats obtenus lors de la continuité de service, nous illustrerons l'importance des mesures correctives en présentant préalablement les conséquences de la défaillance d'un semi-conducteur lorsque le convertisseur n'intègre pas cette tolérance de pannes.

3.1. Localisation du défaut d'un IGBT en supposant les diodes de clamp non défaillantes

Dans toute cette section, nous présenterons les résultats de la localisation de défaut d'un IGBT, dans l'hypothèse où les diodes de clamp sont supposées non défaillantes. Ces résultats ont été sélectionnés afin de valider la localisation selon les deux cas possibles, examinés lors de l'étude théorique du chapitre I : localisation obtenue en une ou deux étapes.

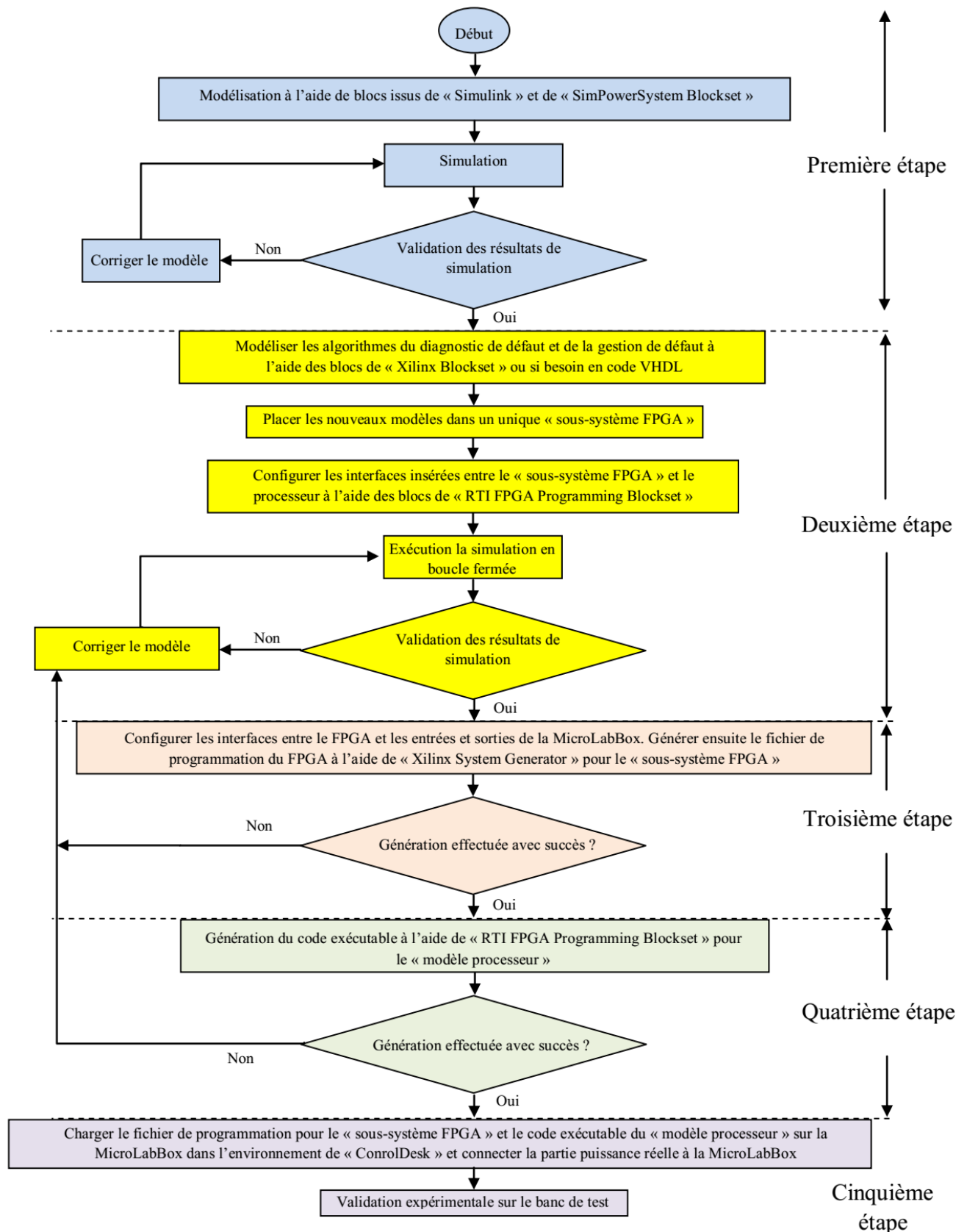


Figure III.5. Flot de conception pour l'implantation des algorithmes sur le FPGA et le Processeur de la MicroLabBox.

3.1.1. Localisation du défaut à l'issue de la première étape

Selon l'étude théorique du chapitre I, l'identification d'un interrupteur actif défaillant peut être obtenue à l'issue d'une ou deux étapes, en fonction de l'état de commutation appliqué par le modulateur, à l'instant de détection du défaut. Les résultats présentés dans cette sous-section concernent un cas où l'interrupteur actif défaillant est identifié en une seule étape. Pour illustrer et valider notre étude, nous avons choisi de présenter les résultats obtenus par simulation fonctionnelle ainsi que les résultats expérimentaux, dans le cas de défaillance de S12.

Selon le Tableau I.2, afin de faciliter l'affichage, un nombre est attribué à chaque état de commutation. Nous allons maintenant détailler comment ce nombre est attribué. Le bit '1' associé à un ordre de commande signifie que l'interrupteur concerné est commandé à la fermeture tandis que le bit '0' signifie que l'interrupteur est commandé à l'ouverture. L'ensemble des ordres de commande appliqués aux huit interrupteurs actifs forme un mot de huit bits. Le bit de poids fort est celui qui correspond à l'interrupteur S11 tandis que le bit de poids faible correspond à l'interrupteur S24. En attribuant ainsi un nombre à chaque état de commutation, on peut alors présenter synthétiquement les résultats de simulation, sans avoir à présenter séparément les huit signaux de commande. Un changement d'état de commutation se traduira donc par un changement du nombre qui lui est associé.

3.1.1.2. Résultats de simulation

D'après la Figure III.6, durant l'intervalle 1, l'état de commutation 2 (correspondant au nombre 198) est appliqué. Conformément au Tableau I.2, l'état de commutation 2 correspond effectivement à une tension de sortie égale à $+V_{dc}/2$, en mode sain. A l'instant t_1 , nous générons un défaut de type circuit ouvert au niveau de S12. Il faut mentionner que dans ce travail de recherche, nous avons généré le défaut de type circuit ouvert en commutant à '0' l'ordre de commande appliqué à l'interrupteur concerné. Dès la génération du défaut à l'instant t_1 , la tension de sortie prend la valeur $-V_{dc}/2$, conformément au Tableau I.4. Ainsi, dès l'instant t_1 , il existe un écart entre la tension de sortie quantifiée ($-V_{dc}/2$) et la tension de sortie estimée ($+V_{dc}/2$). En dépit de l'apparition de cet écart, la détection du défaut n'est pas aussitôt déclarée. Selon les explications présentées au chapitre I, en vue de remplir le critère temporel et pour éviter la fausse détection, la détection du défaut est déclarée à la fin de l'intervalle 2 ($20 \mu s$ après t_1). Notons que la durée de $20 \mu s$ est une valeur raisonnable et suffisante pour satisfaire le critère temporel, car le temps de retard lié aux imperfections du système est inférieur à une dizaine de microsecondes, pour notre banc de test.

Dès le défaut déclaré, la phase de localisation débute. Selon le Tableau I.6, lorsqu'un défaut d'un interrupteur actif est identifié dans l'état de commutation 2, la tension de sortie peut prendre deux valeurs différentes ($0 V$ ou $-V_{dc}/2$). Dans le cas où la tension de sortie vaut $-V_{dc}/2$, le composant S12 peut être immédiatement identifié comme défaillant à l'issue de la première étape, ce qui est le cas à l'instant t_2 de la Figure III.6. Notons que pour faciliter l'affichage du signal de localisation de défaut correspondant au composant défaillant, les

nombres 1, 2, 4, 8, 16, 32, 64, et 128 sont respectivement attribués aux interrupteurs S24, S23, S22, S21, S14, S13, S12, et S11, en cas défaut.

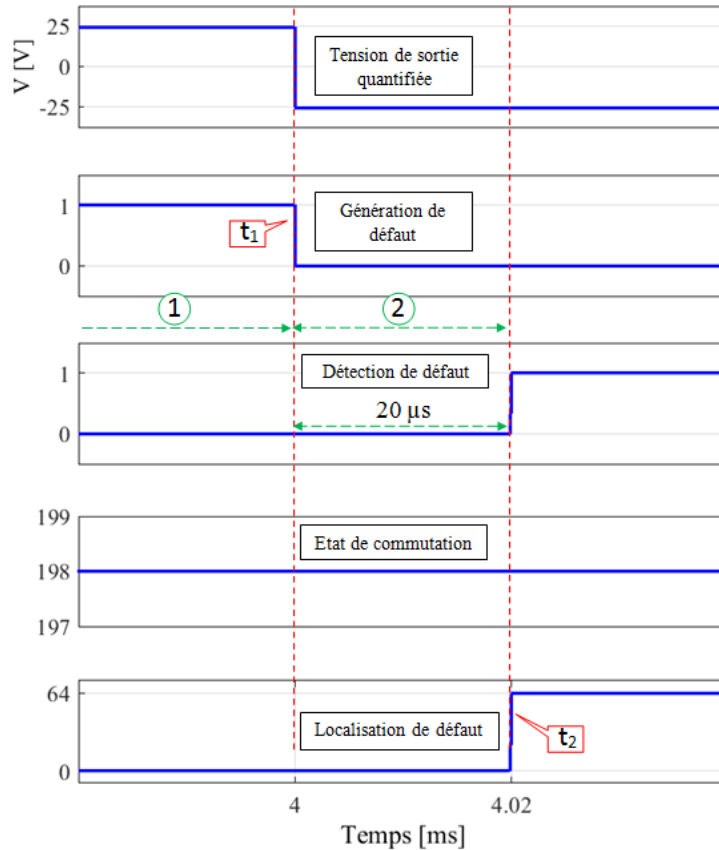


Figure III.6. Résultats de simulation : localisation du défaut de S12 lors de la première étape.

3.1.1.2. Résultats expérimentaux

Dans cette sous-section, nous présentons les résultats expérimentaux obtenus lors de la localisation du défaut de S12. Nous avons uniquement affiché quatre signaux de commande au lieu de huit car selon le Tableau I.2, les quatre signaux de commande des interrupteurs S11, S12, S23, et S24 sont complémentaires de ceux respectivement appliqués à S13, S14, S21, et S22. Ainsi, nous avons sélectionné et affiché les quatre signaux de commande de S11, S12, S23, et S24.

Selon la Figure III.7, avant l'instant t_a (durant l'intervalle 1), les interrupteurs S11, S12, et S23 sont commandés à la fermeture et l'interrupteur S24 est commandé à l'ouverture. Ainsi, d'après le Tableau I.2, nous sommes bien dans l'état de commutation 2 et le convertisseur fonctionne en mode sain. A l'instant t_a , nous avons généré un défaut de type circuit ouvert au niveau de S12, en passant à '0' son ordre de commande (commande à l'ouverture). La tension de sortie prend la valeur $-V_{dc}/2$ immédiatement après le défaut, au lieu de $+V_{dc}/2$ en mode sain. Ainsi, dès l'instant t_a , un écart apparaît entre la tension de sortie quantifiée et la tension de sortie estimée. Autrement dit, le signal d'erreur (nommé « Er » à la Figure I.21) prend une valeur non nulle.

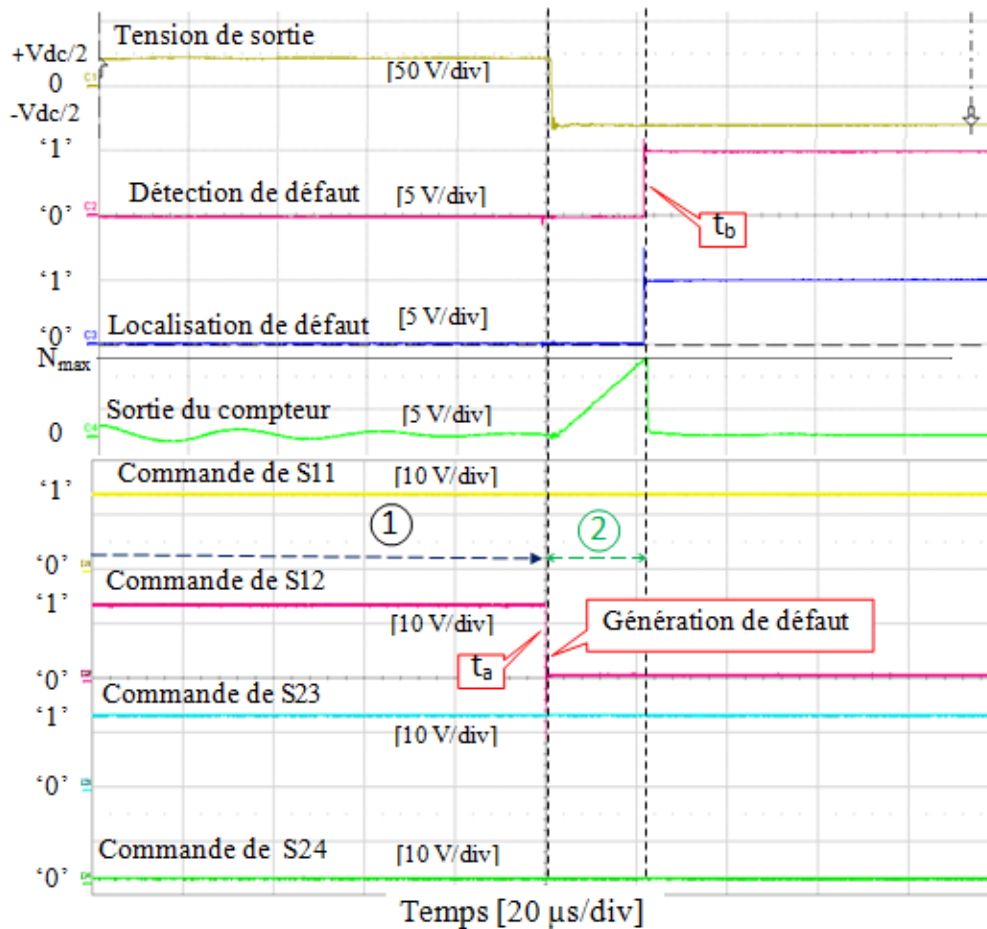


Figure III.7. Résultats expérimentaux : localisation du défaut de S12 lors de la première étape.

Ainsi, dès l'instant t_a , le compteur commence à s'incrémenter. La sortie du compteur augmente jusqu'à atteindre la valeur de seuil prédéfinie (nommée N_{max} à la Figure III.7). Comme nous pouvons le constater sur la Figure III.7, selon l'échelle de temps, la valeur de seuil choisie pour le compteur N_{max} correspond à une durée de $20 \mu s$. La durée de l'intervalle 2 est donc égale à $20 \mu s$. Dès que la sortie du compteur atteint sa valeur seuil N_{max} , le défaut est déclaré et la sortie du compteur est remise à zéro. Pour la même raison que durant l'analyse par simulation de la Figure III.6, la localisation du défaut étant possible lors de la première étape, le composant défectueux est repéré immédiatement après la détection du défaut.

3.1.2. Localisation du défaut lors de la deuxième étape

Dans cette section, nous présentons les résultats obtenus par simulation et expérimentalement, dans un cas où le composant défaillant est identifié à l'issue de la deuxième étape. Pour illustrer et valider les études théoriques, nous avons sélectionné le cas des deux interrupteurs externes S11 et S24 pour lesquels la défaillance dans l'état 1 est indiscernable à l'issue de la première étape.

3.1.2.1. Résultats de simulation

Les Figures III.8 et III.9 présentent respectivement les résultats de simulation relatifs à la localisation d'un défaut au niveau de S11 et de S24.

D'après la Figure III.8, avant l'instant t_1 , l'état de commutation 1 (nombre 195) est appliqué et le niveau de la tension de sortie est +Vdc (mode sain). A l'instant t_1 , nous générons un défaut circuit ouvert de S11 ; la tension de sortie chute alors brutalement au niveau +Vdc/2 et le signal d'erreur « er » n'est donc plus nul. Le défaut est déclaré à la fin de l'intervalle 2, 20 μ s après son apparition, en raison du critère temporel.

De la même manière, la Figure III.9 présente le cas d'un défaut circuit ouvert de S24 lors de l'état 1, généré à l'instant t_1 . Le défaut est également déclaré à la fin de l'intervalle 2.

En comparant les Figures III.8 et III.9 jusqu'à la fin de l'intervalle 2, nous pouvons constater que l'apparition du défaut de S11 ou de S24 donne lieu aux mêmes formes d'ondes de la tension de sortie : dès la génération du défaut de S11 ou de S24 lors de l'état 1, la tension de sortie atteint la même valeur (+Vdc/2), ce qui est conforme aux analyses fournies dans le Tableau I.4. Le défaut est néanmoins correctement déclaré, dans les deux cas.

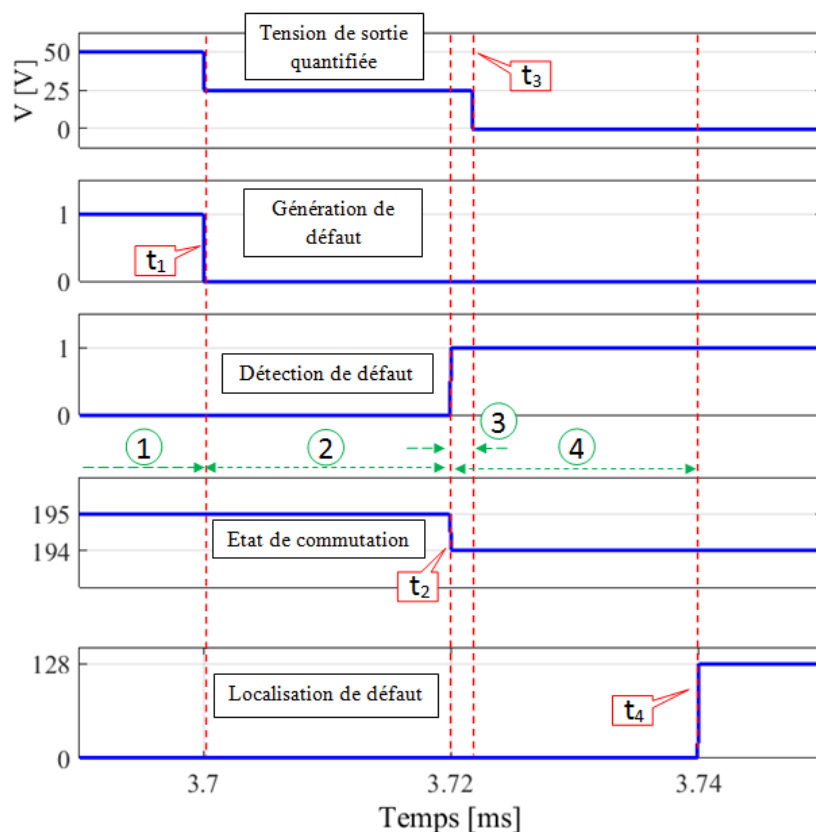


Figure III.8. Résultats de simulation : localisation du défaut de S11 lors de la deuxième étape.

A l'instant de détection de défaut (instant t_2 sur toutes les deux Figures III.8 et III.9), nous ne sommes pas capables d'identifier l'interrupteur défaillant ; nous pouvons simplement conclure qu'il s'agit de S11 ou S24. Dans ce cas, l'exécution de la deuxième étape est

indispensable. L'interrupteur S24 est alors commandé à l'ouverture (voir le Tableau I.4, état 1). Si le composant défectueux est S11 (voir la Figure III.8), la tension de sortie atteint 0 V après l'ouverture de S24. Si le défaut est survenu au niveau de S24 (voir la Figure III.9), la tension de sortie ne varie pas suite à l'ouverture de S24.

A la Figure III.8, la tension de sortie ne change pas aussitôt la commande à l'ouverture de S24. Elle prend sa nouvelle valeur après quelques μs (voir l'intervalle 3 sur la Figure III.8), à l'instant t_3 . L'intervalle 3 correspond au temps de retard total, modélisé lors de la simulation.

Rappelons également qu'il faut remplir le critère temporel non seulement lors la phase de détection de défaut, mais également lors de la phase de localisation du défaut, lorsqu'un changement d'ordre de commande est appliqué. Pour cette raison, le défaut est localisé 20 μs après l'ouverture de S24 (intervalle 4 de la Figure II.8 et intervalle 4 de la Figure III.9). Dans les deux cas simulés, le défaut est correctement localisé : S11 est identifié comme défaillant à l'instant t_4 de la Figure II.8 et S24 est identifié comme défaillant à l'instant t_3 de la Figure II.9.

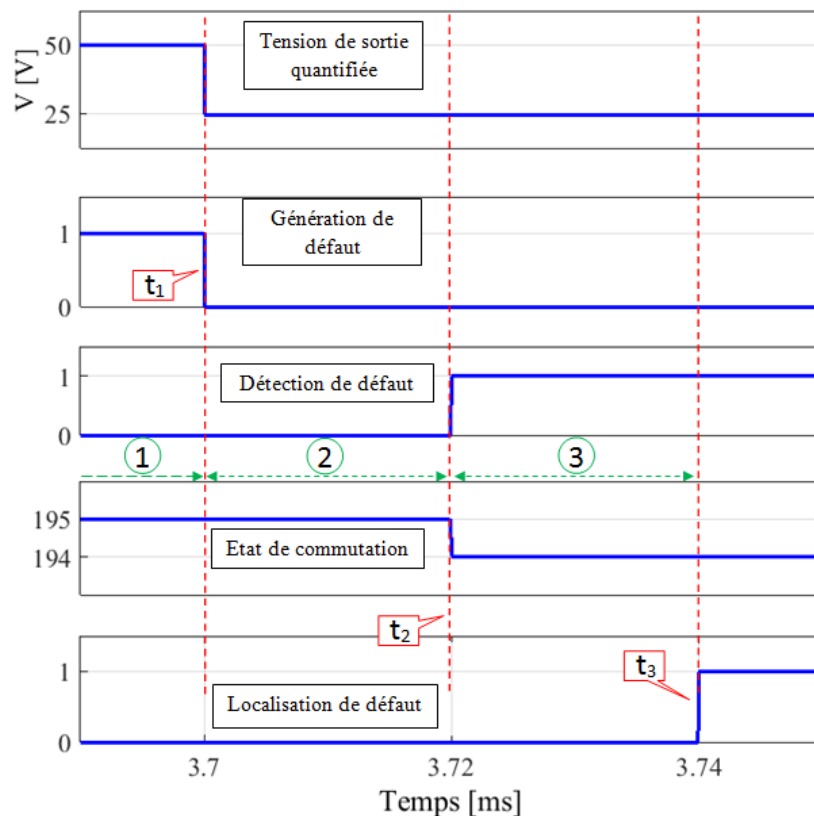


Figure III.9. Résultats de simulation : localisation du défaut de S24 lors de la deuxième étape.

3.1.2.2. Résultats expérimentaux

Les résultats expérimentaux relatifs à la localisation d'un défaut circuit ouvert de S11 et de S24, lors de la deuxième étape, sont respectivement illustrés par les Figures III.10 et III.11. Notons que le convertisseur fonctionne en mode sain jusqu'à l'instant t_b , sur les deux Figures III.10 et III.11.

Selon la Figure III.10, avant l'instant t_a , les IGBT S12, S23, et S24 sont commandés à la fermeture tandis que l'IGBT S11 est commandé à l'ouverture : nous sommes donc dans l'état de commutation 3, en mode sain. A l'instant t_a , un changement s'effectue au niveau de l'état de commutation appliqué par le modulateur : S11 est commandé à la fermeture et l'état de commutation appliqué passe de 3 à 1 (voir le Tableau I.2) ; le convertisseur continue de fonctionner en mode sain durant l'intervalle 1. En dépit du fonctionnement du convertisseur en mode sain durant l'intervalle 1, la sortie du compteur augmente dès l'instant t_a car nous avons changé l'état de commutation. Cette augmentation provient du temps de retard entre les variations de la tension estimée et de la tension mesurée, en raison des imperfections du système réel. Puisque ce temps de retard s'élève à quelques μs , la sortie du compteur n'atteint pas sa valeur seuil N_{max} . Ainsi, l'apparition d'un signal « er » non nul n'est pas traitée comme l'apparition d'un défaut. De cette manière, grâce au critère temporel, une fausse détection a été évitée. A l'instant t_b , nous générons un défaut circuit ouvert de S11. Juste avant la génération de défaut (instant t_b), l'état de commutation 1 était appliqué. La tension de sortie prend la valeur $+V_{\text{dc}}/2$ au lieu de $+V_{\text{dc}}$ et la sortie du compteur s'incrémente jusqu'à atteindre la valeur de seuil N_{max} en fin d'intervalle 2 (à l'instant t_c). Nous pouvons noter que la durée de l'intervalle 2 s'élève bien à $20 \mu\text{s}$. A l'instant t_c , le défaut est déclaré. La deuxième étape est nécessaire pour identifier le composant défaillant qui peut être S11 ou S24. Nous commandons donc S24 à l'ouverture, à l'instant t_c . Après l'exécution de cette étape, à l'instant t_d , nous identifions S11 comme le composant défaillant (à la fin de l'intervalle 3 d'une durée de $20 \mu\text{s}$) car la tension de sortie vaut 0 V .

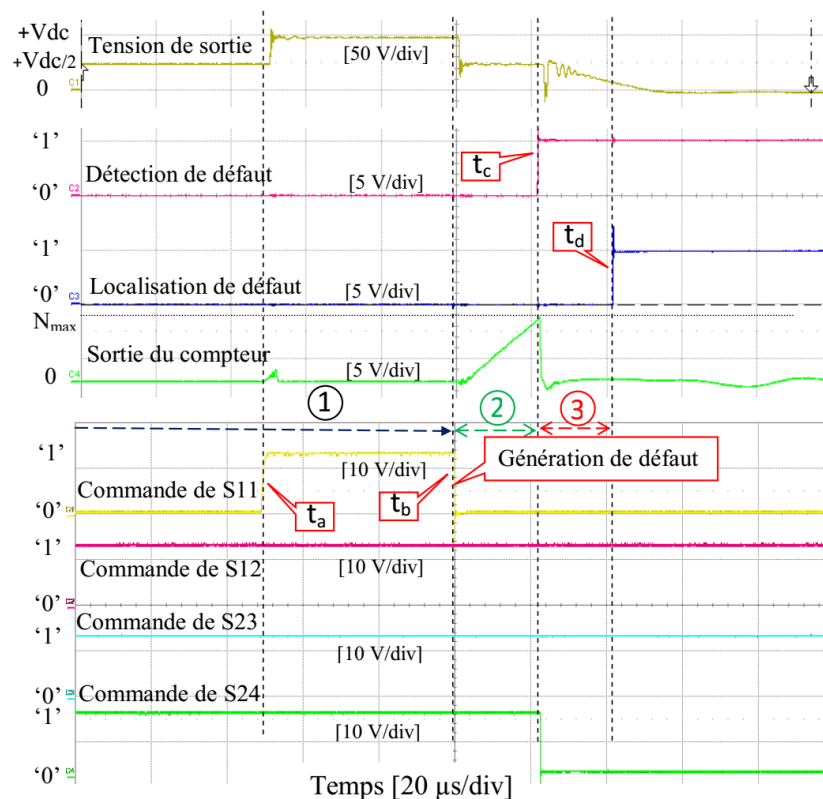


Figure III.10. Résultats expérimentaux : localisation du défaut de S11 lors de la deuxième étape.

Considérons maintenant le cas de la Figure III.11 (défaut de S24). Avant l'instant de localisation du défaut, la même analyse que celle présentée pour la Figure III.10 peut s'appliquer pour interpréter les résultats de la Figure III.11. La seule différence dans ce cas de défaillance de S24 est que la tension de sortie vaut $+V_{dc}/2$ à l'instant de localisation du défaut (instant t_c sur la Figure III.11) ; dans le cas où le composant défectueux était S11 (Figure III.10), la tension de sortie prenait la valeur $0V$ à l'instant de localisation de défaut. A instant t_e , le défaut de S24 est correctement localisé.

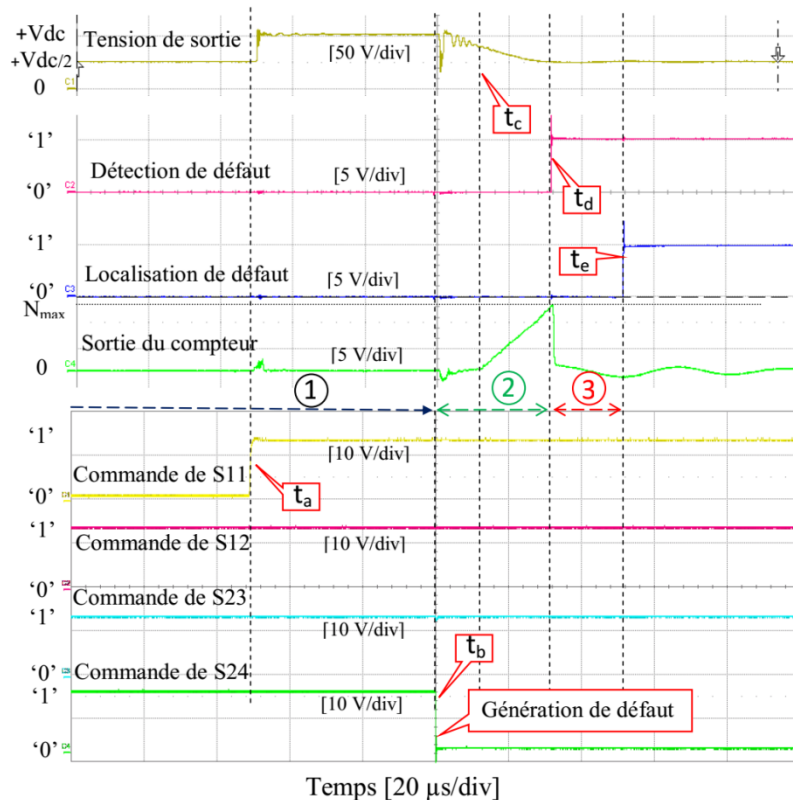


Figure III.11. Résultats expérimentaux : localisation du défaut de S24 lors de la deuxième étape.

3.2. Localisation de défaut au niveau d'un IGBT ou d'une diode de clamp

Dans les sections précédentes, nous avons supposé que les diodes de clamp n'étaient jamais défaillantes. Dans cette section, les diodes de clamp sont potentiellement en défaut circuit ouvert. Comme nous l'avons mentionné au chapitre I, en fonction de la diode de clamp défaillante et de l'état de commutation appliqué à l'instant de détection de défaut, la localisation de défaut est accomplie lors de la deuxième ou de la troisième étape. Par exemple, selon le Tableau I.6, lors de la défaillance de DC1, la localisation de défaut est obtenue lors de la deuxième étape tandis que dans le cas où DC4 est défaillante, la localisation de défaut s'effectue lors de la deuxième ou troisième étape, selon l'état de commutation concerné. Notons que les nombre 3, 9, 27, et 81 sont respectivement attribués aux diodes de clamp DC1, DC2, DC3, et DC4 pour faciliter l'affichage du composant défaillant lors des résultats de simulation.

3.2.1. Localisation du défaut de DC1 lors de la deuxième étape

Dans cette sous-section, nous présenterons à la Figure III.12 les résultats expérimentaux relatifs à la localisation d'un défaut circuit ouvert de la diode de clamp DC1. Pour éviter la répétition, les résultats de simulation ne sont pas présentés dans ce cas. Selon le Tableau I.6, la localisation de défaut de DC1 doit être obtenue lors de la deuxième étape. De manière générale, pour générer le défaut circuit ouvert d'une diode de clamp, nous avons mis un IGBT en série avec la diode de clamp concernée. En mode sain, cet IGBT est en permanence commandé à la fermeture. Pour générer le défaut de la diode de clamp, nous commandons alors cet IGBT à l'ouverture.

Selon la Figure III.12, durant l'intervalle 1, le convertisseur fonctionne en mode sain, dans l'état de commutation 5 avec un niveau de tension 0 V en sortie du convertisseur. A l'instant t_1 , un défaut de type circuit ouvert est généré au niveau de DC1. Dès l'apparition du défaut, à l'instant t_a , la tension de sortie chute et prend la valeur $-V_{dc}/2$, conformément au Tableau I.6. Le défaut est correctement déclaré en fin d'intervalle 2. La phase de localisation de défaut débute ensuite, dès la déclaration du défaut.

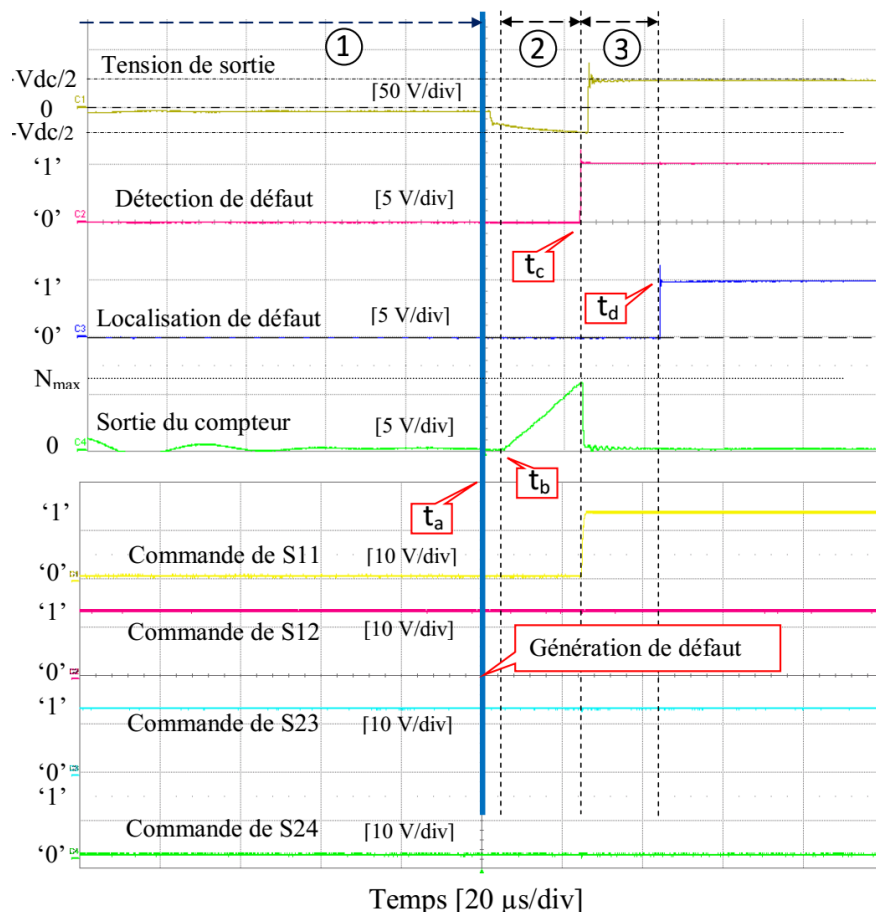


Figure III.12. Résultats expérimentaux : localisation du défaut de DC1 lors de la deuxième étape.

D'après le Tableau I.6, lorsque l'état de commutation 5 est appliqué, un défaut au niveau d'un des composants S12, DC1, S23 ou DC4 conduit au même niveau de tension en sortie (-

V_{dc}/2). Ainsi, pour identifier le composant défaillant, l'exécution de la deuxième étape est indispensable : nous commandons alors l'IGBT S11 à la fermeture, dès l'instant de détection de défaut. A la fin de l'intervalle 3 (instant t_d), la diode de clamp DC1 est correctement déclarée en tant que composant défaillant, conformément à l'étude théorique du chapitre I, car la tension de sortie vaut +V_{dc}/2 (un défaut au niveau des composants S12, S23 ou DC4 aurait respectivement conduit au niveaux de tension -V_{dc}/2, 0 V, et 0 V).

3.2.2. Localisation de défaut de DC4 ou de S23 lors de la troisième étape

Dans cette sous-section, nous présentons une sélection de résultats de simulation et de résultats expérimentaux, dans des cas où la localisation de défaut est obtenue lors de la troisième étape. Nous avons choisi d'examiner la localisation de défaut au niveau de la diode de clamp DC4 et de l'interrupteur S23.

Les résultats de simulation relatifs à la localisation du défaut de DC4 sont présentés à la Figure III.13. En mode sain, durant l'intervalle 1, l'état de commutation 5 est appliqué (nombre 102) et la tension de sortie vaut 0 V. A l'instant t_1 , un défaut circuit ouvert de DC4 est généré et la tension de sortie prend la valeur (-V_{dc}/2). A la fin de l'intervalle 2, le défaut est correctement déclaré. Dès l'instant t_2 de détection du défaut, la phase de localisation commence. Selon le Tableau I.6, nous constatons qu'un défaut au niveau des quatre composants S12, DC1, S23 ou DC4 donne lieu à la même tension de sortie (-V_{dc}/2). La deuxième étape est alors enclenchée et l'interrupteur S11 est commandé à la fermeture, à l'instant t_2 . Suite à ce changement d'ordre de commande, la tension de sortie atteint 0 V à l'instant t_3 , après un temps de retard nécessaire à la prise en compte effective du changement d'ordre de commande. A l'instant t_4 , soit 20 μ s après l'exécution de la deuxième étape, il n'est pas possible d'identifier le composant défaillant. En effet, selon le Tableau I.6, après avoir commandé S11 à la fermeture (exécution de la deuxième étape), les tensions estimées dans le cas de défaillance de S23 ou de DC4 valent toutes deux égales à 0 V. La troisième étape est alors enclenchée, afin de discerner le composant défaillant : S24 est commandé à la fermeture (à l'instant t_4 sur la Figure III.13). La tension de sortie prend la valeur +V_{dc} à la fin de l'intervalle 5 (à l'instant t_5). Comme précédent, après l'exécution de la troisième étape, le changement effectif de la tension de sortie s'effectue avec un retard. Vu qu'après avoir commandé S24 à la fermeture, la tension de sortie atteint +V_{dc} (Voir le Tableau I.8). Nous concluons, à juste titre, que le composant défaillant est DC4 : le défaut est correctement déclaré à l'instant t_6 de la Figure III.13.

Dans le cas de défaillance de S23 (voir la Figure III.14), avant l'exécution de la troisième étape à l'instant t_4 , les résultats obtenus sont identiques à ceux de la Figure III.13. La différence apparaît à l'instant t_4 (voir la Figure III.14) car la tension de sortie reste au niveau 0 V, conformément au Tableau I.8. La localisation de S23 est correctement effectuée à l'instant t_5 .

Des analyses similaires à celles des Figures III.13 et III.14 sont applicables aux résultats expérimentaux des Figures III.15 et III.16.

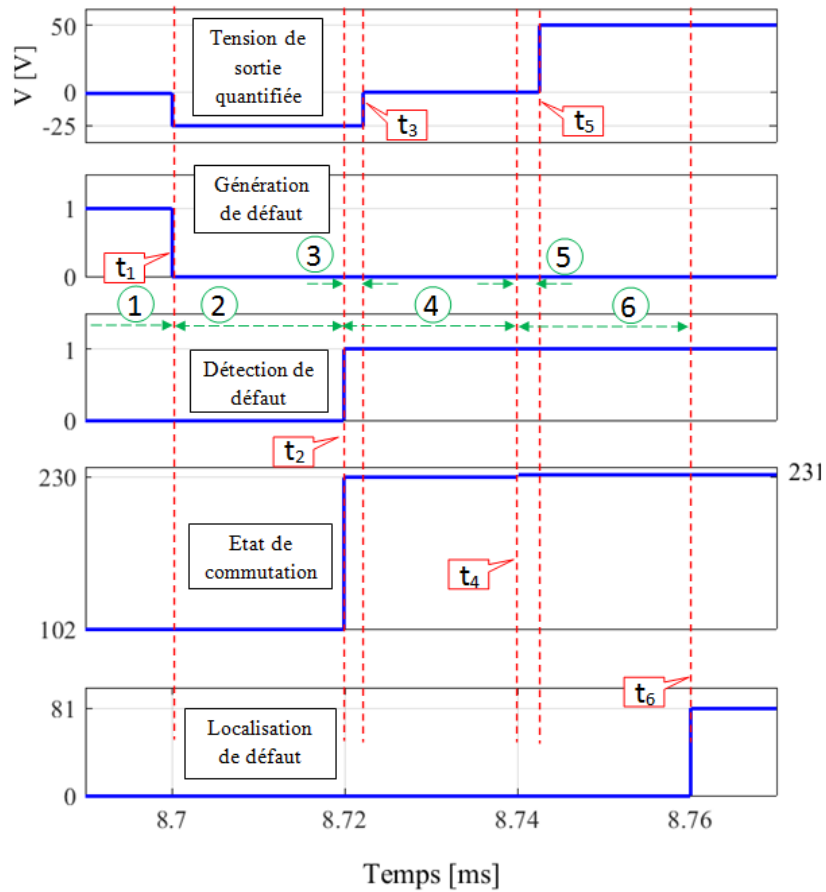


Figure III.13. Résultats de simulation : localisation de défaut de DC4 lors de la troisième étape.

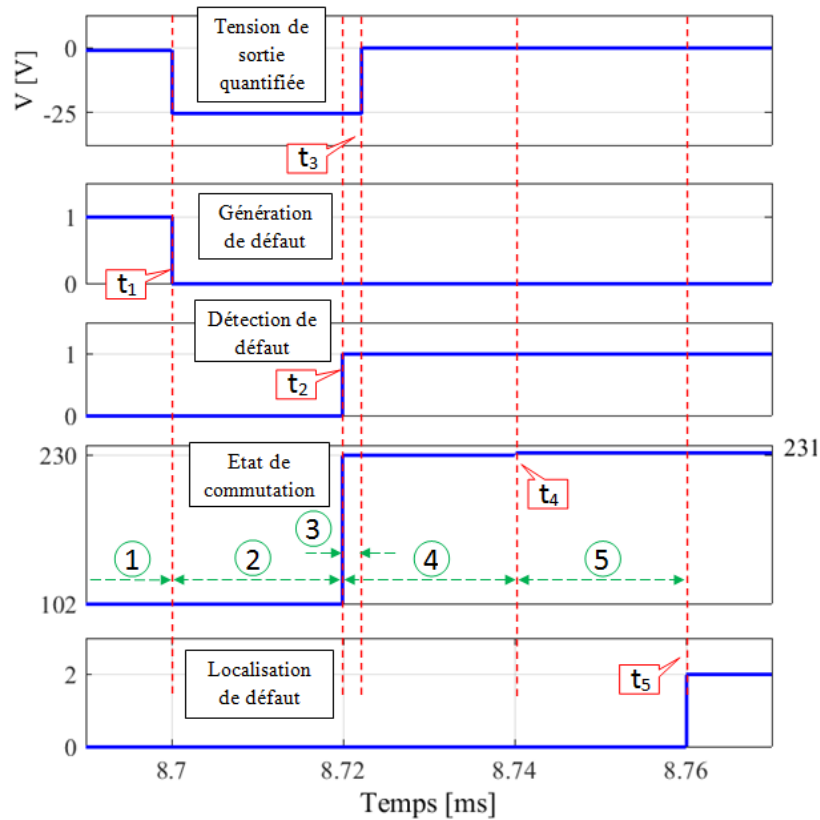


Figure III.14. Résultats de simulation : localisation du défaut de S23 lors de la troisième étape.

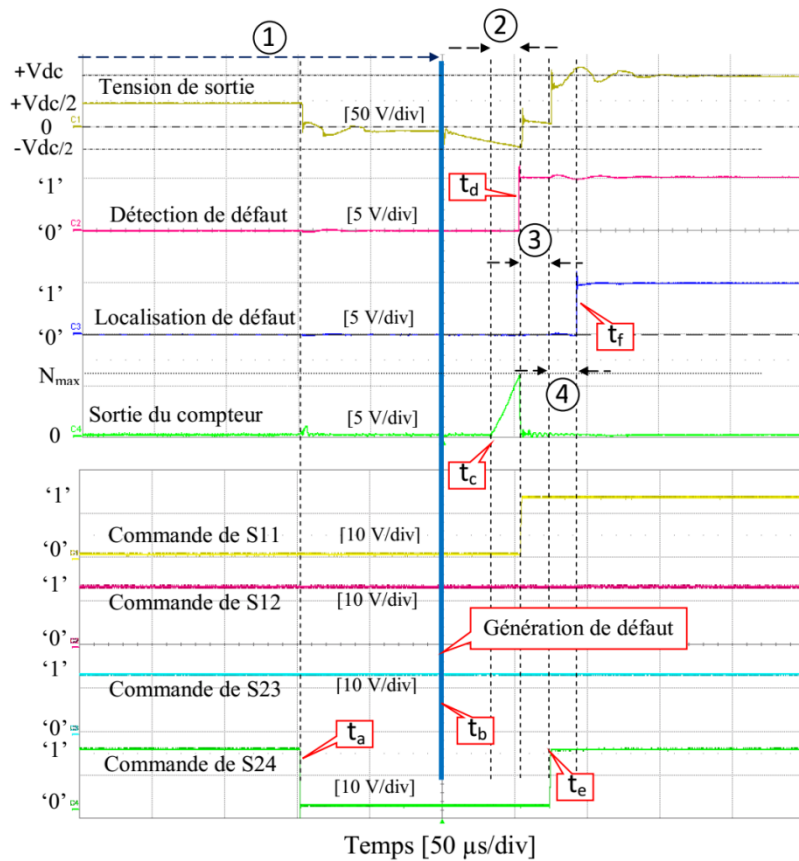


Figure III.15. Résultats expérimentaux : localisation du défaut de DC4 lors de la troisième étape.

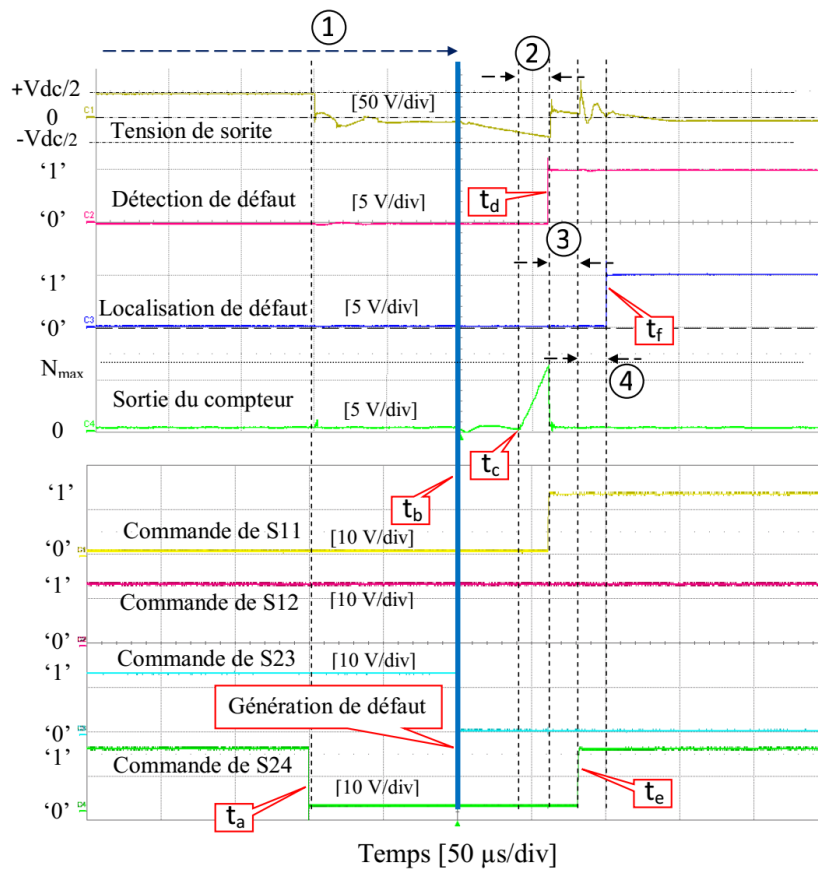


Figure III.16. Résultats expérimentaux : localisation du défaut de S23 lors de la troisième étape.

3.3. Continuité de service lors du défaut circuit ouvert d'une diode de clamp

Cette partie porte sur la continuité de service du convertisseur lors de la défaillance d'une diode de clamp. Dans un premier temps, nous présenterons les résultats de simulation, puis les résultats expérimentaux dans le cas où le convertisseur fonctionne sans mesures correctives, suite à la défaillance d'une diode de clamp. Ensuite, les résultats seront présentés lors du fonctionnement à tolérance de pannes, en appliquant les mesures correctives.

3.3.1. Fonctionnement du convertisseur sans mesures correctives

Les résultats de simulation présentés à la Figure III.17 illustrent le fonctionnement du convertisseur suite à un défaut circuit ouvert de DC4, sans mesures correctives. Nous remarquons que la tension V_{c1} augmente alors que la tension V_{c2} diminue, conformément à l'analyse théorique du Tableau II.3. Les résultats obtenus par simulation sont donc confortés par les essais expérimentaux de la Figure III.18, réalisés lors du même cas de défaut.

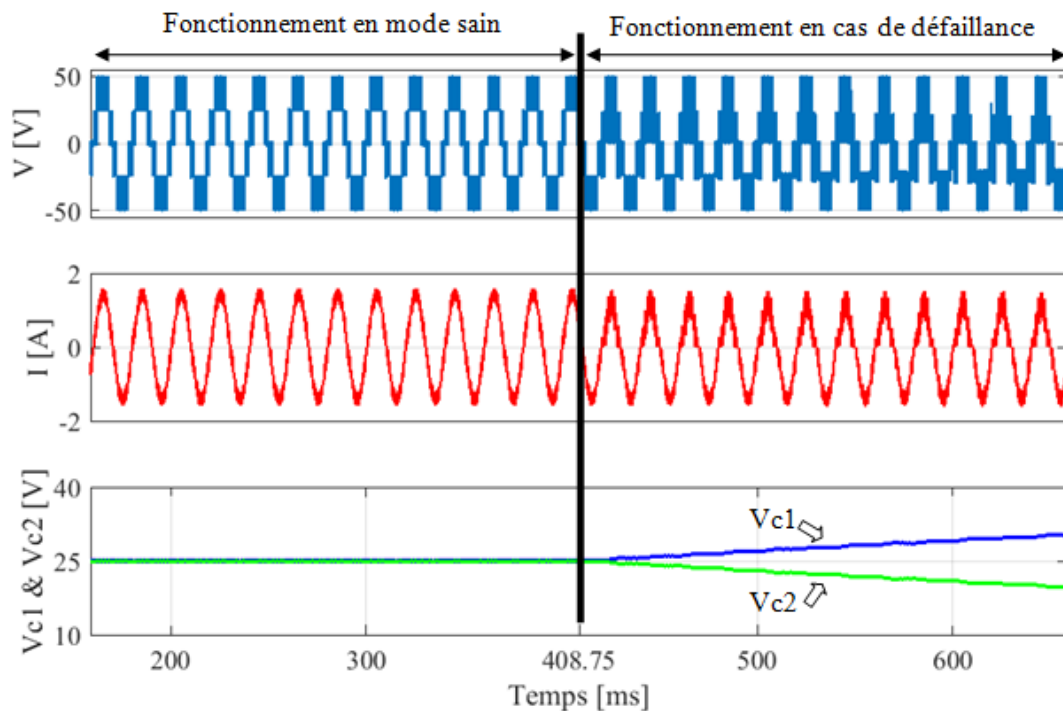


Figure III.17. Résultats de simulation : fonctionnement lors de la défaillance de DC4, sans mesures correctives.

3.3.2. Fonctionnement du convertisseur après avoir appliqué les mesures correctives

Comme à la section précédente, le cas du défaut circuit ouvert de DC4 sera présenté. La continuité de service est garantie en modifiant les ordres de commande générés par le modulateur, sans avoir recours aux composants additionnels. Afin d'illustrer les modifications appliquées, nous comparerons les ordres de commande du mode sain avec ceux du fonctionnement à tolérance de pannes. Pour se faire, les ordres de commande correspondant à un même niveau de tension de sortie (avant et après application des mesures correctives)

doivent être comparés. Sur la Figure III.19, il est possible d'effectuer cette comparaison. Les ordres de commande lors des intervalles a1, b1, et c1 (fonctionnement en mode sain) sont respectivement comparés avec ceux des intervalles a2, b2, et c2 (lors des mesures correctives). En raison de l'échelle temporelle de la Figure III.19 (10 ms/division), il n'est pas possible d'y visualiser la phase de diagnostic de défaut, de courte durée (quelques dizaines de μ s) et par ailleurs analysée en détail dans les sections précédentes. Rappelons ici que les signaux G11, G12, G23, et G24 correspondent respectivement aux ordres de commandes envoyés aux interrupteurs actifs S11, S12, S23, et S24.

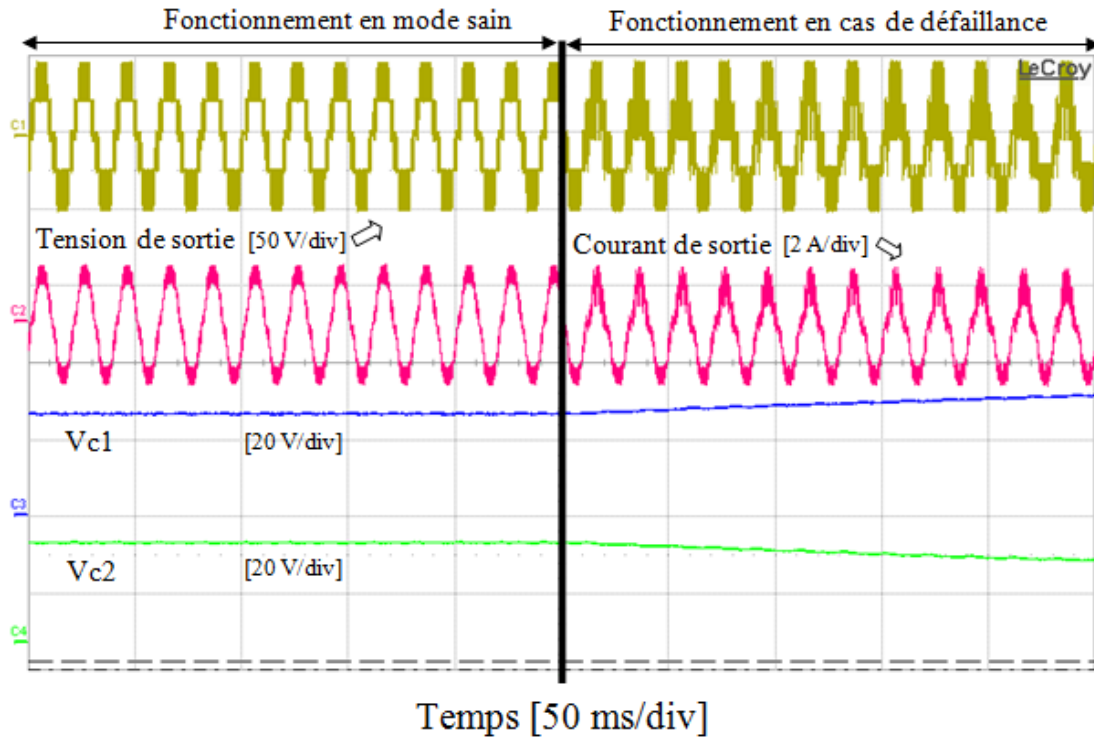


Figure III.18. Résultats expérimentaux : fonctionnement lors de la défaillance de DC4, sans mesures correctives.

Durant l'intervalle a1, les ordres de commande G12 et G23 sont fixés à '1' tandis que G11 et G24 commutent entre '1' et '0'. Ainsi, selon le Tableau I.2 nous pouvons déduire que durant l'intervalle a1, les états de commutation 1, 2, et 3 sont appliqués, conduisant ainsi à une tension de sortie de niveau $+V_{dc}/2$ ou $+V_{dc}$. Durant l'intervalle a2, les niveaux de tension en sortie sont strictement identiques à ceux de l'intervalle a1, mais obtenus à partir d'ordres de commande différents : seuls les états de commutation 1 et 3 sont appliqués durant l'intervalle a2. En comparant attentivement les états de commutation appliqués durant les deux intervalles a1 (en mode sain) et a2 (mesures correctives), nous pouvons conclure que durant l'intervalle a2, l'état de commutation 2 est remplacé par l'état 3, ce qui est conforme aux Tableau II.4.

Durant l'intervalle b1 (en mode sain), les ordres de commande G11 et G24 sont fixés à '0' et les ordres de commande G12 et G23 commutent entre '1' et '0'. Ainsi, selon le Tableau I.2, les états de commutation 7, 8, et 9 sont appliqués durant l'intervalle b1, alors que seuls les états 7 et 9 sont appliqués lors de l'intervalle b2. Suite à la défaillance de DC4, l'état 8 devenu

indisponible est ainsi substitué par l'état 7 lors des mesures correctives, pour obtenir le niveau de tension $-V_{dc}/2$.

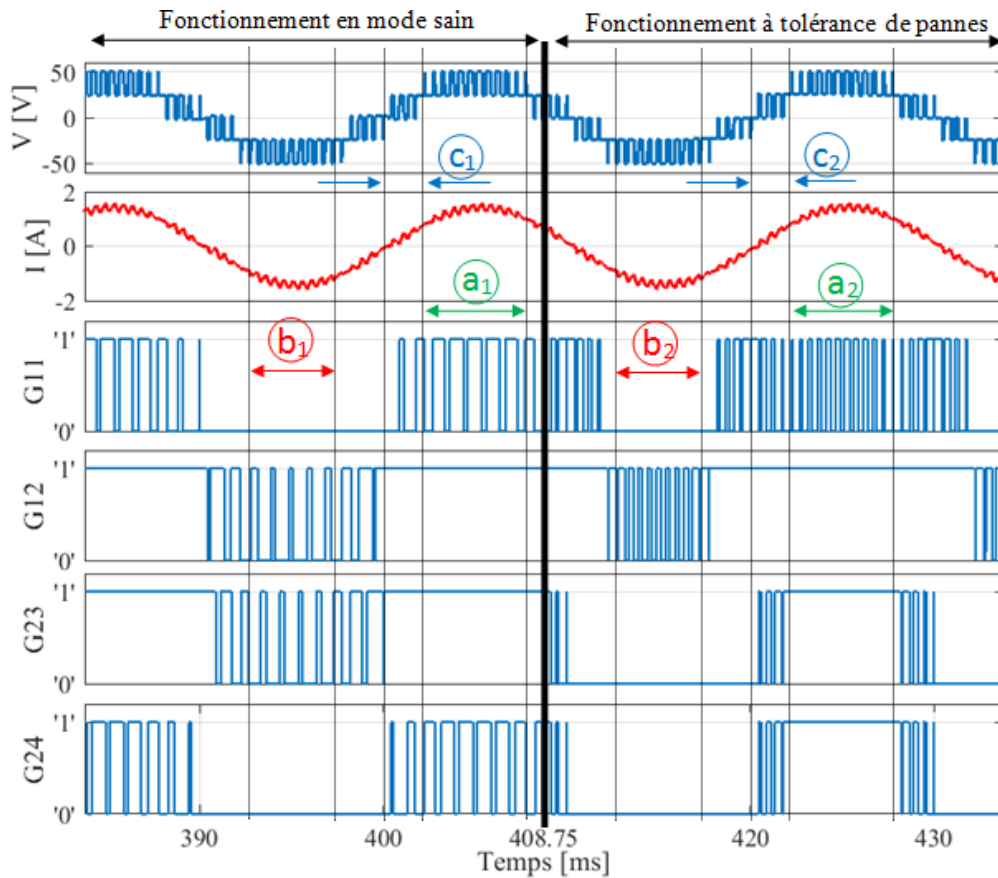


Figure III.19. Résultats de simulation : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de DC4.

De même, en comparant les ordres de commande appliqués durant l'intervalle c1 avec ceux appliqués durant l'intervalle c2, nous constatons que durant l'intervalle c2, les états de commutation 2 et 5 sont respectivement remplacés par les états de commutation 3 et 4, ce qui est conforme au Tableau II.5.

Notons que les résultats expérimentaux de la Figure III.20 valident les résultats de simulation présentés à la Figure III.19, par ailleurs déjà commentés.

Les Figures III.21 et III.22 ont été respectivement obtenues par simulation et expérimentalement. Elles démontrent le maintien de l'équilibre du bus continu étudié en théorie au chapitre précédent, après avoir appliqué les mesures correctives. Lors du fonctionnement après défaut, les tensions V_{c1} et V_{c2} conservent leurs valeurs nominales. Conformément à la théorie, une ondulation à basse fréquence et de faible amplitude apparaît lors des mesures correctives, sans toutefois déséquilibrer le bus. Ces ondulations se compensent sur une période, conformément aux analyses résumées dans le Tableau II.6.

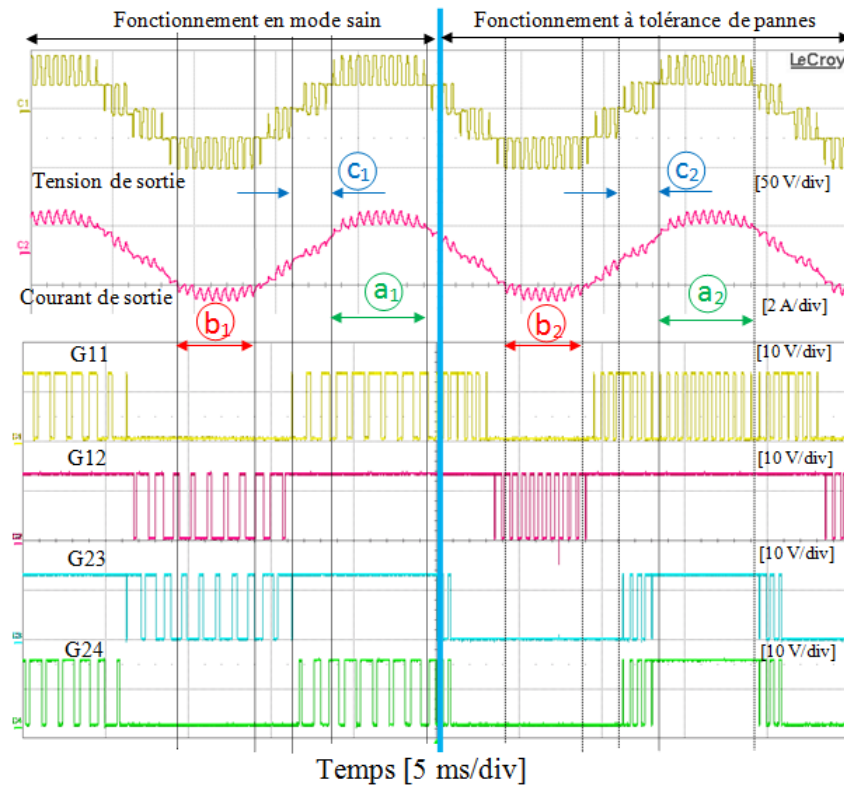


Figure III.20. Résultats expérimentaux : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de DC4.

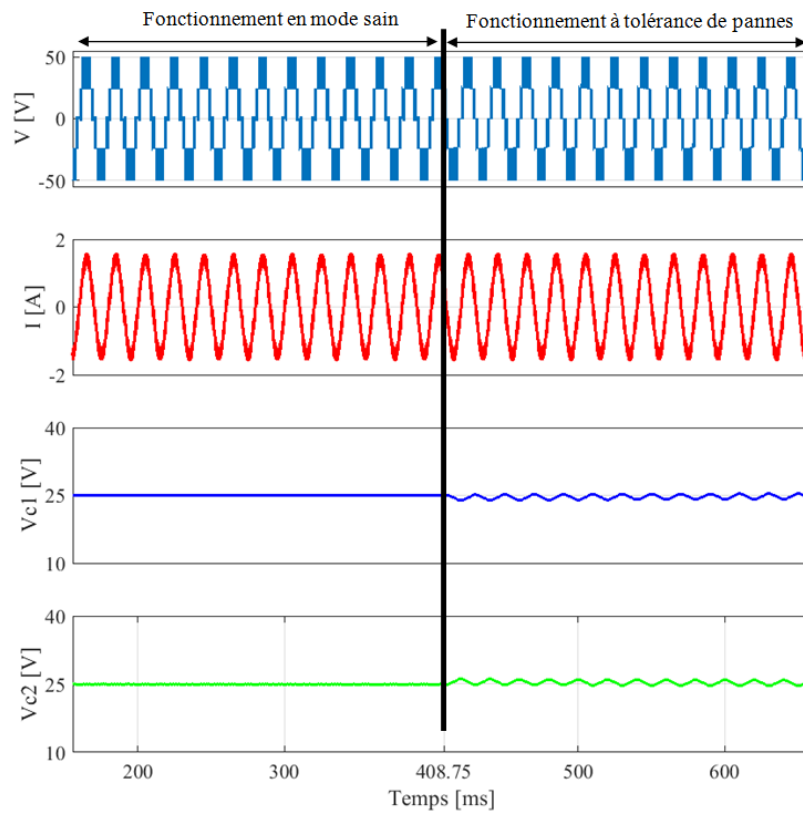


Figure III.21. Résultats de simulation : tensions aux bornes des condensateurs du bus continu, après application des mesures correctives suite à la défaillance de DC4.

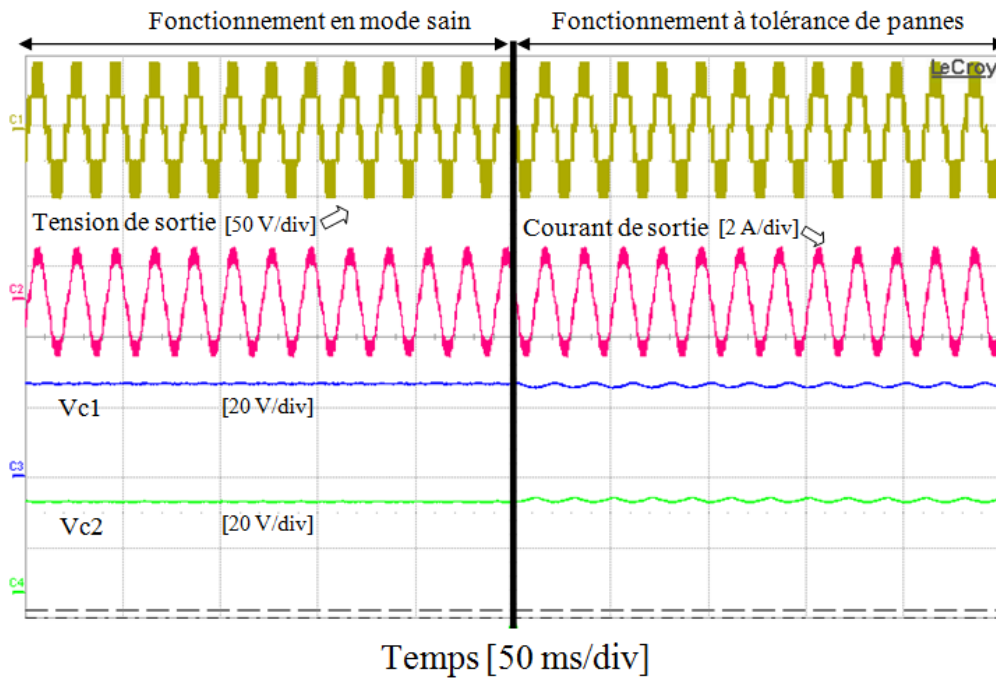


Figure III.22. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu, après application des mesures correctives suite à la défaillance de DC4.

3.4. Continuité de service lors d'un défaut circuit ouvert d'un IGBT

Dans cette partie, nous avons choisi de présenter les résultats de simulation et les résultats expérimentaux lors de l'application des mesures correctives, dans deux cas de défaillance d'un interrupteur actif, en l'occurrence S11 et S12. Tout d'abord, nous examinerons le fonctionnement du convertisseur lorsqu'aucune mesure corrective n'est appliquée. Puis, après avoir appliqué les mesures correctives, les états de commutation indisponibles et redondants seront examinés. Enfin, nous validerons le maintien de l'équilibre du bus continu lors de la continuité de service.

3.4.1. Fonctionnement du convertisseur sans recourir aux composants additionnels

Dans le cas du défaut de S11, les résultats de simulation et les résultats expérimentaux sont respectivement présentés à la Figure III.23 et à la Figure III.24. Sans mesures correctives, le niveau de tension +Vdc n'est plus réalisable, la tension Vc1 augmente tandis que la tension Vc2 diminue, ce qui est conforme aux analyses du Tableau II.7.

3.4.2. Fonctionnement du convertisseur en utilisant les IGBT additionnels

Dans cette section, nous présenterons et analyserons les résultats de simulation et les résultats expérimentaux concernant la continuité de service, lors de la défaillance des interrupteurs S11 et S12.

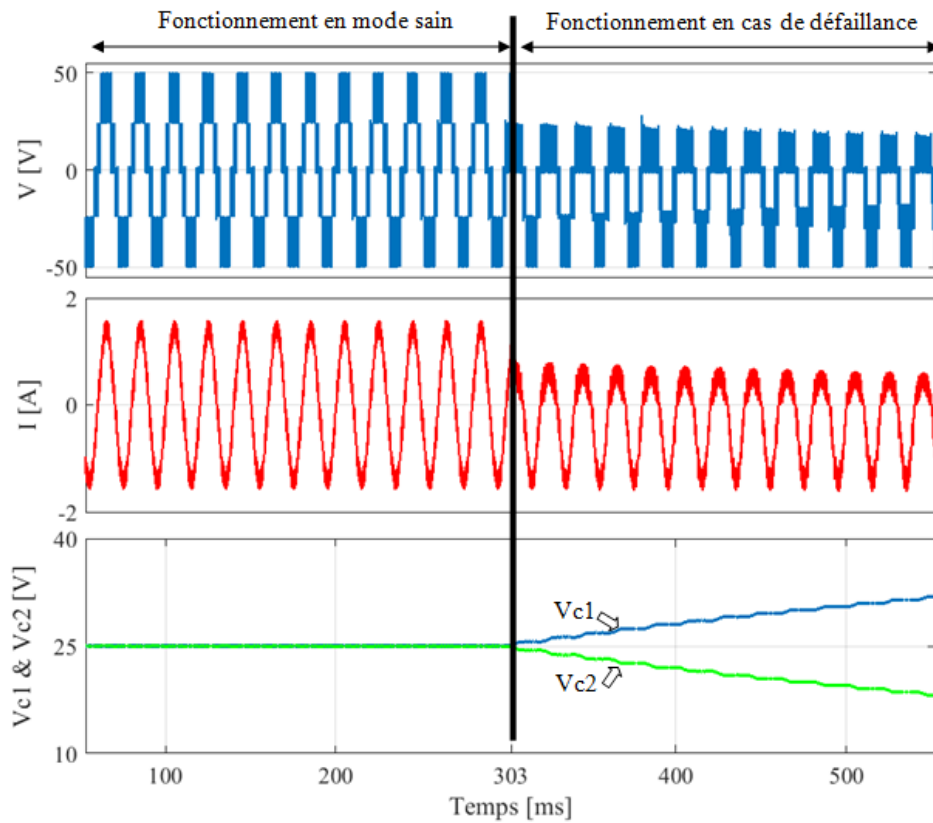


Figure III.23. Résultats de simulation : fonctionnement du convertisseur en cas de défaillance de S11 sans appliquer de mesures correctives.

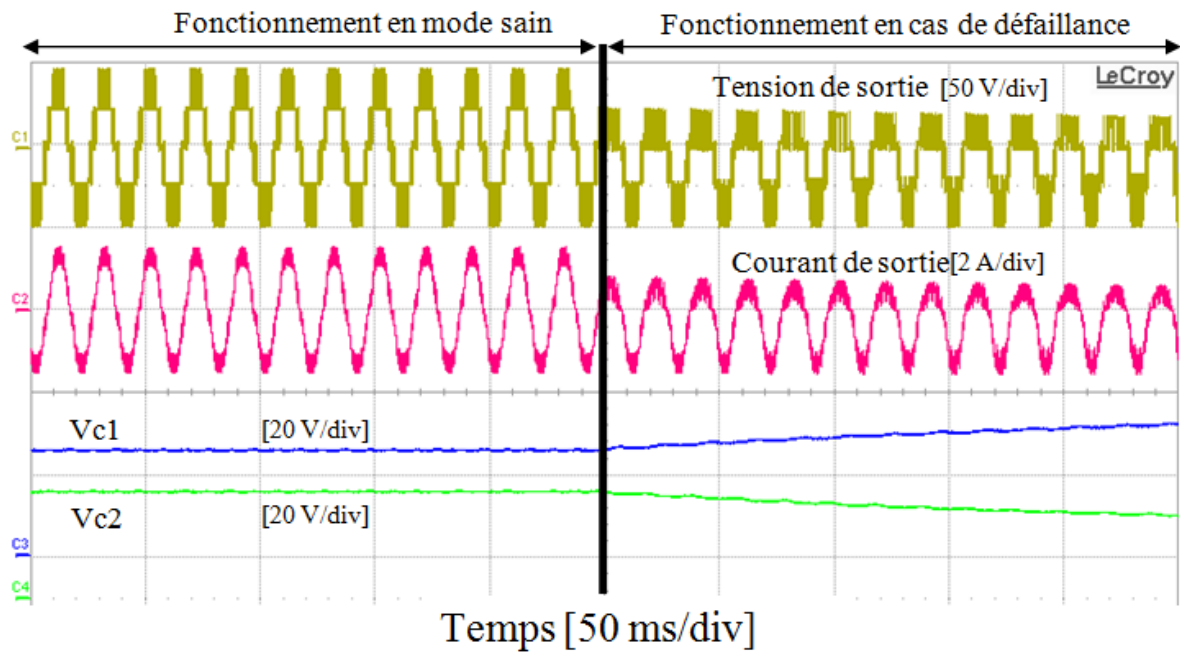


Figure III.24. Résultats expérimentaux : fonctionnement du convertisseur en cas de défaillance de S11 sans appliquer de mesures correctives.

3.4.2.1. Fonctionnement du convertisseur en utilisant les IGBT additionnels – Défaut de S11

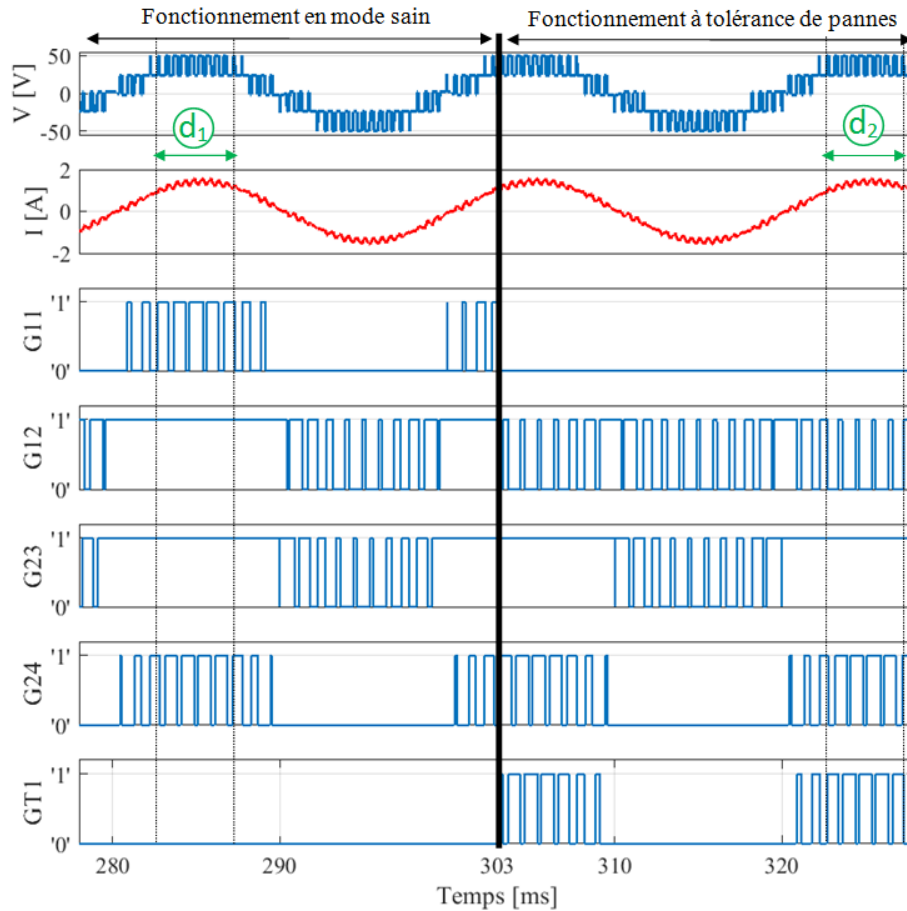


Figure III.25. Résultats de simulation : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de S11.

Les résultats de simulation de la Figure III.25 concernent le cas de S11. Sur la Figure III.25, GT1 est le signal de commande de l'IGBT additionnel T1. Nous comparerons les ordres de commande appliqués durant les deux intervalles d1 et d2, correspondants aux niveaux de tension de sortie +Vdc et +Vdc/2 (états de commutation 1 et 2), devenus indisponibles suite au défaut de S11. L'interrupteur T1 est commandé en permanence à l'ouverture, durant le mode sain. Durant l'intervalle d1 (mode sain), les ordres de commande G12, G23, et GT1 sont fixés à '1' et les ordres de commande G11 et G24 commutent entre '1' et '0'. En se référant au Tableau II.9, nous déduisons que les états de commutation 1, 2, et 3 s'appliquent correctement durant cet intervalle.

Toujours sur la Figure III.25, durant l'intervalle d2, les ordres de commande G11 et G23 sont respectivement fixés à '0' et '1' tandis que les ordres de commande G12, G24, et GT1 commutent entre '0' et '1'. Ainsi, les états 1 et 2 étant indisponibles, ils sont remplacés par les états redondants 10 et 11 : la tension nominale est assurée grâce aux mesures correctives. Les résultats expérimentaux de la Figure III.26 confirment ceux présentés à la Figure III.25. En complément, les résultats de simulation et les résultats expérimentaux des Figures III.27 et

III.28 démontrent qu'après avoir appliqué les mesures correctives suite au défaut de S11, l'équilibre du bus continu est assuré, conformément aux analyses du Tableau II.14.

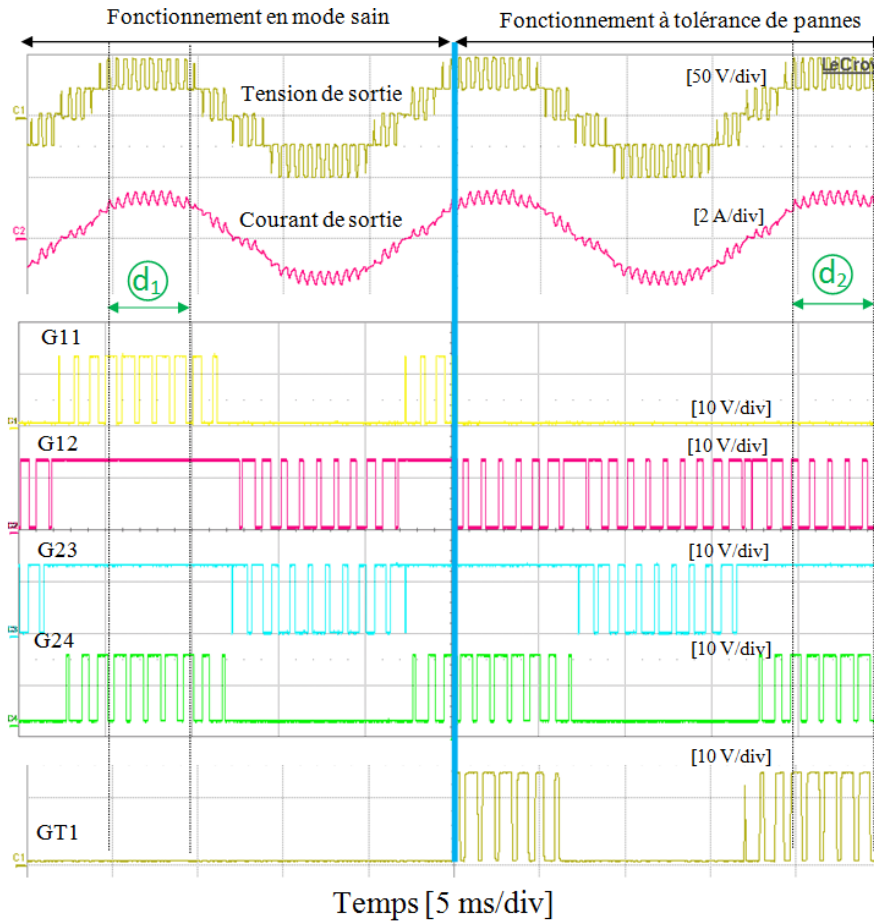


Figure III.26. Résultats expérimentaux relatifs aux ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes cas de défaillance de S11.

3.4.2.1. Continuité de service du convertisseur en utilisant les IGBT additionnels lors du défaut de S12

Lors de cette étude portant sur la défaillance de S12, nous ne présenterons plus les résultats obtenus par simulation, mais uniquement les résultats expérimentaux. A la Figure III.29, durant l'intervalle e1 (mode sain), les états de commutation 1, 2, et 3 sont appliqués et les niveaux de tension obtenus en sortie sont $+V_{dc}/2$ et $+V_{dc}$. Durant l'intervalle e2, les signaux G11, G12, G23, et GT1 sont respectivement fixés à '0', '0', '1' et '1' tandis que l'ordre de commande G24 commute entre '1' et '0'. A l'aide du Tableau II.9, nous déduisons que durant l'intervalle e2, les états de commutation 10 et 11 sont appliqués. Ainsi, les états 1, 2, et 3 devenus indisponibles suite au défaut de S12 sont remplacés par les états redondants 10 et 11, conformément au Tableau II.12. De même, durant l'intervalle f2, les états indisponibles numéros 5, 7, et 8 sont substitués par les états de commutation redondants 6 et 8.

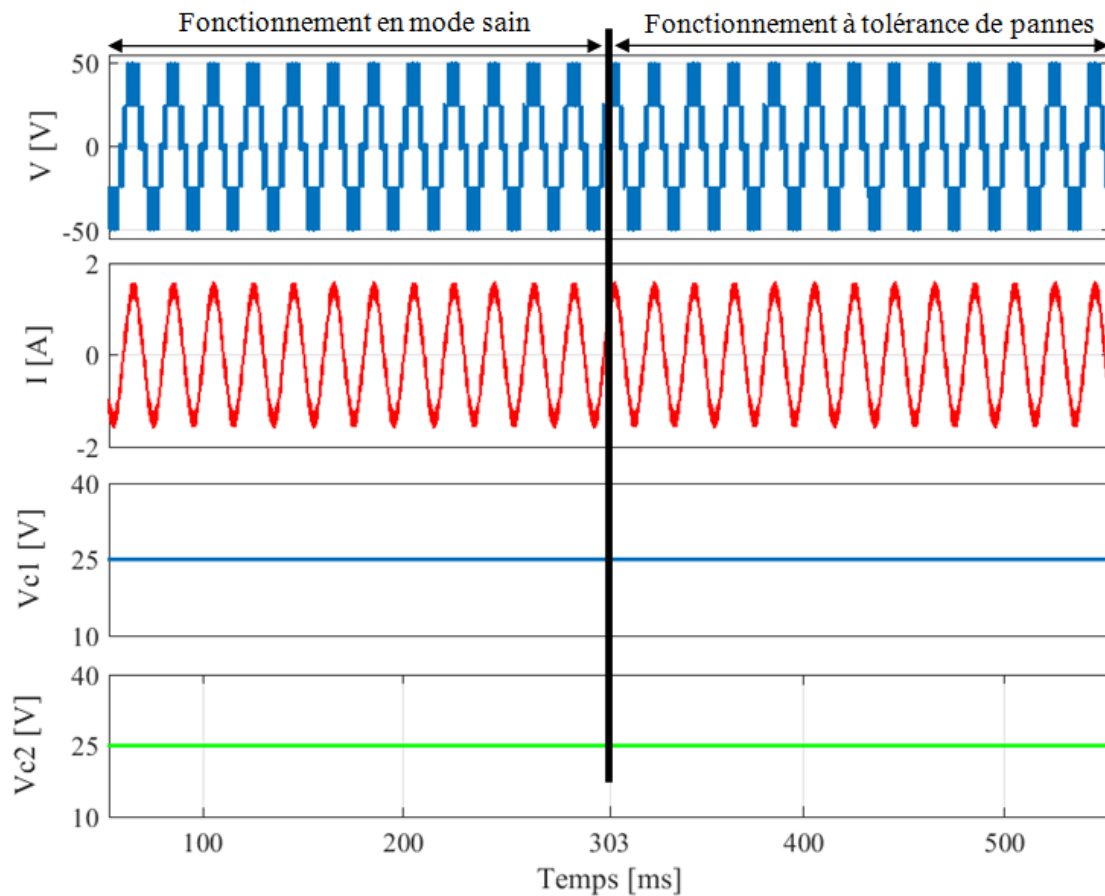


Figure III.27. Résultats de simulation : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives dans le cas de défaillance de S11.

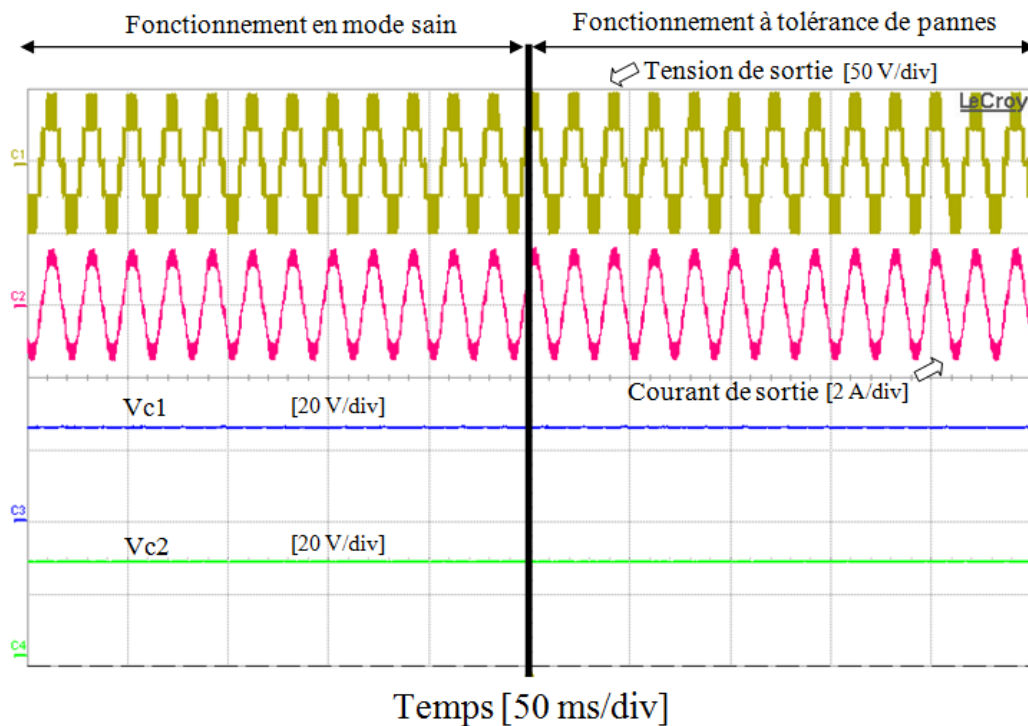


Figure III.28. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives dans le cas de défaillance de S11.

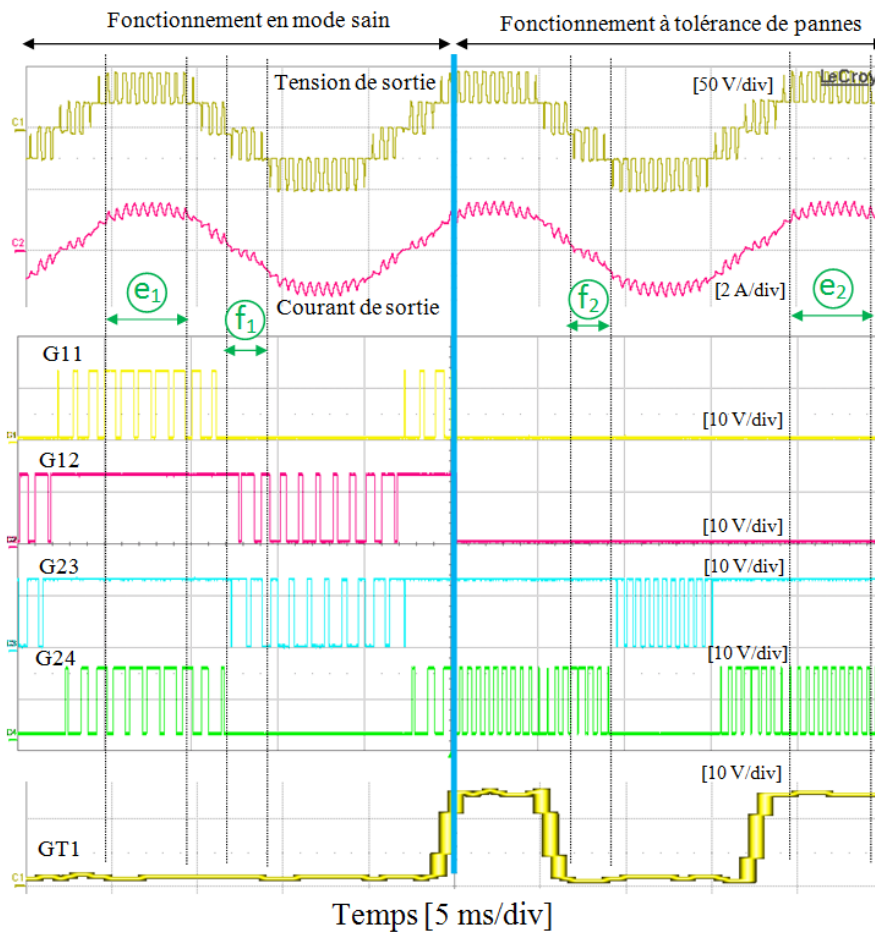


Figure III.29. Résultats expérimentaux : ordres de commande appliqués durant le mode sain et durant le fonctionnement à tolérance de pannes, lors de la défaillance de S12.

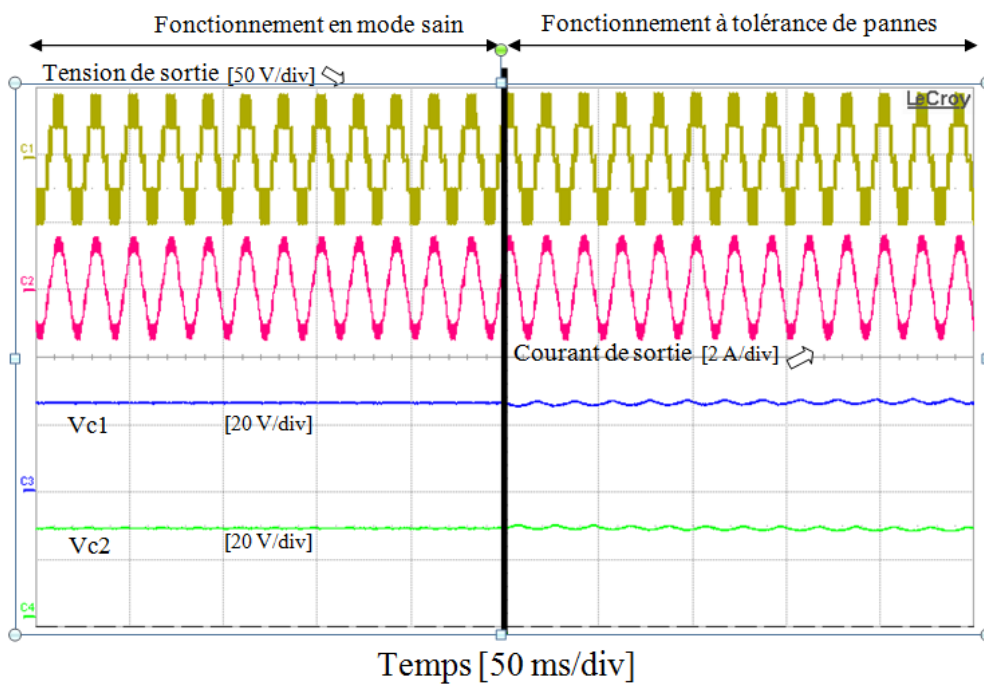


Figure III.30. Résultats expérimentaux : tensions aux bornes des condensateurs du bus continu après avoir appliqué les mesures correctives lors de la défaillance de S12.

La Figure III.30 présente l'évolution des tensions aux bornes des condensateurs du bus continu, en mode sain et après avoir appliqué les mesures correctives. Après défaut, les tensions V_{c1} et V_{c2} conservent leurs valeurs nominales malgré des ondulations à basse fréquence, qui ont par ailleurs été annoncées et justifiées lors de l'étude théorique (chapitre II, Tableau II.15). En conclusion, on peut mentionner que la continuité de service est assurée, en respectant les six critères que nous nous étions fixés ; notamment, la tension de sortie est assurée en mode nominal et l'équilibre du bus n'est pas impacté par les mesures correctives.

4. Conclusion

Ce chapitre III a été intégralement consacré à la validation par simulation et à la validation expérimentale des études théoriques des chapitres II et III, consacrés respectivement au diagnostic de défaut et à la tolérance de pannes du convertisseur NPC étudié. Il n'a bien sûr pas été possible de présenter des résultats exhaustifs, pour tous les cas possibles qui ont été synthétisés lors de la conclusion des deux premiers chapitres. Nous avons donc sélectionné des cas de défauts significatifs pour approuver nos différentes études théoriques.

Lors de ces travaux, à l'issue des études théoriques, nous avons pris un temps de réflexion quant aux moyens à utiliser ou à mettre en œuvre pour mener le mieux et le plus efficacement possible la validation expérimentale, la simulation fonctionnelle étant traditionnellement étudiée dans l'environnement Matlab, à l'aide des boîtes à outils Simulink et SimPowerSystems Blockset. La collaboration entre le GREEN et l'IJL sur le thème de la tolérance de pannes de convertisseurs a grandement contribué à cette réflexion et nous avons souhaité développer une nouvelle plateforme de prototypage rapide, permettant une implantation partagée sur processeur et FPGA, plus performante (non seulement sur le plan des résultats obtenus, mais également au niveau du flot de conception) que celle dont nous disposions jusqu'alors. Le Contrat de Plan Etat-Région en cours nous a permis d'acquérir un nouveau système de prototypage rapide, récemment commercialisé par la société dSPACE : la MicroLabBox. Nous tenons à remercier la Région Grand-Est pour le soutien financier apporté, sans lequel cette nouvelle plateforme n'aurait pas pu être mise en place.

La mise en œuvre d'une MicroLabBox a nécessité une phase de prise en main de ce nouveau système de prototypage, mais également des outils logiciels qui doivent y être associés. Cet ensemble doit permettre de mener à bien un flot d'implantation, efficace et fiable, des algorithmes de commande, tant sur le processeur pour le contrôle en mode sain que pour les algorithmes de diagnostic de défaut et les mesures correctives, sur FPGA. Ces choix des cibles d'implantation ont été discutés et justifiés dans ce chapitre III. La plateforme a également nécessité le développement d'interfaces, mais dans une moindre mesure que lors de la précédente plateforme : réduire les interfaces était une des motivations du développement de cette nouvelle plateforme. Nous avons ainsi proposé un flot de conception, présenté à la Figure II.5, qui permet d'optimiser le temps de développement tout en garantissant une validation par simulation (notamment simulation hors ligne) à chaque étape qui le permet.

Une fois la plateforme expérimentale opérationnelle, tant sur le plan de l'implantation de la commande que de la structure de convertisseur à tolérance de pannes, nous avons pu mener de nombreux essais et simulations. Ils n'ont bien sûr pas tous été présentés dans ce chapitre. Néanmoins, nous avons cherché à sélectionner des résultats pour illustrer et valider, le mieux possible, les nombreux cas issus des études théoriques des deux premiers chapitres.

Nous avons tout d'abord validé le diagnostic de défaut, en supposant dans un premier temps que les diodes de clamp ne peuvent pas tomber en panne, puis en prenant en considération leur potentielle défaillance. Des cas de diagnostic de défauts en une, deux ou trois étapes ont ainsi été présentés. Les résultats obtenus permettent de valider les algorithmes développés. On peut également mentionner les performances temporelles de la détection de défaut, réalisée en 20 μ s. De même, les performances du diagnostic complet (détection et localisation) sont à souligner, ce dernier étant réalisée entre 20 et 60 μ s, selon le nombre d'étapes à mettre en œuvre.

Ensuite, nous avons mis en œuvre les mesures correctives permettant de garantir la continuité de service du convertisseur. Ici encore, nous nous sommes appuyés sur l'étude menée au chapitre II pour sélectionner un cas de défaut illustrant chaque section de l'étude théorique. Qu'il s'agisse d'un défaut circuit ouvert d'une diode de clamp, d'une diode de roue libre ou d'un interrupteur actif, nous étudie apporte une réponse efficace en terme de continuité de service. Nous avons toujours veillé à assurer l'équilibre du bus continu, suite à l'application des mesures correctives. La structure de convertisseur NPC à tolérance de pannes, proposée dans ce mémoire et associée à une reconfiguration de la commande lorsque cela s'avère nécessaire, est donc validée à l'issue de ce travail de recherche.

Conclusion générale et perspectives

Conclusion générale

Dans ce mémoire, nous avons tout d'abord présenté une stratégie de diagnostic de défaut d'un semi-conducteur de puissance, pour un convertisseur NPC monophasé en pont en H, à cinq niveaux. Ensuite, l'identification du composant défaillant nous a permis d'assurer la continuité de service du convertisseur, en mettant en œuvre une nouvelle structure à tolérance de pannes, associée à des mesures correctives. L'ensemble de nos travaux de recherche a fait l'objet d'études théoriques, toutes validées par simulation et par des essais expérimentaux, sur un banc de test spécifiquement réalisé lors de ces travaux de thèse.

Le premier chapitre a été consacré au diagnostic de défaut. Une synthèse des familles de convertisseurs multiniveaux nous a permis de faire le choix de la structure de convertisseur que nous avons étudiée. Le choix du convertisseur NPC monophasé en pont en H, à cinq niveaux a été motivé par plusieurs considérations. Tout d'abord, cette structure apporte de nombreux avantages par rapport à une structure NPC classique et permet sa généralisation à une structure triphasée. De plus, la famille NPC n'avait pas encore fait l'objet de travaux dans nos équipes de recherche. Suite à l'état de l'art du diagnostic de défaut des convertisseurs NPC et grâce à l'expérience des laboratoires IJL et GREEN dans ce même domaine, nous avons successivement proposé un algorithme de détection de défaut, puis un algorithme de localisation du semi-conducteur défaillant. L'étude menée dans ce premier chapitre, bien que théorique, a pris en compte les imperfections d'un système de puissance réel, lors du développement du diagnostic de défaut. L'expérience de recherches précédemment menées nous a permis de sélectionner les imperfections à prendre en considération, identifiées comme sources de potentielles fausses détections. Nous avons intégré deux critères à satisfaire par l'algorithme de détection de défaut, nommés « critère de tension » et « critère temporel ». Ce diagnostic étant basé sur une comparaison de tensions, nous avons proposé d'appliquer une quantification pour la tension de sortie mesurée. En mode sain et en supposant que la commutation d'un interrupteur actif est idéale (notamment instantanée), ce quantificateur permet d'obtenir une erreur nulle en sortie de la comparaison effectuée entre la tension de sortie quantifiée et sa valeur estimée. Dans ces hypothèses et grâce au quantificateur, cette comparaison n'est pas perturbée par les imperfections du système (notamment les chutes de tensions) et n'a pas recours à une valeur de seuil pour interpréter la comparaison effectuée. Cependant, en raison des effets de la commutation des interrupteurs actifs pour un système réel (temps de retard à la commutation), nous avons ensuite introduit le « critère temporel » : il nous permet d'éviter toute fausse détection de défaut, suite à une commutation. Afin de remplir ce critère temporel, un compteur a été mis en œuvre.

Suite à la détection de défaut, la phase de la localisation du défaut a été abordée. L'algorithme de localisation a été développé en deux temps. Dans un premier temps, nous avons supposé les diodes de clamp non sujettes à défaillance : c'est cette hypothèse qui est retenue dans la grande majorité des cas examinés dans la littérature scientifique. Dans un deuxième temps, les diodes de clamp ont été considérées comme potentiellement défaillantes, au même titre que les interrupteurs actifs. La stratégie de localisation proposée repose sur une analyse préalable des modes de défaillance et ne contient donc pas de calculs lourds. Notons que nous avons mis à profit cette spécificité lors du troisième chapitre en implantant le

diagnostic de défaut sur une cible FPGA, afin d'obtenir des performances temporelles élevées. De plus, la méthode de localisation de défaut présentée est valable quels que soient les paramètres de la charge.

Pour résumer la contribution de ce premier chapitre, on peut mentionner que la méthode de diagnostic de défaut proposée est capable d'identifier n'importe quel composant semi-conducteur en défaut de circuit ouvert, qu'il s'agisse d'un interrupteur actif ou d'une diode de clamp. Ce diagnostic a été rendu insensible aux imperfections d'un système de puissance réel, grâce aux deux critères précédemment mentionnés. Dans la littérature scientifique, seuls quelques rares travaux couvrant simultanément le diagnostic de défaut d'un interrupteur actif et d'une diode de clamp ont été publiés, pour des structures multiniveaux autres que la topologie NPC ici étudiée.

Au deuxième chapitre, nous avons abordé l'étape dite de « gestion du défaut », afin d'assurer la continuité de service du convertisseur lors d'un défaut circuit ouvert d'un interrupteur actif ou d'une diode de clamp. Un état de l'art a permis de classifier, selon deux approches, les publications portant sur la tolérance de pannes des convertisseurs multiniveaux : la continuité de service peut être garantie avec ou sans composants additionnels. Une étude comparative a conclu cet état de l'art, selon six critères établis à la lecture des publications. Nous avons pu constater qu'aucune publication ne satisfaisait tous les critères. Ces six critères ont fixé le cahier des charges de notre étude et nous sommes finalement parvenus à les satisfaire en proposant une nouvelle structure de convertisseur à tolérance de pannes, ainsi qu'un algorithme définissant la reconfiguration à appliquer aux ordres de commande, selon le défaut à compenser.

Au début du chapitre II, une étude a montré que le défaut circuit ouvert d'une diode de clamp a de graves conséquences sur le convertisseur : augmentation du contenu harmonique de la tension de sortie et déséquilibre du bus continu. Nous y avons alors apporté une solution, sachant que l'on avait développé au chapitre précédent l'algorithme de diagnostic de ce type de défaut. Ainsi, dans le cas où une diode de clamp est le semi-conducteur défaillant, la continuité de service du convertisseur est assurée en modifiant les ordres de commande générés par le modulateur ; aucun composant additionnel n'est employé.

Dans le cas où un défaut circuit ouvert survient au niveau d'un interrupteur actif, le recours aux composants additionnels a été indispensable pour remplir les six critères durant le fonctionnement à tolérance de pannes ; de plus, les ordres de commande générés par le modulateur doivent également être modifiés. Nous avons proposé une nouvelle structure de convertisseur, permettant d'assurer la continuité de service grâce à quatre interrupteurs actifs additionnels. Pour remplacer un état devenu indisponible suite à une défaillance, des états redondants sont naturellement possibles (états redondants en mode sain) ainsi que de nouveaux états mettant en œuvre les composants additionnels. Cependant, l'état redondant qui doit être effectivement utilisé a été sélectionné et justifié par le fait qu'il ne doit pas déséquilibrer le bus continu. A l'issue de l'étude menée, nous avons indiqué, de manière exhaustive, les états redondants à utiliser, quel que soit l'interrupteur actif défaillant.

La dernière partie du chapitre II a été consacrée à l'étude de la continuité de service du convertisseur lors d'un défaut circuit ouvert d'une des diodes de roue libre. Lors du premier chapitre, la détection de défaut de ces diodes n'a pas été considérée. Néanmoins, sans en détecter la défaillance, nous avons pu assurer la continuité de service, dans ce cas également. Cette dernière a pu être assurée par la structure proposée pour le convertisseur à tolérance de pannes.

Ainsi, à l'issue de deux premiers chapitres, nos études théoriques permettent de garantir la continuité de service du convertisseur, en mode nominal, quel que soit le semi-conducteur en défaut circuit ouvert (interrupteur actif, diode de roue libre ou diode de clamp), tout en satisfaisant les six critères fixés.

Le troisième chapitre a été intégralement consacré à la validation par simulation et à la validation expérimentale des études théoriques des deux premiers chapitres, consacrés respectivement au diagnostic de défaut et à la tolérance de pannes du convertisseur NPC étudié. Les simulations ont été menées classiquement, dans l'environnement Matlab. Pour la partie expérimentale, nous avons souhaité développer une nouvelle plateforme de prototypage rapide, permettant une implantation performante, partagée entre un processeur temps réel et un FPGA. La mise en œuvre d'une MicroLabBox de la société dSPACE a contribué au développement de nouvelles compétences expérimentales pour les laboratoires IJL et GREEN, dans le domaine du prototypage rapide d'algorithmes, conjointement sur processeur et FPGA. Nous avons proposé un flot de conception pour l'implantation des algorithmes, permettant de valider son déroulement lors de simulations à des étapes intermédiaires (simulation hors ligne, par exemple). Concernant le diagnostic de défaut, on peut mentionner les performances temporelles remarquables obtenues expérimentalement, la détection étant réalisée en 20 μ s. De même, les performances du diagnostic complet (détection et localisation) sont à souligner, ce dernier étant réalisé entre 20 et 60 μ s, selon le nombre d'étapes à mettre en œuvre. Nous avons également validé la continuité de service. La structure de convertisseur NPC à tolérance de pannes, proposée dans ce mémoire et associée à une reconfiguration de la commande, est donc validée en théorie, en simulation et expérimentalement.

Perspectives

Nous pouvons envisager plusieurs axes d'études comme perspectives de ce travail de recherche. L'algorithme de diagnostic de défaut proposé n'est valable que dans le cas où un défaut circuit ouvert survient au niveau d'un seul semi-conducteur. De même, la continuité de service du convertisseur a été assurée suite à l'apparition d'un unique défaut. De ce fait, la proposition d'une stratégie capable d'identifier des défauts multiples serait une perspective intéressante.

Par ailleurs, ce travail de recherche porte sur le diagnostic de défaut et la continuité de service du convertisseur NPC monophasé en pont en H, à cinq niveaux. Le développement des stratégies proposées pour le convertisseur NPC en pont en H pourrait être envisagé pour un nombre de niveaux plus élevé.

Conclusion générale et perspectives

Nous avons proposé une structure de convertisseur permettant d'assurer également la continuité de service lors d'un défaut circuit ouvert d'une diode de roue libre. Dans ce cas, la tolérance de pannes est garantie sans avoir besoin de détecter préalablement la diode défaillante : vu de la continuité de service, ceci est un avantage majeur car le défaut peut alors être compensé instantanément. Cependant, vu de l'aspect « maintenance », aucune information n'est fournie quant à la diode défaillante et, vu de la sortie du système, tout fonctionne correctement. Dans le but de remplacer la diode défaillante, la mise en œuvre d'une détection de défaut pourrait s'avérer nécessaire. Cependant, comme nous l'avons mentionné dans ce mémoire, les deux diodes de roue libre d'un même demi-bras conduisent toujours simultanément : on ne pourrait donc se contenter de diagnostiquer le demi-bras concerné, sans chercher à différencier laquelle des deux diodes de roue libre est défaillante.

Publication du doctorant

Publications

- S. Ahmadi, P. Poure, S. Saadate and D. Khaburi, "A Real Time Fault Diagnosis for Neutral-Point-Clamped Inverters based on failure mode algorithm," in *IEEE Transactions on Industrial Informatics*, vol. 17, no. 2, pp. 1100-1110, Feb. 2021.
- S. Ahmadi, P. Poure, S. Saadate and D. A. Khaburi, "Open-Switch and Open-Clamping Diode Fault Diagnosis for Single-phase Five-Level Neutral-Point-Clamped Inverters," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Early access, doi: 10.1109/JESTPE.2020.3017923.

Publications en cours de révision

- S. Ahmadi, P. Poure, S. Saadate and D. Khaburi, " Open-Circuit Fault Tolerant Approach for Clamping Diodes of a Single-Phase Five-Level Neutral-Point-Clamped Inverter," submitted to *IEEE Transactions on Power Electronics*, révision en cours.

Références bibliographiques

Références bibliographiques

Chapitre I

- [1] A. Leredde, “Etude, Commande et Mise en Oeuvre de Nouvelles Structures Multiniveaux”, Thèse de doctorat de l'université de Toulouse, 2011.
- [2] U. Choi, J. Lee, F. Blaabjerge and K. Lee, “Open-circuit fault diagnosis and fault-tolerant control for a grid-connected NPC inverter,” *IEEE Trans. Power. Electron.*, vol. 31, no. 10, pp. 7234-7247, Oct. 2016.
- [3] S. Yang, D. Xiang, A. Bryant, P. Mawby, L. Ran, and P. Tavner, “Condition monitoring for device reliability in power electronic converters: A review,” *IEEE Trans. Power Electron.*, vol. 25, no. 11, pp. 2734–2752, Nov. 2010.
- [4] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, and P. Tavner, “An industry-based survey of reliability in power electronic converters,” *IEEE Trans. Ind. Appl.*, vol. 47, no. 3, pp. 1441–1451, May/Jun. 2011.
- [5] M. Hamed Ben Abdelghani, “Etude, conception et réalisation d'un convertisseur statique hybride multiniveaux tolérant aux défauts”, Thèse de doctorat de l'université de Toulouse, 2016.
- [6] U. Choi, K. Lee, and F. Blaabjerg, “Diagnosis and tolerant strategy of an open-switch fault for T-type three-level inverter systems,” *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 495–508, Jan/Feb. 2014.
- [7] U. M. Choi, F. Blaabjerg, and K. B. Lee, “Reliability improvement of a T-type three-level inverter with fault-tolerant control strategy,” *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2660–2673, May. 2015.
- [8] R. Wu, F. Blaabjerg, H. Wang, M. Liserre and F. Iannuzzo, "Catastrophic failure and fault-tolerant design of IGBT power electronic converters - an overview," *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society, Vienna*, 2013, pp. 507-513.
- [9] T. J. Kim, W. C. Lee, and D. S. Hyun, “Detection method for open circuit fault in neutral-point-clamped inverter systems,” *IEEE Trans. Ind. Electron.*, vol. 56, no. 7, pp. 2754–2763, Jul. 2009.
- [10] L. M. A. Caseiro and A. M. S. Mendes, “Real-time IGBT open-circuit fault diagnosis in three-level neutral-point-clamped voltage-source rectifiers based on instant voltage error,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 3, pp. 1669–1678, Mar. 2015.
- [11] L. M. A. Caseiro, A. M. S. Mendes and A. N. Alcaso, "Fault diagnosis and tolerance in three-level Neutral-Point-Clamped rectifiers," *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, Montreal, QC*, 2012, pp. 404-409.

- [12] A. M. S. Mendes, M. B. Abadi, and S. M. A. Cruz, "Method to diagnose open-circuit faults in active power switches and clamp-diodes of three-level neutral-point clamped inverters," *IET Elect. Power Appl.*, vol. 10, no. 7, pp. 623–632, 2016.
- [13] I. Abari, A. Lahouar, M. Hamouda, J. B. H. Slama and K Al-Haddad, "Fault detection methods for three-Level NPC inverter based on DC-bus electromagnetic signatures," *IEEE Trans. Ind. Electron.*, vol. 65, no. 7, pp. 5224–5236, Jul. 2018.
- [14] M. B. Abadi, A. M. S. Mendes, and S. M. A. Cruz, "Three-level NPC inverter fault diagnosis by the average current Park's vector approach," in *Proc. 20th ICEM*, Marseille, France, 2012, pp. 1893–1898.
- [15] B. R. O. Baptista, M. B. Abadi, A. M. S. Mendes and S. M. A. Cruz, "The performance of a three-phase induction motor fed by a three-level NPC converter with fault tolerant control strategies," *2013 9th IEEE International Symposium on Diagnostics for Electric Machines, Power Electronics*
- [16] M. Sital-Dahone, A. Saha, Y. Sozer and A. Mpanda, "Multiple device open circuit fault diagnosis for neutral-point-clamped inverters," *IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, FL*, 2017, pp. 2605-2609.
- [17] A. M. S. Mendes, M. B. Abadi, and S. M. A. Cruz, "Fault diagnostic algorithm for three-level neutral point clamped AC motor drives based on average current Park's vector," *IET Power Electron.*, vol. 7, no. 5, pp. 1127–1137, May 2014.
- [18] J. S. Lee, K. B. Lee, and F. Blaabjerg, "Open-switch fault detection method of a back-to-back converter using NPC topology for wind turbine systems," *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 325–335, Jan./Feb. 2015.
- [19] U. M. Choi, H. G. Jeong, K. B. Lee, and F. Blaabjerg, "Method for detecting an open-switch fault in a grid-connected NPC inverter system," *IEEE Trans. Power Electron.*, vol. 27, no. 6, pp. 2726–2739, Jun. 2012.
- [20] P. Fazio, G. Maragliano, M. Marchesoni, and G. Parodi, "A new fault detection method for NPC converters," in *Proc. 14th Eur. Conf. Power Electron. Appl.*, 2011, pp. 1–10.
- [21] S. Farnesi, P. Fazio and M. Marchesoni, "A new fault tolerant NPC converter system for high power induction motor drives," *8th IEEE Symposium on Diagnostics for Electrical Machines, Power Electronics & Drives*, Bologna, 2011, pp. 337-343.
- [22] X. Ge, J. Pu, B. Geo and Y. Liu, "An open-circuit fault diagnosis approach for single-phase three-level neutral-point-clamped converters," *IEEE Trans. Power. Electron.*, vol. 33, no. 3, pp. 2559-2570, Mar. 2018.
- [23] S. Karimi, "Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle", Thèse de doctorat, Université Henri Poincaré, 2009.

- [24] A. Gaillard, “Détection de défauts des convertisseurs de puissance à l'aide de FPGA: cas d'un système éolien basé sur une Machine Asynchrone à Double Alimentation”, Thèse de doctorat de l'Université Henri Poincaré, Nancy-I, 2010.
- [25] M. Shahbazi, “Contribution à l'étude des convertisseurs statiques AC-DC-AC tolérants aux défauts”, Thèse de doctorat de l'université de Lorraine, 2012.
- [26] E. Jamshidpour, “Contribution à l'étude de la sûreté de fonctionnement et de la continuité de service des bus DC”, Thèse de doctorat de l'université de Lorraine, 2014.
- [27] F. Becker, “Contribution à la continuité de service des convertisseurs statiques multiniveaux”, Thèse de doctorat de l'université de Lorraine, 2017.

Chapitre II

- [1] T. Lee, B. Li, M. Yang, and Y. Tsai, “A Carrier-Based PWM for Three-Level T-Type Inverter to Tolerate Open-Circuit Fault,” *IEEE Trans. Power Electron.*, vol. 33, no. 10, pp. 8787–8796, Oct. 2018.
- [2] J. S. Lee, and Kyo-Beum Lee, “Open-switch fault tolerance control for a three-level NPC/T-type rectifier in wind turbine systems,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 2, pp. 1012–1021, Feb. 2015.
- [3] U. Choi, J. Lee, F. Blaabjerg, and K. Lee, “Open-circuit fault diagnosis and fault-tolerant control for a grid-connected NPC inverter,” *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 7234–7247, Oct. 2016.
- [4] S. Li, and L. Xu, “Strategies of fault tolerant operation for three-level PWM inverters,” *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 933–940, Jul. 2006.
- [5] S. Ceballos, J. Pou, E. Robles, J. Zaragoza, and J. L. Martín, “Performance evaluation of fault-tolerant neutral-point-clamped converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2709–2718, Aug. 2010.
- [6] J. Lee, and K. Lee, “Open-circuit fault-tolerant control for outer switches of three-level rectifiers in wind turbine systems,” *IEEE Trans. Power Electron.*, vol. 31, no. 5, pp. 3806–3815, May. 2016.
- [7] P. Azer, S. Ouni, and M. Narimani, “A novel fault-tolerant technique for active neutral point clamped inverter using carrier-based PWM,” *IEEE Trans. Ind. Electron.*, Mar. 2019.
- [8] U. Choi, K. Lee, and F. Blaabjerg, “Diagnosis and tolerant strategy of an open-switch fault for T-type three-level inverter systems,” *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 495–508, Jan/Feb. 2014.

- [9] U. M. Choi, F. Blaabjerg, and K. B. Lee, “Reliability improvement of a T-type three-level inverter with fault-tolerant control strategy,” *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2660–2673, May. 2015.
- [10] S. P. Gautam, L. Kumar, S. Gupta, and N. Agrawal, “A single-phase five-level inverter topology with switch fault-tolerance capabilities,” *IEEE Trans. Ind. Electron.*, vol. 64, no. 3, pp. 2004–2014, Mar. 2017.
- [11] S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate, and J. L. Martín, “Fault-tolerant neutral-point-clamped converter solutions based on including a fourth resonant leg,” *IEEE Trans. Ind. Electron.*, vol. 58, no. 6, pp. 2293–2303, Jun. 2011.
- [12] S. Ceballos, J. Pou, E. Robles, I. Gabiola, J. Zaragoza, J. L. Villate, and D. Boroyevich, “Three-level converter topologies with switch breakdown fault-tolerance capability,” *IEEE Trans. Ind. Electron.*, vol. 55, no. 3, pp. 982–995, Mar. 2008.
- [13] R. Katebi, J. He, and N. Weise, “An advanced three-level active neutral-point-clamped converter with improved fault-tolerant capabilities,” *IEEE Trans. Power Electron.*, vol. 33, no. 8, pp. 6897–6909, Aug. 2018.
- [14] S. Xu, J. Zhang, and J. Hang, “Investigation of a fault-tolerant three-level T-type inverter system,” *IEEE Trans. Ind. Appl.*, vol. 53, no. 5, pp. 4613–4623, Sep/Oct. 2017.
- [15] J. He, R. Katebi, N. Weise, N. A. O. Demerdash, and L. Wei, “A fault-tolerant T-type multilevel inverter topology with increased overload capability and soft-switching characteristics,” *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2826–2839, May/Jun. 2017.
- [16] R. Choupan, S. Golshannavaz, D. Nazarpour, and M. Barmala, “A new structure for multilevel inverters with fault tolerant capability against open circuit faults,” *ELSEVIER Electric Power System Research*, vol. 168, pp. 105–116, Mar. 2019.
- [17] M. Aly, E. Ahmed, and M. Shoyama, “A new single-phase five-level topology for single and multiple switches fault tolerance,” *IEEE Trans. Power Electron.*, vol. 33, no. 11, pp. 9198–9208, Nov. 2018.

Chapitre III

- [1] F. Becker, “Contribution à la continuité de service des convertisseurs statiques multiniveaux”, Thèse de doctorat de l'université de Lorraine, 2017.

Résumé

La sûreté de fonctionnement de la conversion d'énergie est indispensable pour un grand nombre d'applications, en particulier lors de la mise en œuvre de convertisseurs multiniveaux. Par conséquent, il est important d'assurer la continuité de service de ces convertisseurs, lors de la défaillance d'un des semi-conducteurs. Dans cet objectif, ce mémoire propose un onduleur monophasé multiniveaux à tolérance de pannes, de structure Neutral Point Clamped (NPC) en pont en H, à cinq niveaux. L'algorithme de diagnostic de défaut est basé sur une étude préliminaire des modes de défaillance et repose donc sur analyse des conséquences d'un défaut, basée sur de la logique. Il ne nécessite ni modélisation des composants de l'onduleur, ni calculs complexes. Bien que moins sujettes à défaillance que les interrupteurs actifs, les diodes de clamp peuvent également être en défaut. Dans ce mémoire, l'identification d'une diode de clamp défaillante est également étudiée. De plus, un quantificateur de tension est mis en œuvre lors du diagnostic, afin d'éviter toute fausse détection en raison des erreurs de mesure et des chutes de tension dans le circuit.

Suite au diagnostic d'un défaut, des mesures correctives sont appliquées afin de pouvoir assurer la tension et le courant de sortie à leurs valeurs nominales, lors de la défaillance en circuit ouvert d'un interrupteur actif, d'une diode de clamp ou d'une diode de roue libre. Le contenu harmonique des grandeurs électriques de sortie de l'onduleur n'est donc pas affecté par le défaut. La structure proposée pour l'onduleur à tolérance de pannes ne comporte ni contacteur, ni interrupteurs bidirectionnels ; les mesures correctives peuvent donc être appliquées très rapidement. Une sélection de résultats de simulation et de résultats expérimentaux illustre et démontre l'efficacité et la validité de l'approche proposée. Un défaut est détecté en 20 μ s et localisé entre 20 et 60 μ s après son apparition, selon le semi-conducteur défaillant (interrupteur actif ou diode de clamp).

Mots clés :

Convertisseurs multiniveaux, Neutral-Point-Clamped (NPC), Diagnostic de défaut, Continuité de service, Défaut circuit ouvert

Abstract

Ensuring service continuity in safety-critical applications is indispensable. In some of these applications, the multilevel inverters play a vital role. Hence, employing a multilevel converter with fault tolerant feature is of great importance. In this regard, a fault tolerant five-level Neutral Point Clamped (NPC) inverter is proposed in this research work. The proposed fault diagnosis algorithm is based on failure mode analysis, which is a logic based approach. The realization of this strategy does not require any component modeling and complicated calculations. Although switches are more fragile than clamping diodes, clamping diodes are also subjected to breakdown. Hence, identification of a defective clamping diode is also studied in this research work. Moreover, for fault detection procedure, a voltage quantifier is proposed to avoid any misdiagnosis arising from measurement errors and voltage drop in the circuit.

Following to the fault diagnosis, the proposed fault tolerant strategy aims to restore the rated voltage and current at the inverter terminal in the presence of an open-circuit fault in a switch or in a clamping or anti-parallel diode. Compared with healthy operation, harmonic content of the terminal voltage and current is not increased. The proposed fault tolerant structure does not include any contactor or bidirectional switch, which allows fast triggering of fault tolerant operation. The simulation and experimental results are presented to validate the effectiveness of the proposed approaches. A fault is detected in 20 μ s and localized between 20 and 60 μ s after occurrence, depending on the faulty semiconductor (switch or clamping diode).

Keywords:

Multilevel converters, Neutral-point-clamped (NPC), Fault diagnosis, Fault tolerant operation, Open-circuit fault
